

Problema

Considere un sencillo procesador superescalar dotado de un RRF con acceso indexado y con dos estaciones de reserva de 4 entradas asociadas, respectivamente, a una unidad de multiplicación (3 ciclos, segmentada) y a dos unidades funcionales de suma/resta (2 ciclos, ambas segmentadas). Suponga que las instrucciones siguientes:

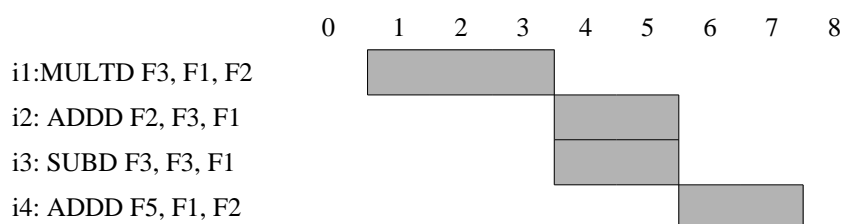
```
i1: MULTD    F3, F1, F2
i2: ADDD     F2, F3, F1
i3: SUBD     F3, F3, F1
i4: ADDD     F5, F1, F2
```

se distribuyen, a razón de una por ciclo, a las dos estaciones de reserva y se emiten en cuanto sus operandos están disponibles. Teniendo en cuenta que se pueden emitir y terminar dos instrucciones simultáneamente, se pide:

- Un cronograma con la secuencia temporal de ejecución de las instrucciones en el que, ciclo a ciclo, se puede apreciar cuándo se distribuyen, cuándo se emiten y cuándo finaliza su ejecución en las unidades funcionales.
- Dibuje, ciclo a ciclo, cómo evolucionan los contenidos del ARF y del RRF para esas instrucciones si, inicialmente, $F1=2.0$ y $F2=3.0$. El ARF y el RRF constan de cinco entradas. La secuenciación de los ciclos debe coincidir con la del apartado anterior.

Solución

- La secuencia temporal de ejecución de las cuatro instrucciones es la siguiente:



Se considera que en el ciclo 0 se distribuya la primera instrucción a la estación de reserva. Observe que aunque las instrucciones ya se encuentren en las estaciones de reserva listas para ser emitidas a las unidades funcionales, deben esperar a que se generen los operandos con el fin de respetar las dependencias verdaderas.

-

Ciclo 0: Llegada de i1 a la estación de reserva.

Renombramiento de F3 como Fr1.

	Datos	Ocupado	Indice
F1	2		
F2	3		
F3		1	1
F4			
F5			

	Datos	Válido	Ocupado
Fr1	--	0	1
Fr2			
Fr3			
Fr4			
Fr5			

Ciclo 1: Llegada de i2 a la estación de reserva.

Renombramiento de F2 como Fr2.

Emisión a la unidad funcional y comienzo de ejecución de i1.

	Datos	Ocupado	Indice
F1	2		
F2	3	1	2

	Datos	Válido	Ocupado
Fr1		0	1
Fr2		0	1

F3		1	1
F4			
F5			

Fr3			
Fr4			
Fr5			

Ciclo 2: Llegada de i3 a la estación de reserva.
Nuevo renombramiento de F3 como Fr3.
Segundo ciclo de ejecución de i1.

	Datos	Ocupado	Indice
F1	2		
F2	3	1	2
F3		1	3
F4			
F5			

	Datos	Válido	Ocupado
Fr1		0	1
Fr2		0	1
Fr3		0	1
Fr4			
Fr5			

Ciclo 3: Llegada de i4 a la estación de reserva.
Renombramiento de F5 como Fr4.
Finalización de i1.
Escritura de resultado en Fr1 y copia a estaciones de reserva para emisión de i2 e i3.

	Datos	Ocupado	Indice
F1	2		
F2	3	1	2
F3		1	3
F4			
F5		1	4

	Datos	Válido	Ocupado
Fr1	6	1	1
Fr2		0	1
Fr3		0	1
Fr4		0	1
Fr5			

Ciclo 4: Emisión de i2 e i3.
Liberación de Fr1.

	Datos	Ocupado	Indice
F1	2		
F2	3	1	2
F3		1	3
F4			
F5		1	4

	Datos	Válido	Ocupado
Fr1	6	1	0
Fr2		0	1
Fr3		0	1
Fr4		0	1
Fr5			

Ciclo 5: Finalización de i2. Escritura de resultado en Fr2.
Finalización de i3. Escritura de resultado en Fr3.
Copia del valor de Rf2 en entrada de la instrucción i4 para poder emitirla.

	Datos	Ocupado	Indice
F1	2		
F2	3	1	2
F3		1	3
F4			
F5		1	4

	Datos	Válido	Ocupado
Fr1	6	1	0
Fr2	8	1	1
Fr3	4	1	1
Fr4		0	1
Fr5			

Ciclo 6: Emisión de i4.
Escritura de resultado de Fr2 en F2. Liberación de Fr2.
Escritura de resultado en Fr3 en F3. Liberación de Fr3.

	Datos	Ocupado	Indice
F1	2		
F2	8	0	2
F3	4	0	3

	Datos	Válido	Ocupado
Fr1	6	0	0
Fr2	8	1	0
Fr3	4	1	0

F4			
F5		1	4

Fr4		0	1
Fr5			

Ciclo 7: Finalización de i4.
Escritura de resultado en Fr4.

	Datos	Ocupado	Indice
F1	2		
F2	8	0	2
F3	4	0	3
F4			
F5		1	4

	Datos	Válido	Ocupado
Fr1	6	0	0
Fr2	8	1	0
Fr3	4	1	0
Fr4	10	1	1
Fr5			

Ciclo 8: Escritura de Fr4 en F5.
Liberación de Fr4.

	Datos	Ocupado	Indice
F1	2	0	
F2	18	0	2
F3	4	0	3
F4		0	
F5	36	0	4

	Datos	Válido	Ocupado
Fr1	6	0	0
Fr2	18	1	0
Fr3	4	1	0
Fr4	36	1	1
Fr5	--	0	1