

Problema

Utilizando el algoritmo de Tomasulo para realizar la ejecución de la siguiente secuencia de instrucciones:

```

i1:  MULTD    F2, F2, F6
i2:  MULTD    F4, F2, F6
i3:  ADDD     F2, F4, F6
i4:  ADDD     F6, F2, F6
  
```

a) Muestre la evolución de los registros en coma flotante (FLR) y de las estaciones de reserva (RS) para todos los ciclos que sean necesarios. Considere las siguientes hipótesis de partida:

- ⤴ Para reducir el número de ciclos máquina se permite que la FLOS distribuya hasta dos instrucciones en cada ciclo según el orden del programa.
- ⤴ Una instrucción puede comenzar su ejecución en el mismo ciclo en que se distribuye a una estación de reserva.
- ⤴ La operación suma tiene una latencia de dos ciclos y la de multiplicación de tres ciclos.
- ⤴ Se permite que una instrucción reenvíe su resultado a instrucciones dependientes durante su último ciclo de ejecución. De esta forma una instrucción a la espera de un resultado puede comenzar su ejecución en el siguiente ciclo si detecta una coincidencia.
- ⤴ Los valores de etiqueta 01, 02 y 03 se utilizan para identificar las tres slots de la estación de reserva de la unidad funcional de suma, mientras que 04 y 05 se utilizan para identificar las dos slots de la estación de reserva de multiplicación/división. Estos valores de etiqueta son los ID de los slots de las estaciones de reserva.
- ⤴ Inicialmente, el valor de los registros es F0=2.0, F2=2.5, F4=4.0 y F6=3.0.

b) Dibuje el gráfico de flujo de datos de la secuencia de instrucciones que aparece en el problema reflejando con claridad todas las dependencias de datos que existen y qué registros las provoca.

c) Calcule el límite del flujo de datos para esa secuencia de instrucciones.

Solución

a)

Ciclo 1: Se distribuyen i1 e i2 en orden.

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01				
02				
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04 (i1)	00	2.5	00	3
05 (i2)	04	--	00	3
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2	1	04	2.5
F4	1	05	4
F6			3

Ciclo 2: Se distribuyen i3 e i4 en orden.

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	05	--	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04 (i1)	00	2.5	00	3
05 (i2)	04	--	00	3
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2	1	01	2.5
F4	1	05	4
F6	1	02	3

Ciclo 3: Al final del ciclo 3, la instrucción i1 finaliza su ejecución y emite su ID (04). En ese momento, todos los campos etiquetados que contienen el valor 04 insertan el resultado emitido.

RS

ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	05	--	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS

ID	Eti_1	Ope_1	Eti_2	Ope_2
04 (i1)	00	2.5	00	3
05 (i2)	04	--	00	3
Mult/Div				

FR

ID	Bit Ocu	Etiqu.	Dato
F0			2
F2	1	01	2.5
F4	1	05	4
F6	1	02	3

Ciclo 4:

RS

ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	05	--	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS

ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05 (i2)	00	7.5	00	3
Mult/Div				

FR

ID	Bit Ocu	Etiqu.	Dato
F0			2
F2	1	01	2.5
F4	1	05	4
F6	1	02	3

Ciclo 5:

RS

ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	05	--	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS

ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05	00	7.5	00	3
Mult/Div				

FR

ID	Bit Ocu	Etiqu.	Dato
F0			2
F2	1	01	2.5
F4	1	05	4
F6	1	02	3

Ciclo 6: Al final del ciclo 6 finaliza la ejecución de i2.

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	05	--	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05	00	7.5	00	3
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2	1	01	2.5
F4	1	05	4
F6	1	02	3

Ciclo 7:

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	00	22.5	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05				
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2	1	01	2.5
F4			22.5
F6	1	02	3

Ciclo 8: Al final del ciclo 8 finaliza la ejecución de i3.

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01 (i3)	00	22.5	00	3
02 (i4)	01	--	00	3
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05				
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2	1	01	2.5
F4			22.5
F6	1	02	3

Ciclo 9:

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01				
02 (i4)	00	25.5	00	3
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05				
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2			25.5
F4			22.5
F6	1	02	3

Ciclo 10: Al final del ciclo 10, i4 finaliza su ejecución.

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01				
02 (i4)	00	25.5	00	3
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05				
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2			25.5
F4			22.5
F6	1	02	3

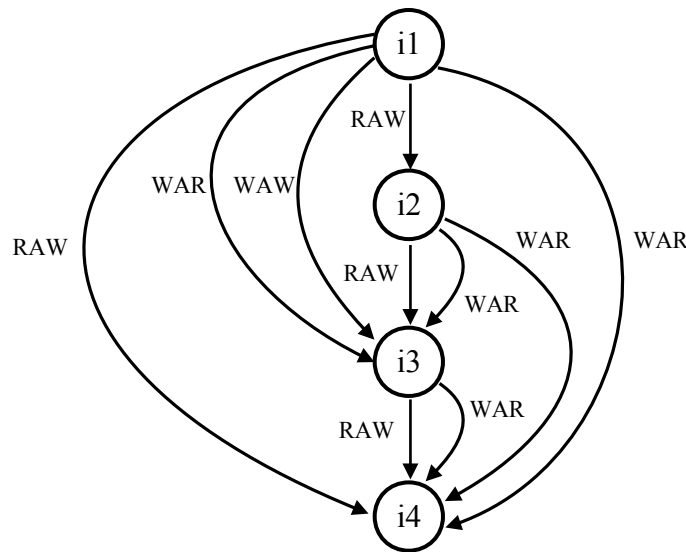
Ciclo 11:

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
01				
02				
03				
Suma/Resta				

RS				
ID	Eti_1	Ope_1	Eti_2	Ope_2
04				
05				
Mult/Div				

FR			
ID	Bit Ocu	Etiq.	Dato
F0			2
F2			25.5
F4			22.5
F6			28.5

b) El siguiente diagrama ilustra todas las dependencias de datos existentes entre las instrucciones que componen la secuencia.



c) A partir del gráfico con las dependencias verdaderas se puede establecer de forma sencilla el límite máximo de flujo de datos. Se puede apreciar que la ruta crítica consta de 10 ciclos que es el límite que debe alcanzar la ejecución aplicando el algoritmo de Tomasulo.

