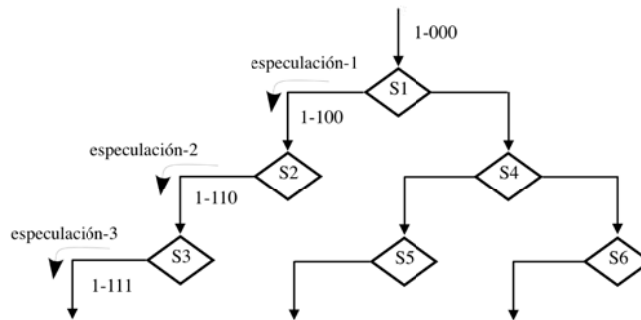
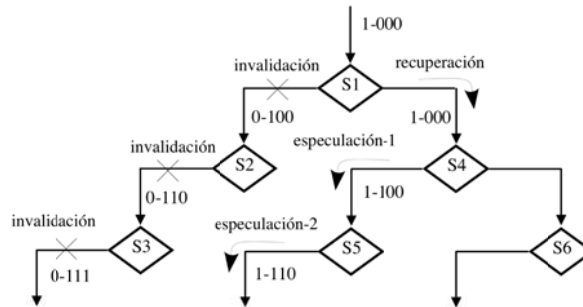


Dado que el procesador siempre especula con que un salto es efectivo, las instrucciones s2, s3 e i1 se ejecutan normalmente a continuación de s1, dando lugar a tres rutas de especulación: la que inicia s1 (100), la que inicia s2 (110) y la que inicia s3 (111).



Al llegar s1 al final de su etapa EX se conoce el resultado real del salto y resulta no coincidir con su especulación. Por ello, las tres rutas especuladas a que dio lugar s1 se invalidan. Ello significa que se cambian los bits de validez a 0 de todas las instrucciones que hubiesen sido especuladas. En este ejemplo, se eliminan las instrucciones s2, s3 e i1.



Tras esto se realiza la recuperación de s1 que consiste en continuar con la ejecución de la instrucción siguiente, la s4. De nuevo, el procesador especula dando lugar a dos nuevas rutas especuladas.

Al llegar s4 a su etapa EX, el resultado del salto vuelve a no coincidir con la especulación y se anulan las dos rutas especuladas, esto es, las instrucciones s5 e i2. La instrucción s6 especula e inicia el procesamiento de i3. El resultado verdadero de i6 coincide con la especulación y se validan la ruta especulada, lo que provoca el cambio de los bits de especulación de las instrucciones que haya en la ruta, en este caso, la i3.

