

a) La siguiente tabla muestra el patrón de ejecución que se ha obtenido al realizar once iteraciones del bucle y considerando las latencias de las unidades funcionales.

LD F2, 0(R1)									
	LD F2, -8(R1)								
MULTD F4, F2, F10		LD F2, -16(R1)							
	MULTD F4, F2, F10		LD F2, -24(R1)						
		MULTD F4, F2, F10		LD F2, -32(R1)					
LD F6, 0(R2)			MULTD F4, F2, F10		LD F2, -40(R1)				
	LD F6, -8(R2)			MULTD F4, F2, F10		LD F2, -48(R1)			
ADDD F8, F6, F4		LD F6, -16(R2)			MULTD F4, F2, F10		LD F2, -56(R1)		
	ADDD F8, F6, F4		LD F6, -24(R2)			MULTD F4, F2, F10		LD F2, -64(R1)	
		ADDD F8, F6, F4		LD F6, -32(R2)			MULTD F4, F2, F10		LD F2, -72(R1)
SD 0(R2), F8			ADDD F8, F6, F4		LD F6, -40(R2)			MULTD F4, F2, F10	LD F2, -80(R1)
	SD -8(R2), F8			ADDD F8, F6, F4		LD F6, -48(R2)			MULTD F4, F2, F10
		SD -16(R2), F8			ADDD F8, F6, F4		LD F6, -56(R2)		MULTD F4, F2, F10
			SD -24(R2), F8			ADDD F8, F6, F4		LD F6, -64(R2)	
				SD -32(R2), F8			ADDD F8, F6, F4		LD F6, -72(R2)
					SD -40(R2), F8			ADDD F8, F6, F4	LD F6, -80(R2)
						SD -48(R2), F8		ADDD F8, F6, F4	
							SD -56(R2), F8		ADDD F8, F6, F4
								SD -64(R2), F8	
									SD -72(R2), F8
									SD -80(R2), F8

b) El pseudo código VLIW derivado del anterior patrón de comportamiento es el siguiente:

```

LD F2, 0(R1)
LD F2, -8(R1)
LD F2, -16(R1)   MULTD F4, F2, F10
LD F2, -24(R1)   MULTD F4, F2, F10
LD F2, -32(R1)   MULTD F4, F2, F10
LD F6, 0(R2)     LD F2, -40(R1)   MULTD F4, F2, F10
LD F6, -8(R2)    LD F2, -48(R1)   MULTD F4, F2, F10
LD F6, -16(R2)   LD F2, -56(R1)   ADDD F8, F6, F4   MULTD F4, F2, F10
LD F6, -24(R2)   LD F2, -64(R1)   ADDD F8, F6, F4   MULTD F4, F2, F10
LD F6, -32(R2)   LD F2, -72(R1)   ADDD F8, F6, F4   MULTD F4, F2, F10
Inicio: SD 0(R2), F8   LD F6, -40(R2)   ADDD F8, F6, F4   MULTD F4, F2, F10 LD F2, -80(R1) if (R1 <>80) go inicio
SD -8(R2), F8     LD F6, -48(R2)   ADDD F8, F6, F4   MULTD F4, F2, F0
SD -16(R2), F8   LD F6, -56(R2)   ADDD F8, F6, F4   MULTD F4, F2, F0
SD -24(R2), F8   LD F6, -64(R2)   ADDD F8, F6, F4
SD -32(R2), F8   LD F6, -72(R2)   ADDD F8, F6, F4
SD -40(R2), F8   LD F6, -80(R2)   ADDD F8, F6, F4
SD -48(R2), F8   ADDD F8, F6, F4
SD -56(R2), F8   ADDD F8, F6, F4
SD -64(R2), F8
SD -72(R2), F8
SD -80(R2), F8

```

Observe que si se trata de transformar el pseudocódigo en instrucciones que admiten una o dos operaciones de acceso a memoria surgen problemas. El cuerpo del bucle segmentado se debe descomponer en dos o tres instrucciones VLIW lo que rompe la secuencialidad en el flujo de datos que se obtiene al aplicar segmentación software en el patrón. Al partir el cuerpo del bucle en dos o tres instrucciones VLIW, las unidades de coma flotante producen resultados que nadie recoge en las primeras iteraciones ya que sus segmentaciones estaban cargadas con tantas operaciones consecutivas como profundas son sus cauces. Al tener que añadir instrucciones VLIW con slots de operación vacíos, los resultados que quedan en las etapas interiores de su segmentación machacan los resultados previos, ya que nadie los recoge.