

EJERCICIOS TEMA 1

1.1.- Indique cuál de las siguientes afirmaciones sobre los buses es cierta:

- A) Los buses transportan únicamente datos y direcciones.
- B) Los buses pueden ser compartidos por dispositivos de muy distintas velocidades.
- C) No es necesario un método de arbitraje para evitar que varias unidades vuelquen simultáneamente datos al bus.
- D) Ninguna de las anteriores.

1.2.- Indique si las siguientes afirmaciones son verdaderas. En un bus con *arbitraje distribuido*:

- I. La posición de conexión de un dispositivo a la línea de arbitraje determina su prioridad en el uso del bus.
- II. No se requiere un árbitro.

1.3.- Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 16 bits. El formato de las instrucciones es el siguiente: los 4 bits más significativos de la instrucción representan el código de operación y los otros 12 bits representan la dirección de memoria. A continuación se muestra una lista parcial de los códigos de operación:

0011: Cargar el registro acumulador desde memoria.

0101: Almacenar en memoria el contenido del registro acumulador.

0110: Sumar el contenido del acumulador y el de una dirección de memoria. El resultado se almacena en el acumulador.

Indicar cuál de los siguientes fragmentos de programa suma el contenido de la dirección de memoria 3A516 al contenido de la dirección de memoria 3B916 y almacena el resultado en la dirección de memoria 3A516.

- A) 33A516, 63B916, 53A516
- B) 33B916, 63A516, 53A516
- C) Los anteriores son correctos
- D) Ninguno de los anteriores

1.4 La memoria de un computador consta de 4 módulos conectados a un bus de memoria común. Cuando se realiza una petición de escritura, el bus está ocupado por las señales de datos, dirección y control durante 50 ns. En esos mismos 50ns y en los 200 ns siguientes, el módulo de memoria direccionado ejecuta 1 ciclo aceptando y almacenando el dato. Las operaciones de los módulos pueden solaparse, pero sólo puede haber una petición por instante de tiempo. Si t_C representa el tiempo de ciclo de escritura, indique cuál es la velocidad máxima de escritura.

1.5 De acuerdo con un estudio realizado sobre la utilización de las instrucciones de un computador, que no dispone de caché, se ha determinado que en media ejecuta 50 millones de instrucciones por segundo. Las distintas instrucciones (todas ellas almacenadas en memoria principal) y los porcentajes de utilización de las mismas son los siguientes:

LOAD	Acum. ? M[dir]	30%
STORE	M[dir]? Acum	10%
MOVE	R[1] ? Acum	20%
Operaciones aritméticas	R[1] ? R[1] operación aritmética R[2]	24%
Operaciones lógicas	R[1] ? R[1] operación lógica R[2]	6%

Bifurcaciones	PC ? Acum	20%
---------------	------------------	-----

donde *Acum* es el acumulador, *M[dir]* una posición de memoria principal, *R[1]* y *R[2]* registros internos y *PC* el contador de programa. Si todas las instrucciones ocupan una palabra de memoria, calcular el número medio de accesos a memoria por segundo que se ejecutan en este computador.

1.6 La memoria de un computador consta de *N* módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 nseg. Durante los 80 nseg siguientes, el módulo de memoria diseccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. Indique cuál es el número de módulos de memoria (*N*) conectados al bus si la velocidad máxima posible con la que se pueden escribir los datos en memoria es 0.05 palabras/nseg.

1.7 El formato de instrucción de un procesador hipotético es el siguiente: los 4 bits más significativos almacenan el código de operación y los restantes 12 bits contienen la dirección de memoria. El formato de almacenamiento de los números enteros es el siguiente: el bit más significativo contiene el signo (0: positivo; 1: negativo), y los 15 bits restantes la magnitud. La CPU contiene tres registros internos: el contador de programa (PC), el registro de instrucción (IR) y el acumulador (AC). La lista de los códigos de operación incluye los siguientes: 00012 (cargar AC desde memoria), 00102 (almacenar AC en memoria), 01102 (restar el AC de memoria), 11112 (sumar al AC de memoria). Si las posiciones de memoria 80316 y 80416, contienen respectivamente: 003216 y 101116, señale cuál es el contenido de la posición de memoria 80516 una vez ejecutadas las tres instrucciones siguientes: 180316, F80416, 280516.

1.8 De acuerdo con un estudio realizado sobre la utilización de las instrucciones de un computador, que no dispone de caché, se ha determinado que en media ejecuta 100 millones de instrucciones por segundo. Las distintas instrucciones (todas ellas almacenadas en memoria principal) y los porcentajes de utilización de las mismas son los mostrados en la tabla, donde *Acum.* es el acumulador, *M[dir]* una posición de memoria principal, *R* es un registro interno y *PC* el contador de programa. Si las instrucciones *LOAD* y *STORE* ocupan dos palabras de memoria y el resto sólo una, calcule el número medio de millones de accesos a memoria por segundo que se ejecutan en este computador.

<i>LOAD</i>	Acum. ? .M[dir]	30%
<i>STORE</i>	M[dir]? Acum	20%
<i>MOVE</i>	R[1] ? Acum	20%
Operaciones aritméticas	R[1] ? R[1] operación aritmética Acum	35%
Bifurcaciones	PC ? Acum	5%

1.9 El ciclo de instrucción de una máquina usa 4 ciclos de reloj para las instrucciones de operaciones entre registros (cálculo) y 8 ciclos para el resto de las instrucciones. Si la frecuencia de reloj del computador es $8 \cdot 10^6$ ciclos/seg,

I. ¿Cuánto tardará en ejecutarse un programa de 1000 instrucciones en el que no hay instrucciones de salto y hay un 20% de instrucciones de cálculo?

II. ¿cuántos millones de instrucciones por segundo se pueden ejecutar como máximo?

1.10 Un bus con arbitraje centralizado por encadenamiento (*daisy-channing*) y con un único nivel de prioridad tiene conectados 4 dispositivos (d1, d2, d3 y d4). El dispositivo d1 es el que se encuentra conectado más próximo al árbitro y a continuación está conectado d2, seguidamente d3 y finalmente d4. La fracción de la capacidad utilizada por los dispositivos d1, d2, d3 y d4 es 0.2, 0.35, 0.1 y 0.25 respectivamente. Indique cuál es la capacidad sobrante del dispositivo d3 (Se define la capacidad sobrante de un dispositivo menos la suma de las fracciones de las capacidades utilizadas por todos los dispositivos que tienen una prioridad superior).