

PROBLEMAS**TEMA 1: Estructuras de interconexión de un computador****Problemas propuestos en examen**

1.1 Una CPU que emplea un tamaño de palabra de 16 bits tiene un repertorio de 16 instrucciones con un formato único compuesto por un campo de 5 bits, para el código de operación, y otro campo de 11 bits para los operandos. Todos los 16 códigos de operación comienzan por un 0 y, por tanto, van del 00000 al 01111. Indicar si las siguientes afirmaciones son verdaderas o falsas

- I. Si en una dirección de memoria nos encontramos el valor 0011010110001010, necesariamente es una instrucción máquina.
- II. Si en una dirección de memoria nos encontramos el valor 1011010110001010, necesariamente es un dato.

1.2 La memoria de un ordenador consta de 10 módulos independientes conectados a un bus de memoria común. En una operación de escritura cada uno de estos módulos únicamente ocupa el bus del sistema al comienzo de la operación y durante un 20% del tiempo total del ciclo de escritura. El 80% del tiempo de ciclo de escritura restante el módulo lo emplea para almacenar el dato internamente. Si las operaciones de escritura de dichos módulos de memoria pueden solaparse, ¿en cuánto se ve incrementada la velocidad máxima de almacenamiento de la memoria del ordenador en relación a la velocidad de un único modulo?

1.3 Un computador de von Neumann tiene una longitud de palabra de 16 bits. Sus instrucciones máquina ocupan una longitud de 16 ó 32 bits (1 ó 2 palabras). En ambos casos, el código de operación de las instrucciones máquina ocupa un campo de 7 bits. Indique si las siguientes afirmaciones son verdaderas:

- I. La memoria principal deberá estar dividida en dos bancos distintos: uno para datos y otro para instrucciones.
- II. Este computador tendrá, como máximo, 2^7-1 señales de control diferentes.

1.4 La memoria de un ordenador consta de 20 módulos independientes conectados a un bus de memoria común. En una operación de escritura cada uno de estos módulos únicamente ocupa el bus del sistema durante 25 nseg. Al comienzo de la operación. Durante los 75 nseg. siguientes completa el ciclo de escritura almacenando el dato internamente. Si las operaciones de escritura de dichos módulos de memoria pueden solaparse, ¿cuál es la velocidad máxima de almacenamiento de la memoria del ordenador ?

1.5 Indique si las siguientes afirmaciones son verdaderas.

- I. Una transferencia de datos en un bus que utiliza la técnica de *multiplexación en el tiempo* de direcciones y datos se realiza de la forma siguiente: se coloca la dirección en el Bus de Direcciones y se mantiene mientras el dato se sitúa en el Bus de Datos.
- II. Cuando las salidas de varias puertas triestado se encuentran conectadas a una misma línea de un bus, sólo una de ellas puede estar en estado de alta impedancia.

1.6 A un bus dedicado a E/S se han conectado la memoria principal y cinco discos iguales. El tiempo de ciclo de la memoria principal es 400 nseg. La velocidad de transferencia de cada disco es B. La longitud de palabra es 32 bits. Cada transmisión sobre el bus necesita 500 nseg para enviar el dato y las diferentes órdenes del protocolo. ¿En cuál de las siguientes situaciones estaría más justificado el uso de un bus con temporización síncrona?

- A) $B = 10^6$ bits/seg B) $B = 4 \times 10^6$ bits/seg C) $B = 10^7$ bits/seg D) $B = 8 \times 10^7$ bits/seg

1.7 Indique si las siguientes afirmaciones son verdaderas. En un bus con arbitraje distribuido:

- I. La posición de conexión de los dispositivos a la línea de arbitraje no determina la prioridad de aquellos en el uso del bus.
- II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

1.8 Indique cuál de las siguientes afirmaciones sobre los buses es cierta:

- A) Los buses transportan únicamente datos y direcciones.
- B) Los buses pueden ser compartidos por dispositivos de muy distintas velocidades.
- C) No es necesario un método de arbitraje para evitar que varias unidades vuelquen simultáneamente datos al bus.
- D) Ninguna de las anteriores.

1.9 Indique si las siguientes afirmaciones son verdaderas. En un bus con *arbitraje distribuido*:

- I. La posición de conexión de un dispositivo a la línea de arbitraje determina su prioridad en el uso del bus.
- II. No se requiere un árbitro.

1.10 Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 16 bits. El formato de las instrucciones es el siguiente: los 4 bits más significativos de la instrucción representan el código de operación y los otros 12 bits representan la dirección de memoria. A continuación se muestra una lista parcial de los códigos de operación:

- 0011: Cargar el registro acumulador desde memoria.
- 0101: Almacenar en memoria el contenido del registro acumulador.
- 0110: Sumar el contenido del acumulador y el de una dirección de memoria. El resultado se almacena en el acumulador.

Indicar cuál de los siguientes fragmentos de programa suma el contenido de la dirección de memoria $3A5_{16}$ al contenido de la dirección de memoria $3B9_{16}$ y almacena el resultado en la dirección de memoria $3A5_{16}$.

- A) $33A5_{16}$, $63B9_{16}$, $53A5_{16}$
- B) $33B9_{16}$, $63A5_{16}$, $53A5_{16}$
- C) Los anteriores son correctos
- D) Ninguno de los anteriores

1.11 La memoria de un computador consta de 4 módulos conectados a un bus de memoria común. Cuando se realiza una petición de escritura, el bus está ocupado por las señales de datos, dirección y control durante 50 ns. En esos mismos 50ns y en los 200 ns siguientes, el módulo de memoria direccionado ejecuta 1 ciclo aceptando y almacenando el dato. Las operaciones de los módulos pueden solaparse, pero sólo puede haber una petición por instante de tiempo. Si t_C representa el tiempo de ciclo de escritura, indique cuál es la velocidad máxima de escritura.

1.12 De acuerdo con un estudio realizado sobre la utilización de las instrucciones de un computador, que no dispone de caché, se ha determinado que en media ejecuta 50 millones de instrucciones por segundo. Las distintas instrucciones (todas ellas almacenadas en memoria principal) y los porcentajes de utilización de las mismas son los siguientes:

LOAD	$Acum \leftarrow M[dir]$	30%
STORE	$M[dir] \leftarrow Acum$	10%
MOVE	$R[1] \leftarrow Acum$	10%
Operaciones aritméticas	$R[1] \leftarrow R[1]$ operación aritmética $R[2]$	24%
Operaciones lógicas	$R[1] \leftarrow R[1]$ operación lógica $R[2]$	6%
Bifurcaciones	$PC \leftarrow Acum$	20%

donde $Acum$ es el acumulador, $M[dir]$ una posición de memoria principal, $R[1]$ y $R[2]$ registros internos y PC el contador de programa. Si todas las instrucciones ocupan una palabra de memoria, calcular el número medio de accesos a memoria por segundo que se ejecutan en este computador.

1.13 La memoria de un computador consta de N módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 nseg. Durante los 80 nseg siguientes, el módulo de memoria direccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. Indique cuál es el número de módulos de memoria (N) conectados al bus si la velocidad máxima posible con la que se pueden escribir los datos en memoria es 0.05 palabras/nseg.

1.14 El formato de instrucción de un procesador hipotético es el siguiente: los 4 bits más significativos almacenan el código de operación y los restantes 12 bits contienen la dirección de memoria. El formato de almacenamiento de los números enteros es el siguiente: el bit más significativo contiene el signo (0: positivo; 1: negativo), y los 15 bits restantes la magnitud. La CPU contiene tres registros internos: el contador de programa (PC), el registro de instrucción (IR) y el acumulador (AC). La lista de los códigos de operación incluye los siguientes: 0001_2 (cargar AC desde memoria), 0010_2 (almacenar AC en memoria), 0110_2 (restar el AC de memoria), 1111_2 (sumar al AC de memoria). Si las posiciones de memoria 803_{16} y 804_{16} , contienen respectivamente: 0032_{16} y 1011_{16} , señale cuál es el contenido de la posición de memoria 805_{16} una vez ejecutadas las tres instrucciones siguientes: 1803_{16} , $F804_{16}$, 2805_{16} .

1.15 De acuerdo con un estudio realizado sobre la utilización de las instrucciones de un computador, que no dispone de caché, se ha determinado que en media ejecuta 100 millones de instrucciones por segundo. Las distintas instrucciones (todas ellas almacenadas en memoria principal) y los porcentajes de utilización de las mismas son los mostrados en la tabla, donde Acum. es el acumulador, $M[\text{dir}]$ una posición de memoria principal,

R es un registro interno y PC el contador de programa. Si las instrucciones LOAD y STORE ocupan dos palabras de memoria y el resto sólo una, calcule el número medio de millones de accesos a memoria por segundo que se ejecutan en este computador.

LOAD	Acum \leftarrow $M[\text{dir}]$	20%
STORE	$M[\text{dir}] \leftarrow$ Acum	20%
MOVE	$R \leftarrow$ Acum	20%
Operaciones aritméticas	$R \leftarrow$ R operación aritmética Acum	35%
Bifurcaciones	$PC \leftarrow$ Acum	5%

1.16 El ciclo de instrucción de una máquina usa 4 ciclos de reloj para las instrucciones de operaciones entre registros (cálculo) y 8 ciclos para el resto de las instrucciones. Si la frecuencia de reloj del computador es 8×10^6 ciclos/s,

- I. ¿Cuánto tardará en ejecutarse un programa de 1000 instrucciones en el que no hay instrucciones de salto y hay un 20% de instrucciones de cálculo?
- II. ¿Cuántos millones de instrucciones por segundo se pueden ejecutar como máximo?

1.17 Un bus con arbitraje centralizado por encadenamiento (*daisy-chaining*) y con un único nivel de prioridad tiene conectados 4 dispositivos (d_1 , d_2 , d_3 , d_4). El dispositivo d_1 es el que se encuentra conectado más próximo al árbitro, a continuación está conectado d_2 , seguidamente d_3 y finalmente d_4 . La fracción de la capacidad utilizada por los dispositivos d_1 , d_2 , d_3 y d_4 es 0.2, 0.35, 0.1 y 0.25 respectivamente. Indique cuál es la *capacidad sobrante* del dispositivo d_3 . (Nota: Se define la *capacidad sobrante* de un dispositivo como 1 menos la suma de las fracciones de las capacidades utilizadas por todos los dispositivos que tienen una prioridad superior).

1.18 La memoria de un ordenador consta de 20 módulos independientes conectados a un bus de memoria común. En una operación de escritura cada uno de estos módulos únicamente ocupa el bus del sistema al comienzo de la operación y durante un 12,5% del tiempo total del ciclo de escritura. El 87,5 % del tiempo de ciclo de escritura restante el módulo lo emplea para almacenar el dato internamente. Si las operaciones de escritura de dichos módulos de memoria pueden solaparse, ¿En cuánto se ve incrementada la velocidad máxima de almacenamiento de la memoria del ordenador en relación a la velocidad de un único módulo?

1.19 Considere una CPU en la que tanto las instrucciones como los datos tienen una longitud de 12 bits. El formato de las instrucciones es el siguiente: los 4 bits más significativos de la instrucción representan el código de operación y los otros 8 bits representan la dirección de memoria. A continuación, se muestra una lista parcial de los códigos de operación:

0111: Cargar el registro acumulador desde memoria.

1101: Almacenar en memoria el contenido del registro acumulador.

1110: Restar al acumulador el contenido de una dirección de memoria. El resultado se almacena en el acumulador.

Indique cual de los siguientes fragmentos de programa resta al contenido de la dirección de memoria $3B_{16}$ el contenido de la dirección de memoria $3A_{16}$ y almacena el resultado en la dirección de memoria $3A_{16}$:

- A) $73A_{16}$, $E3B_{16}$, $D3A_{16}$
- B) $73B_{16}$, $E3A_{16}$, $D3A_{16}$
- C) Los anteriores son correctos
- D) Ninguno de los anteriores

1.20 Indique si las siguientes afirmaciones son verdaderas.

- I. Una transferencia de datos en un bus que utiliza la técnica de multiplexación en el tiempo de direcciones y datos se realiza de la forma siguiente: se coloca la dirección en el Bus de Direcciones y se mantiene mientras el dato se sitúa en el Bus de Datos.
- II. Cuando las salidas de varias puertas triestado se encuentran conectadas a una misma línea de un bus, sólo una de ellas puede estar en estado de alta impedancia.

1.21 Indique si las siguientes afirmaciones son verdaderas. En un bus con arbitraje distribuido:

- I. La posición de conexión de los dispositivos a la línea de arbitraje no determina la prioridad de aquellos en el uso del bus.
- II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

1.22 Una CPU con bus de direcciones de 16 bits y un bus de datos de 8 bits tiene un registro de 8 bits conectado al bus de datos y a la unidad de control. Este registro puede ser uno de los siguientes:

- A) Contador de programa (PC). B) De instrucción (IR).
- C) De direcciones de memoria (MAR). D) Ninguna de las anteriores.

1.23 La memoria de un computador consta de N módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 nseg. Durante los 80 nseg siguientes, el módulo de memoria direccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. Indique si las siguientes afirmaciones son ciertas:

- I. Si el número de módulos $N = 3$ la velocidad máxima de transferencia es de 0.03 palabras/nseg
- II. Cuando el número de módulos $N > 4$, la velocidad máxima de transferencia es de 0.06 palabras/nseg

1.24 En un bus con arbitraje centralizado:

- A) Cualquier dispositivo puede decidir en qué momento toma el control del bus.
- B) La temporización debe ser asíncrona.
- C) Todos los dispositivos actúan de forma cooperativa para compartir el bus.
- D) Todas las afirmaciones anteriores son falsas.

1.25 El formato de instrucción de un procesador hipotético es el siguiente: los 4 bits más significativos almacenan el código de operación y los restantes 12 bits contienen la dirección de memoria. El formato de almacenamiento de los números enteros es el siguiente: el bit más significativo contiene el signo (0: positivo; 1: negativo), y los 15 bits restantes la magnitud. La CPU contiene tres registros internos: el contador de programa (PC), el registro de instrucción (IR) y el acumulador (AC). La lista de los códigos de operación incluye los siguientes: 0001_2 (cargar AC desde memoria), 0010_2 (almacenar AC en memoria), 1000_2 (restar al AC de memoria), 1001_2 (sumar al AC de memoria). Si las posiciones de memoria $A0F_{16}$ y $3A0_{16}$ contienen respectivamente: X e Y, determinar cuál es el contenido de la posición de memoria $3A0_{16}$ una vez ejecutadas las cuatro instrucciones siguientes: $13A0_{16}$, $9A0F_{16}$, $93A0_{16}$, $2A0F_{16}$.