

8.- Indique si las siguientes afirmaciones son verdaderas. En un bus con arbitraje distribuido:

- I. La posición de conexión de los dispositivos a la línea de arbitraje determina la prioridad de aquellos en el uso del bus.
- II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

Solución

[Ver apartado 1.4.4 del libro de teoría, en concreto en la página 29, figura 1.25 se trata sobre los buses de arbitraje distribuido]

I. Cierta, puesto que el dispositivo más cercano es el de máxima prioridad.

II. Falsa. Mientras la línea de bus ocupado está activada, ningún otro módulo puede acceder al bus, aunque sea más prioritario.

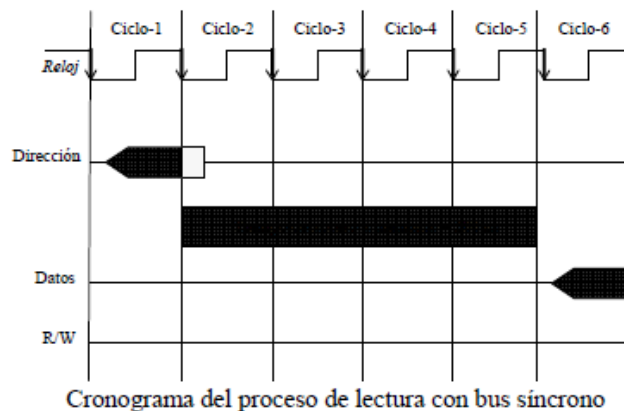
Respuesta: B

4.- Se dispone de un bus síncrono que tiene un tiempo de ciclo de 50 ns y cada transacción del bus requiere un ciclo de reloj. Este bus multiplexa las direcciones y los datos por un conjunto de 32 líneas. Si la memoria tiene 200 ns de tiempo de acceso, el ancho de banda en el proceso de lectura de dicha memoria es de:

A) 10,5 Mbytes/s B) 20,2 Mbytes/s C) 13,3 Mbytes/s D) Ninguna de las anteriores.

Solución

En la figura siguiente se muestra el cronograma correspondiente al proceso de escritura utilizando el bus síncrono:



Cronograma del proceso de lectura con bus síncrono

Como se puede observar, los distintos tiempos significativos para la resolución del problema son los siguientes:

Envío de dirección a memoria = 50 ns

Lectura de memoria = 200 ns

Envío de datos a CPU = 50 ns

Por lo tanto se tarda un total de 300 ns en leer 32 bits (= 4 bytes), luego el ancho de banda será:

$$\text{Ancho de banda} = 4 \text{ bytes} / 300 \text{ ns} = 4 \text{ Mbytes} / 0,3 \text{ s} = 13,3 \text{ Mbytes/s}$$

Respuesta: C

3.- Una memoria caché asociativa por conjuntos consta de 16 conjuntos con 4 bloques por conjunto. La memoria principal tiene una capacidad de $1M(2^{20})$ palabras dividida en bloques de 128 palabras. A la dirección de memoria principal, expresada en binario, 10100001100100110000, le corresponde el conjunto, expresado en decimal:

- A) 7 B) 3 C) 2 D) Ninguna de las anteriores.

Solución

Hay que determinar el número de bits que contienen los 3 campos (etiqueta, conjunto y palabra) en los que se divide el formato de la dirección de M_p en una memoria caché asociativa por conjuntos.

Como la capacidad de la memoria principal es de $1M$ palabras (2^{20}), esto implica que el número total de bits para direccionar a la M_p es de: $n = 20$ bits.

Como la memoria caché asociativa por conjuntos consta de 16 conjuntos (2^4), esto implica que el número de bits que necesita el campo conjunto es de: $c = 4$ bits.

Como cada bloque en los que se divide la M_p consta de 128 palabras (2^7), esto implica que el número de bits que necesita el campo palabra es de: $p = 7$ bits.

A partir de estos datos podemos ya determinar el número de bits que contiene el campo etiqueta que es de: $e = n - p - c = 20 - 4 - 7 = 9$ bits.

A la dirección de memoria principal, expresada en binario, 10100001100100110000, le corresponderán entonces los contenidos siguientes en los diferentes campos de la dirección:

- etiqueta (los 9 bits más significativos de la dirección): 101000011
- conjunto (los 4 bits siguientes de la dirección): 0010
- palabra (los 7 bits menos significativos de la dirección): 0110000

Luego el conjunto expresado en decimal es el 2.

1.- Se dispone de un computador que emplea dos niveles de memoria caché y una memoria principal. Los tiempos medios de acceso a la memoria caché de primer nivel, a la de segundo nivel y a la memoria principal son de 4 ns, 10 ns y 122 ns respectivamente. La tasa de acierto de la memoria caché de primer nivel es 0,9 y la tasa de acierto combinada de ambas cachés es 0,8. Calcular el tiempo de acceso medio al sistema conjunto de memoria.

- A) 24,4 ns B) 29 ns C) 32,6 ns D) Ninguna de las anteriores.

Solución

El tiempo de acceso a un sistema con caché de primer y segundo nivel se puede determinar mediante la expresión mostrada en la página 94 del libro de teoría:

$$t_a = [h_1 \times t_{ca1} + (1 - h_1) \times t_{ca2}] + (1 - h_2) \times t_p$$

Donde: t_{ca1} es el tiempo de acceso medio a la caché de primer nivel, t_{ca2} es el tiempo de acceso medio a la caché de segundo nivel, t_p es el tiempo de acceso medio a la memoria principal, h_1 es la tasa de acierto de la memoria caché de primer nivel y h_2 la tasa de acierto combinada de ambas cachés.

Por lo tanto, sustituyendo los datos del problema

$$t_a = [0,9 \times 4 + 0,1 \times 10] + 0,2 \times 122 = 3,6 + 1 + 24,4 = 29 \text{ ns}$$

Respuesta: B