

## Problemas TEMA 2

2.1.- Un sistema jerárquico de memoria tiene una memoria caché de 256 palabras con un tiempo de acceso de 10 nseg, y una memoria principal de 1024 Kpalabras con un tiempo de acceso de 100 nseg. Si la tasa de acierto de la caché es del 90%. Calcular el tiempo de acceso medio del conjunto si cuando se produce un fallo en la caché el sistema tarda 20 nseg adicionales en tratar el fallo y la palabra solicitada es enviada de la memoria principal a la memoria caché de donde es leída por la CPU.

### SOLUCIÓN:

El tiempo de acceso medio  $t_{am}$  se define como:

$$t_{am} = h \cdot t_{ga} + (1-h) \cdot t_{gf}$$

Donde  $t_{ga}$  es el tiempo de gestión del acierto. Normalmente se cumple que:

$$t_{ga} = t_{ac} = 10 \text{ nseg}$$

Por otra parte  $t_{gf}$  es el tiempo que tarda la CPU en gestionar un *fallo* en la  $M_c$ . De acuerdo con el enunciado cuando se produce un fallo:

1) El sistema utiliza un tiempo  $t_{ex}$  extra.

La palabra es enviada desde la  $M_p$  a la  $M_c$ , para lo que empleara un tiempo  $t_{ap}$ .

Finalmente dicha palabra es leída por la CPU en la  $M_c$ , por lo que empleará un tiempo  $t_{ac}$ .

$$t_{gf} = t_{ex} + t_{ac} + t_{ap} = 20 + 100 + 10 = 130 \text{ nseg}$$

Sustituyendo los valores en la formula se obtiene que :

$$t_{am} = 0,90 \cdot 10 + 0,1 \cdot 130 = 9 + 13 = 22 \text{ nseg}$$

2.2.- ¿Cuál es la frecuencia de acceso de una memoria de acceso aleatorio con un tiempo de acceso de 80 nseg. Y un tiempo de ciclo de 100 nseg.?

### SOLUCIÓN:

El tiempo de acceso  $t_a$  se define como el tiempo necesario para leer o escribir un determinado número de bits. O también como el tiempo transcurrido desde que se solicita una información hasta que se dispone de ella.

Por otro lado el tiempo de ciclo,  $t_c$ , se define como el tiempo transcurrido entre dos lecturas consecutivas en memoria. Y limitará la frecuencia de acceso en una memoria de acceso aleatorio.

Por definición, la frecuencia de acceso  $f_a$  o velocidad de transferencia  $v_t$  se define como el número de palabras que se pueden leer o escribir en memoria por unidad de tiempo.

$$f_a = 1 / t_c$$

luego obtenemos:

$$f_a = 1 / 100 \cdot 10^{-9} = 1 / 10^{-7} = 10^7 \text{ segundos}^{-1}$$

2.3.- Indicar si las siguientes afirmaciones son verdaderas o falsas. Para diseñar un módulo de memoria de 256 palabras de 4 bits

I. Utilizando organización 2D, para seleccionar la palabra haría falta un decodificador de 8 entradas y  $2^8$  salidas.

II. Utilizando organización  $2 \frac{1}{2} D$ , para seleccionar la palabra harían falta dos decodificadores de 4 entradas y  $2^4$  salidas.

### SOLUCIÓN:

Con el dato que proporcionan en el enunciado es posible deducir los  $n$  bits necesarios para codificar todas las posiciones (palabras) de memoria, es decir, conocer cual es la anchura de una dirección de memoria.

Puesto que  $256 = 2^8$  ?  $n = \log_2 256 = 8$  bits.

#### **Análisis de la Afirmación I**

Si se utiliza **organización 2D** (ver libro de teoría pags.62-64), se requiere un decodificar que reciba los  $n=8$  bits del bus de dirección y genere las  $2^n = 2^8$  posiciones

de memoria, es decir que posea 8 entradas y  $2^8$  salidas. Luego la afirmación I es **verdadera**.

Si se utiliza **organización 21/2D** (ver libro de teoría pags.65-68), se requieren dos decodificadores, cada uno con  $n/2=4$  entradas y  $2^{n/2}=2^2=4$  salidas. Luego la afirmación II es **verdadera**.

2.4.- En una memoria caché en la que se realizan  $2^{30}$  accesos con una tasa de aciertos del 75%, ¿Cuál es el número de fallos producidos ?

SOLUCIÓN:

La definición de tasa de fallos (1- h) es:

$$1-h=N_F/N_t$$

Despejando el número total de Fallos:

$$N_F=(1-h)\cdot N_t$$

Sustituyendo valores se obtiene:

$$N_F=(1-0,75)\cdot 2^{30}=0,25\cdot 2^{30}=2^{30}/4=2^{28}$$

Luego el **número total de fallos** es  $N_F= 2^{28}$ .

2.5.- Se considera un procesador que dispone de 12 líneas de direcciones  $A_{11} -A_0$ . Para la construcción de su unidad de memoria se dispone de módulos de 1K palabras, utilizándose las líneas más significativas ( $A_{11} -A_{10}$ ) para la selección de cada módulo. ¿Cuál es en el mapa de memoria, la *dirección base* (primera dirección de cada módulo) en notación hexadecimal de los sucesivos bloques de memoria ?

SOLUCIÓN:

De los datos se deduce que las direcciones para acceder a posiciones de memoria tienen 12 bits, uno por cada línea. Por otro lado puesto que se tienen dos líneas  $A_{11}$  y  $A_{10}$  para seleccionar módulos de memoria de 1K, el número total de módulos para implementar el mapa de memoria es  $2^2=4$  módulos. En la siguiente tabla se muestra el módulo de memoria al que se hace referencia en función del valor de estas dos líneas.

$A_{11}$	$A_{10}$	Módulo de memoria
0	0	Módulo 0
0	1	Módulo 1
1	0	Módulo 2
1	1	Módulo 3

Así las direcciones que hacen referencia al primer módulo de memoria (módulo n° 0) son:

00XX XXXX XXXX

Las direcciones que hacen referencia al segundo módulo de memoria (módulo n° 1) son:  
01XX XXXX XXXX

Las direcciones que hacen referencia al tercer módulo de memoria (módulo n° 2) son:  
10XX XXXX XXXX

Y las direcciones que hacen referencia al cuarto módulo de memoria (módulo n° 3) son:  
11XX XXXX XXXX

En la siguiente tabla aparece la primera dirección (dirección base) y la última de cada módulo de memoria, tanto en binario como en hexadecimal.

<b>Módulo de memoria</b>	<b>Dirección de inicio</b>	<b>Dirección final</b>
<b>Módulo nº 0</b>	0000 0000 0000 000 (hexadecimal)	0011 1111 1111 3FF (hexadecimal)
<b>Módulo nº 1</b>	0100 0000 0000 <b>400</b> (hexadecimal)	0111 1111 1111 7FF (hexadecimal)
<b>Módulo nº 2</b>	1000 0000 0000 <b>800</b> (hexadecimal)	1011 1111 1111 BFF (hexadecimal)
<b>Módulo nº 3</b>	1100 0000 0000 <b>C00</b> (hexadecimal)	1111 1111 1111 FFF (hexadecimal)

La solución al problema (las direcciones base de cada módulo) está dada por lo tanto en la tabla anterior.

2.6.- Un computador dispone del siguiente sistema jerárquico de memoria (ordenado de los niveles superiores a los inferiores): registros de la CPU, caché primaria, caché secundaria, memoria principal y discos magnéticos.

Indique si las siguientes afirmaciones son verdaderas:

- I. El coste por palabra de la caché primaria será menor que el coste por palabra de la caché secundaria.
- II. La caché primaria será de menor tamaño que la secundaria y contendrá la copia de algunos bloques de ésta.

**SOLUCIÓN:**

Cuando se dispone de un **sistema jerárquico de memoria** se cumplen los siguientes principios:

- 1) El coste por palabra es mayor en los niveles superiores que en los inferiores.
- 2) La capacidad de memoria es menor en los niveles superiores que en los inferiores.
- 3) La velocidad de transferencia o frecuencia de acceso es mayor en los niveles superiores que en los inferiores.

Considerando estos tres principios, es posible verificar si las afirmaciones son ciertas o no.

**Afirmación I :** Es **Falsa**, puesto que la caché primaria está en un nivel superior a la caché secundaria, el coste por palabra es mayor en la caché primaria que en la secundaria.

**Afirmación II:** Es **Verdadera**, puesto que la caché primaria está en un nivel superior a la caché secundaria, la capacidad es menor en la caché primaria que en la secundaria.

2.7.- Se considera un procesador que dispone de 12 líneas de direcciones A11 -A0 . Para la construcción de su unidad de memoria se dispone de módulos de 1K palabras, utilizándose las líneas menos significativas (A<sub>1</sub> - A<sub>0</sub> ) para la selección de cada módulo. Indique cuál de las siguientes afirmaciones es verdadera:

- A) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en el mismo módulo de memoria.
- B) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en diferentes módulos de memoria.
- C) Ninguna de las anteriores es verdadera.

**SOLUCIÓN:**

De los datos se deduce que las direcciones para acceder a posiciones de memoria tienen 12 bits, uno por cada línea. Por otro lado puesto que se tienen dos líneas A1 y A0 para seleccionar módulos de memoria de 1K, el número total de módulos para implementar el mapa de memoria es  $2^2 = 4$  módulos. En la siguiente tabla se muestra el módulo de memoria al que se hace referencia en función del valor de estas dos líneas.

A1	A0	Módulo de memoria
0	0	Módulo 0
0	1	Módulo 1
1	0	Módulo 2
1	1	Módulo 3

### Módulo 0

Así las direcciones que hacen referencia al primer módulo de memoria (módulo nº 0) son:

XXXX XXXX XX00

donde X puede valer 0 o 1.

Lo que en hexadecimal equivale a las siguientes direcciones, supuesto que Y puede tomar cualquier valor hexadecimal (0,1,2,3,4,5,6,7,8,9,A,B,C,D, E,F):

Y Y 0

Y Y 4

Y Y 8

Y Y C

### Módulo 1

Las direcciones que hacen referencia al segundo módulo de memoria (módulo nº 1) son:

XXXX XXXX XX01

Lo que en hexadecimal equivale a las siguientes direcciones, supuesto que Y puede tomar cualquier valor hexadecimal (0,1,2,3,4,5,6,7,8,9,A,B,C,D, E,F):

Y Y 1

Y Y 5

Y Y 9

Y Y D

### Módulo 2

Las direcciones que hacen referencia al tercer módulo de memoria (módulo nº 2) son:

XXXX XXXX XX10

Lo que en hexadecimal equivale a las siguientes direcciones, supuesto que Y puede tomar cualquier valor hexadecimal (0,1,2,3,4,5,6,7,8,9,A,B,C,D, E,F):

Y Y 2

Y Y 6

Y Y A

Y Y E

### Módulo 3

Y las direcciones que hacen referencia al cuarto módulo de memoria (módulo nº 3) son:

XXXX XXXX XX11

Lo que en hexadecimal equivale a las siguientes direcciones, supuesto que Y puede tomar cualquier valor hexadecimal (0,1,2,3,4,5,6,7,8,9,A,B,C,D, E,F):

Y Y 3

Y Y 7

Y Y B

Y Y F

Conocidas las direcciones que hacen referencia a cada módulo de memoria, examinemos las afirmaciones:

**Afirmación I:** Es **FALSA**, la dirección C89 se refiere al módulo 1 y la dirección C8A se refiere al módulo 2.

**Afirmación II:** Es **VERDADERA**, por que efectivamente C89 y C8A se refieren a diferentes módulos, la dirección C89 se refiere al módulo 1 y la dirección C8A se refiere al módulo 2.

2.8.- En una memoria caché en la que se realizan  $2^{20}$  accesos se producen  $2^{17}$  fallos. ¿ Cual es la tasa de fallos correspondiente?.

**SOLUCIÓN:**

La definición de tasa de fallos es:

$$\text{Tasa de fallos} = \text{N}^\circ \text{ de fallos} / \text{N}^\circ \text{ total de accesos} = 2^{17} / 2^{20} = 1/2^3 = 0,125$$

Por lo tanto la tasa de fallos será del 12,5%.

2.9.- Se considera un procesador que dispone de 12 líneas de direcciones  $A_{11} - A_0$ . Para la construcción de su unidad de memoria se dispone de módulos de 2K palabras, utilizándose la línea  $A_{11}$  para la selección de cada módulo ( $A_0$  es la línea menos significativa). Indique cuál de las siguientes afirmaciones es verdadera:

A) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en el mismo módulo de memoria.

B) Las direcciones hexadecimales C89 y C8A se encuentran almacenadas en diferentes módulos de memoria.

C) El módulo en que se encuentra almacenada una dirección de memoria queda determinado por el valor de  $A_{10}$ .

D) Ninguna de las anteriores es verdadera.

**SOLUCIÓN:**

De los datos se deduce que las direcciones para acceder a posiciones de memoria tienen 12 bits, uno por cada línea. Por otro lado puesto que se tienen una única línea  $A_{11}$  para seleccionar módulos de memoria de 2K, el número total de módulos para implementar el mapa de memoria es 2 módulos. En la siguiente tabla se muestra el módulo de memoria al que se hace referencia en función del valor de  $A_{11}$ .

<b>A<sub>11</sub></b>	<b>Módulo de memoria</b>
0	Módulo 0
1	Módulo 1

### **Módulo 0**

Así las direcciones que hacen referencia al primer módulo de memoria (módulo n° 0) son:

XXXX XXXX XX0X

donde X puede valer 0 o 1.

Lo que en hexadecimal equivale a las siguientes direcciones, supuesto que Y puede tomar cualquier valor hexadecimal (0,1,2,3,4,5,6,7,8,9,A,B,C,D, E,F):

Y Y 0  
Y Y 1  
Y Y 4  
Y Y 5  
Y Y 8  
Y Y 9  
Y Y C  
Y Y D

### Módulo 1

Las direcciones que hacen referencia al segundo módulo de memoria (módulo nº 1) son:

XXXX XXXX XX1X

Lo que en hexadecimal equivale a las siguientes direcciones, supuesto que Y puede tomar cualquier valor hexadecimal (0,1,2,3,4,5,6,7,8,9,A,B,C,D, E,F):

Y Y 2  
Y Y 3  
Y Y 6  
Y Y 7  
Y Y A  
Y Y B  
Y Y E  
Y Y F

De acuerdo con el análisis realizado las afirmaciones son:

- A) **FALSA** Ya que C89 se encuentra en el módulo 0 y C8A en el módulo 1.
- B) **VERDADERA**. Ya que C89 se encuentra en el módulo 0 y C8A en el módulo 1.
- C) **FALSA**. La línea de selección es A1.
- D) **FALSA**. La afirmación B es verdadera.

2.10.- Supóngase una memoria RAM de 1024 palabras  $\times$  16 bits/palabra construida empleando circuitos integrados de memoria RAM de 128 palabras  $\times$  8 bits/palabra. A fin de permitir el direccionamiento de las palabras de la memoria, calcular: a) El número de líneas del bus de direcciones. b) El número de líneas del bus de direcciones comunes a todos los módulos.

### SOLUCIÓN:

El número de líneas del bus de direcciones  $n$  se calcula a partir del número de palabras que posee la memoria RAM construida. Es decir:

$$\text{Líneas } n = \log_2 1024 = \log_2 2^{10} = 10 \text{ líneas}$$

Puesto que el número de palabras que posee el modulo RAM unidad es de 128, para conseguir 1024 palabras de capacidad total se necesitarán:

$$\text{Módulos } m = 1024/128 = 8 \text{ módulos}$$

Por otra parte, el número de líneas del bus de direcciones que se utilizarán para seleccionar entre estos ocho módulos  $n_s$  es:

$$\text{líneas } n_s = \log_2 8 = \log_2 2^3 = 3 \text{ líneas}$$

Luego, el número de líneas del bus de direcciones comunes  $n_c$  a todos los módulos serán:

$$\text{líneas comunes } n_c = n - n_s = 10 - 3 = 7$$

Hasta aquí se han indicado todos los cálculos necesarios para resolver el problema. De forma adicional, vamos a calcular el número de módulos de memoria RAM de capacidad  $C_0$  necesarios para construir una memoria RAM de capacidad  $C_T$ . Pues bien, obsérvese que  $C_T$  se descompone de la siguiente forma:

$$C_T = 2^{10} \text{ pal} \cdot 2^4 \text{ bits/palabra} = 2^3 \cdot 2^7 \text{ pal} \cdot 2 \cdot 2^3 \text{ bits/pal} = (2^3 \cdot 2) \cdot 2^7 \text{ pal} \cdot 2^3 \text{ bits/pal} = 16 \cdot (2^7 \text{ pal} \cdot 2^3 \text{ bits/pal})$$

Es decir se necesita un total de **16 módulos**. (Nótese que los módulos proporcionados son de 8 bits y la memoria debe de ser de palabras de 16 bits. Así cada palabra estará formada por ocho bits de un módulo y otros ocho del otro situado en la misma fila y con la misma dirección común a ambos módulos)

Veamos, como quedaría, la estructura de la memoria:

