

2.- Un procesador que opera a 200 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina en ejecutarse ($CPI = 4$) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes utilizando una rutina de servicio que ejecuta 20 instrucciones. Teniendo en cuenta que $1\text{Mbyte} = 10^6$ bytes, la capacidad de entrada de datos (ancho de banda) máxima en Mbytes/s a través del sistema de interrupciones es:

- B) 8 Mbytes/s B) 12 Mbytes/s C) 16 Mbytes/s D) Ninguna de las anteriores

Solución

A partir de la frecuencia del procesador se calcula el tiempo de ciclo (t_c) del mismo, que es la inversa de dicha frecuencia. Por tanto con una frecuencia de 200 MHz, se tiene un $t_c = 5$ ns.

El tiempo que dura una operación de E/S por interrupción (t_{int}) es la suma del tiempo que se emplea en el reconocimiento de la interrupción (100 ns) más el tiempo empleado en ejecutar la rutina que gestiona dicha interrupción. Esta rutina consta de 20 instrucciones, cada una de ellas de 4 ciclos y sabemos que el tiempo empleado por ciclo es de 5 ns. Por tanto, el tiempo de una operación de E/S por interrupción es el siguiente:

$$t_{int} = 100 \text{ ns} + (20 \text{ instrucciones} \times 4 \text{ ciclos/instrucción} \times 5 \text{ ns/ciclo}) = 500 \text{ ns}$$

Durante este tiempo se transmiten 8 bytes, por lo que el *ancho de banda* (bytes/s) a través del sistema de interrupciones será el número de bytes transmitido entre el tiempo que se tarda en transmitir:

$$\text{Ancho de banda} = 8 \text{ bytes} / (500 \times 10^{-9} \text{ s}) = 16 \times 10^6 \text{ bytes/s} = 16 \text{ Mbytes/s}$$

Respuesta: C (16 Mbytes/s)

1.- Un controlador de DMA está transmitiendo palabras a memoria mediante la estrategia *transparente*. Cuando la CPU dispone en exclusiva del bus, las instrucciones emplean en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 2 de ellos no se requiere el acceso al bus. El controlador de DMA tarda 1 ciclo de reloj en transmitir una palabra. Si la frecuencia de reloj del computador es de 10^7 ciclos/s, ¿cuánto tiempo tardará el controlador de DMA en mover un bloque de datos compuesto por 10^7 palabras?

- A) 0,5s B) 1s C) 2s D) Ninguna de las anteriores.

Solución

En la estrategia de DMA *transparente* no se produce ninguna interferencia entre el controlador de DMA y la CPU. El controlador de DMA aprovecha los ciclos de reloj en los que la CPU no utiliza el bus para realizar la transmisión.

Según el enunciado del problema, el controlador de DMA transmite una palabra durante los 2 ciclos de reloj en los que la CPU no utiliza el bus cuando ejecuta una instrucción. Por tanto, en los 4 ciclos de reloj que tarda la CPU en ejecutar una instrucción, el controlador de DMA transmite 2 palabras.

La velocidad de transferencia resultante, si el reloj del computador tiene una frecuencia de 10^7 ciclos/s, es de:

$$(10^7 \text{ ciclos/s}) \times (2/4 \text{ palabras/ciclo}) = 0,5 \times 10^7 \text{ palabras/s}$$

Con esta velocidad de transferencia, para mover un bloque de 10^6 palabras el controlador de DMA tardará:

$$(10^7 \text{ palabras}) / (0,5 \times 10^7 \text{ palabras/s}) = 2 \text{ s}$$

Respuesta: C

5.- Sea una *CPU* con 4 líneas de interrupción PI_1 , PI_2 , PI_3 y PI_4 , numeradas en orden creciente de prioridad, es decir, PI_1 tiene la prioridad mínima y PI_4 la máxima. Se supone que se producen 4 peticiones de interrupción en este orden: PI_3 , PI_1 , PI_4 y PI_2 . Teniendo en cuenta que las tres últimas se producen simultáneamente mientras se está ejecutando el programa de servicio de PI_3 , si el sistema no permite anidamiento de interrupciones, el orden en que se tratan las interrupciones es:

- A) PI_3 , PI_2 , PI_4 y PI_1 B) PI_3 , PI_4 , PI_2 y PI_1 C) PI_3 , PI_1 , PI_2 y PI_4 D) Ninguna de las anteriores.

Solución

Como el sistema no permite anidamiento se trata de un sistema con un único nivel de interrupciones. Por lo tanto, una vez que se inicia la ejecución del programa de servicio de una interrupción continúa hasta que finalice antes de que la *CPU* pueda aceptar una segunda petición de interrupción.

La secuencia de petición de interrupciones es la siguiente: Llega PI_3 y comienza a ejecutarse el programa de servicio de PI_3 . A continuación, de forma simultánea llegan PI_1 , PI_4 y PI_2 . Cuando llegan estas tres peticiones se continúa ejecutando el programa de servicio de PI_3 . Al finalizar este programa de atención a PI_3 , se procede a ejecutar el programa de servicio de PI_4 que es la interrupción recibida con mayor prioridad. Cuando éste finaliza, se procede a ejecutar el programa servicio de PI_2 , la siguiente que debe ser atendida según órdenes de prioridades. Por último, cuando termina el programa de servicio de la interrupción PI_2 , se procede a ejecutar el programa de gestión de PI_1 .

Por lo tanto, el orden de ejecución de las interrupciones es: PI_3 , PI_4 , PI_2 y PI_1 .

Respuesta: B

2.- En un computador que funciona a una velocidad de 10^5 ciclos/s, una instrucción emplea, en promedio, 5 ciclos máquina en ser ejecutada y en 2 de esos ciclos no hace uso del bus. Este computador tiene un controlador de *DMA* que emplea 2 ciclos en la transferencia de una palabra.

- I. Utilizando *DMA* transparente la máxima velocidad de transferencia de datos es de 20.000 palabras/s.
- II. Empleando *DMA* por robo de ciclos la máxima velocidad de transferencia de datos es superior a 15.000 palabras/s.

- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

Solución

Con *DMA* transparente, se transmite cuando no se está utilizando el bus. Por tanto, la velocidad de transferencia se calcula como sigue:

$$((10^5 \text{ ciclos/s}) / (2 \text{ ciclos/palabra})) / ((5 \text{ ciclos/instr.}) / (2 \text{ ciclos/instr.})) = 2 \times 10^4 \text{ palabras/s}$$

Por tanto la primera afirmación es cierta.

Con *DMA* por robo de ciclos se transmite en el ciclo de instrucción y además durante el tiempo que se tarda en transmitir una palabra, por lo tanto:

$$(10^5 \text{ ciclos / s}) / (5 \text{ ciclos/instr.} + 2 \text{ ciclos/palabra}) = (10/7) \times 10^4 \text{ palabras /s}$$

Por tanto la segunda afirmación es falsa.

Respuesta: B