

## PROBLEMAS

### TEMA 3: Unidad de Entrada/Salida

#### Problemas propuestos en examen

**3.1** Un computador dispone de un *canal multiplexor* que controla 2 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 500 Kbytes/seg, y las de cinta de 150 Kbytes/seg. Calcular la máxima velocidad de transferencia agregada a este sistema.

**3.2** Un computador dispone de un canal selector que controla 2 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $10^5$  bytes/seg. Si para la transferencia de un byte del canal selector a memoria principal se utiliza el bus del sistema durante 10 nseg., ¿qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos a través de este canal selector?.

**3.3** Se dispone de un computador que funciona a una velocidad de  $10^8$  ciclos por segundo y en el que, en promedio, una instrucción emplea 10 ciclos máquina y cada operación de lectura o escritura de memoria tarda 5 ciclos máquina. Determinar la máxima velocidad de transferencia de datos si en este sistema se emplea DMA con estrategia de *transferencia por ráfagas*.

**3.4** Un computador con 13 líneas de direcciones tiene una memoria de  $2^{12}$  palabras y utiliza entrada/salida localizada en memoria.

- a) ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno ocupa una sola dirección?
- b) ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno ocupa 8 direcciones?

**3.5** Sea una UCP con 4 líneas de interrupción  $PI_3, PI_2, PI_1$  y  $PI_0$  de las cuales son enmascarables las tres primeras líneas mediante 3 bits del registro de estado RE de la UCP, de forma que una petición de interrupción en  $PI_j$  enmascara las líneas  $PI_i$  con  $i < j$  e  $i \neq 0$ . Se supone que se producen 4 peticiones de interrupción en este orden :  $PI_3, PI_2, PI_0$  y  $PI_1$ . Teniendo en cuenta que las tres últimas se producen mientras se está ejecutando el programa de servicio de  $PI_3$ , ¿ En qué orden se tratan las interrupciones ?

**3.6** Un controlador de DMA está transmitiendo palabras a memoria mediante la estrategia de robo de ciclos. Cuando la UCP dispone en exclusiva del bus las instrucciones emplean, en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 2 de ellos no requiere el acceso al bus. Si la frecuencia de reloj del computador es de  $200 \times 10^6$  ciclos/seg., ¿cuántas instrucciones por segundo deja de ejecutar la UCP cuando el controlador de DMA está realizando una transmisión?

**3.7** En un computador que funciona a una velocidad de  $10^8$  ciclos/seg una instrucción emplea, en promedio, 4 ciclos máquina en ser ejecutada y en 2 de estos ciclos no hace uso del bus. Este computador tiene un controlador de DMA que emplea 1 ciclo en la transferencia de una palabra. Indicar si son ciertas las siguientes afirmaciones:

- I. Utilizando DMA transparente la máxima velocidad de transferencia de datos es de 50.000.000 palabras/seg.
- II. Empleando DMA por robo de ciclos la máxima velocidad de transferencia de datos es de 20.000.000 palabras/seg.

**3.8** Un computador dispone de un canal multiplexor que controla 2 unidades de disco y 5 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $2 \times 10^5$  bytes/seg. Si para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 100 nseg. ¿Qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos del canal multiplexor a memoria principal?

**3.9** Un controlador de E/S posee un buffer para el almacenamiento temporal de los datos con una capacidad de 256 Kb. En un instante determinado inicia una operación de E/S con una impresora a una velocidad de transferencia de 256 Kb/seg. Si el controlador de E/S recibe la información que debe enviar a la impresora a una velocidad de 1Mb/seg. ¿cuánto tiempo tardará en llenarse por primera vez el buffer suponiendo que inicialmente está vacío, y que recibe y envía información simultáneamente de forma continua?

**3.10** Si llamamos VP, VI y VD a las velocidades máximas de transferencia empleando E/S controlada por programa, E/S con interrupciones y E/S con DMA, respectivamente, se verifica la relación:

- A)  $VP < VI > VD$       B)  $VP < VI < VD$       C)  $VP > VI > VD$       D) Ninguna de las anteriores

**3.12** Un ordenador con 32 líneas de direcciones tiene una memoria de 32 Mb y utiliza entrada/salida *aislada de memoria*. ¿Cuál es el número máximo de periféricos que pueden conectarse a este ordenador, suponiendo que cada uno ocupa 16 direcciones?

**3.13** En un ordenador cuando la UCP dispone en exclusiva del bus las instrucciones emplean, en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 1 de ellos no requieren el acceso al bus. La frecuencia de reloj del computador es de  $200 \times 10^6$  ciclos/seg. Si se tarda un ciclo en transmitir una palabra empleando DMA, indicar si las siguientes afirmaciones son ciertas:

- I. Empleando DMA por robo de ciclos se consigue la misma velocidad de transferencia que con DMA transparente.
- II. La velocidad de ejecución del procesador se reduce más con DMA por robo de ciclos que con DMA transparente.

**3.14** Un computador dispone de un *canal multiplexor* que controla 3 unidades de disco y 5 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $5 \times 10^6$  bytes/seg., y las de cinta de  $10^5$  bytes/seg. Si para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 50 nseg., explique razonadamente qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos a través de este canal multiplexor.

**3.15** Indicar cuál de las siguientes afirmaciones es verdadera:

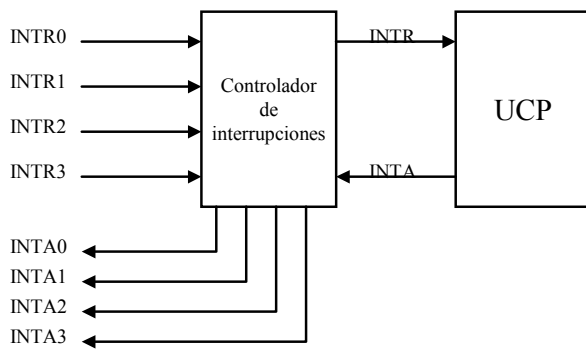
- A) La principal desventaja de las interrupciones vectorizadas consiste en que la UCP ha de comprobar, uno por uno, el estado de todos los controladores de E/S de los dispositivos que tiene conectados.
- B) La UCP recibe el vector de interrupción a través del bus de datos o del bus de direcciones, indistintamente.
- C) Las interrupciones multinivel no permiten la identificación de la fuente de interrupción mediante un vector de interrupción.
- D) Ninguna de las anteriores.

**3.16** Un computador dispone de un *canal multiplexor* que controla 2 unidades de disco y 10 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $10^3$  bytes/seg. Razonar cuál es la velocidad máxima de transferencia agregada a este sistema.

**3.17** Se dispone de una UCP con una única línea de petición de interrupción (INTR) y una única línea de aceptación de interrupción (INTA). Se desea diseñar para esta UCP un controlador de interrupciones como el mostrado en la figura, de manera que pueda atender interrupciones generadas por 4 dispositivos externos mediante las líneas de petición de interrupción INTR3, INTR2, INTR1 e INTR0.

Cuando se reciben peticiones de interrupción simultáneas por más de una línea sólo se reconoce la más prioritaria (la máxima prioridad la tiene INTR3 y la mínima INTR0). Además, cada una de estas líneas de interrupción se ha de poder enmascarar de manera individual mediante un registro de máscara del controlador de interrupciones (el mecanismo de acceso a este registro por parte de la UCP no es relevante para este problema).

Cuando la UCP activa su línea de aceptación INTA se debe informar al periférico correspondiente, de manera individual, de que su petición ha sido aceptada, mediante las líneas de aceptación INTA3, INTA2, INTA1 e INTA0.



- A) (0.75 puntos) Obtener la tabla de verdad de las 4 líneas INTA<sub>i</sub> (i=1..4) en función de las 4 líneas INTR<sub>i</sub> (i=1..4) e INTA, suponiendo que ninguna de las líneas de petición está enmascarada.
- B) (0.75 puntos) Diseñar un circuito lógico que implemente el mecanismo de enmascaramiento de las 4 líneas INTR<sub>i</sub> (i=1..4).
- C) (0.75 puntos) Diseñar un circuito lógico que implemente el esquema de prioridades de las 4 líneas INTR<sub>i</sub> (i=1..4).

- D) (0.75 puntos) Diseñar el circuito que genere las señales INTA<sub>i</sub> (i=1..4).
- E) (1 punto) Diseñar el controlador de interrupciones solicitado utilizando para ello los resultados obtenidos en los apartados anteriores.

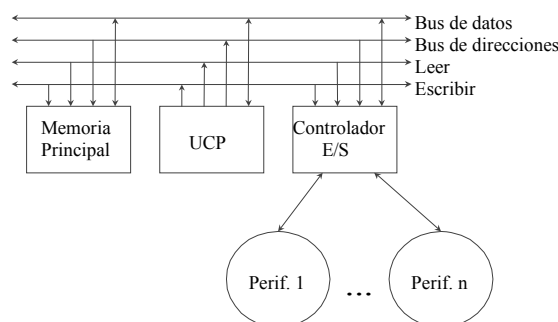
**3.18** Sea una UCP con 4 líneas de interrupción PI<sub>1</sub>, PI<sub>2</sub>, PI<sub>3</sub> y PI<sub>4</sub>, numeradas en orden creciente de prioridad, es decir, PI<sub>1</sub> tiene la prioridad mínima y PI<sub>4</sub> la máxima. El sistema **no permite anidamiento** de interrupciones. Se supone que se producen 4 peticiones de interrupción en este orden: PI<sub>3</sub>, PI<sub>1</sub>, PI<sub>4</sub> y PI<sub>2</sub>. Teniendo en cuenta que las tres últimas se producen simultáneamente mientras se está ejecutando el programa de servicio de PI<sub>3</sub>, ¿en qué orden se tratan las interrupciones?

**3.19** Un computador dispone de un canal multiplexor que controla 2 unidades de disco y 10 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 10<sup>6</sup> bytes/seg., y las de cinta de 10<sup>3</sup> bytes/seg. Si para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 100 nseg. ¿Qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos del canal multiplexor a memoria principal?

**3.20** Sea una UCP con 5 líneas de interrupción PI<sub>4</sub>, PI<sub>3</sub>, PI<sub>2</sub>, PI<sub>1</sub> y PI<sub>0</sub> enmascarables mediante 5 bits del registro de estado RE de la UCP, de forma que una petición de interrupción en PI<sub>j</sub> enmascara las líneas PI<sub>i</sub> con i < j. Se supone que se producen 4 peticiones de interrupción en este orden: PI<sub>2</sub>, PI<sub>4</sub>, PI<sub>3</sub> y PI<sub>1</sub>. Teniendo en cuenta que las interrupciones son anidables y que las tres últimas se producen simultáneamente y antes de finalizar la ejecución del programa de servicio de PI<sub>2</sub>, ¿en qué orden se tratan las interrupciones?

**3.21** Un computador dispone de un canal selector que controla 3 unidades de disco y 5 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 5×10<sup>6</sup> bytes/seg., y las de cinta de 10<sup>5</sup> bytes/seg. Si para la transferencia de un byte del canal selector a memoria principal se utiliza el bus del sistema durante 50 nseg., ¿qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos a través de este canal selector?.

- 3.22** En el mecanismo de E/S mostrado en la figura, indicar que afirmaciones son ciertas :
- I. Hay un único espacio de direcciones para las posiciones de memoria y los dispositivos de E/S.
  - II. Se pueden utilizar instrucciones del tipo referencia a memoria para acceder a datos de E/S.



**3.23** Sea una UCP con 4 líneas de interrupción enmascarables  $PI_1, PI_2, PI_3$  y  $PI_4$ , numeradas en orden creciente de prioridad, es decir,  $PI_1$  tiene la prioridad mínima y  $PI_4$  la máxima. El sistema **permite anidamiento** de interrupciones. Se supone que se producen 4 peticiones de interrupción en este orden:  $PI_3, PI_1, PI_4$  y  $PI_2$ . Teniendo en cuenta que las tres últimas se producen simultáneamente mientras se está ejecutando el programa de servicio de  $PI_3$ , ¿en qué orden se tratan las interrupciones?

**3.24** Un computador dispone de un *canal multiplexor* que controla 2 unidades de disco y 10 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $10^3$  bytes/seg. Calcular la velocidad máxima de transferencia agregada a este sistema.

**3.25** Un computador dispone de un canal multiplexor que controla 5 unidades de disco y 10 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $2 \cdot 10^5$  bytes/seg. Si para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 200 nseg. ¿Qué porcentaje máximo de tiempo estaría ocupado el bus del sistema en una transferencia de datos del canal multiplexor a memoria principal?

**3.26** Se desea diseñar un controlador de interrupciones con las siguientes características. Tiene un módulo de gestión de prioridades de forma que cuando se reciban peticiones de interrupción simultáneas por más de una línea sólo se reconozca la más prioritaria. Tiene un módulo de enmascaramiento que permite enmascarar de manera individual cualquiera de las líneas de petición. ¿En qué orden se colocarían estos dos módulos? ¿Por qué?

**3.27** Un computador con 13 líneas de direcciones tiene una memoria de  $3 \cdot 2^{11}$  palabras y utiliza entrada/salida *localizada en memoria*. ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno de ellos utiliza 16 direcciones?

**3.28** Un computador dispone de un *canal multiplexor* que controla 5 unidades de disco y 10 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $2 \cdot 10^5$  bytes/seg. Si para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 200 nseg. ¿Cuál es la velocidad máxima de transferencia agregada a este sistema?

**3.29** Un controlador de DMA está transmitiendo palabras a memoria mediante la estrategia de *DMA transparente*. Cuando la UCP dispone en exclusiva del bus las instrucciones emplean, en promedio, 4 ciclos de reloj en ser ejecutadas, pero en uno de ellos no hace uso del bus. El controlador de DMA tarda un ciclo de reloj en transmitir una palabra. Explicar **razonadamente** qué reducción en la velocidad de la UCP supone la transferencia de DMA.

**3.30** Un controlador de DMA está transmitiendo palabras a memoria mediante la estrategia *transparente*. Cuando la UCP dispone en exclusiva del bus las instrucciones emplean, en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 2 de ellos consecutivos no se requiere el acceso al bus. El controlador de DMA tarda 2 ciclos de reloj en transmitir una palabra. Si la frecuencia de reloj del computador es de  $200 \cdot 10^6$  ciclos/seg., ¿cuánto tiempo tardará el controlador de DMA en mover un bloque de datos compuesto por  $100 \cdot 10^6$  palabras?

**3.31** En un sistema de E/S de un computador están conectados 2 discos duros, 1 impresora y 1 CDROM. El sistema de E/S gestiona los dispositivos mediante interrupciones **anidables** y además estos están agrupados por prioridades con **P1>P2>P3**, siendo la prioridad de los discos P1, la del CDROM P2 y la de la impresora P3. Se sabe además que las rutinas de interrupción llevan asociados unos tiempos de servicio, siendo éstos para los discos de 10 u.t. (unidades de tiempo), para el CDROM de 30 u.t. y para la impresora de 15 u.t. En un instante determinado ( $t=0$  u.t.) se produce una petición de interrupción del primer disco duro, después en el instante  $t=3$  u.t. llega una petición de interrupción de la impresora, posteriormente se produce una interrupción del CDROM en  $t = 5$  u.t. y finalmente llega una petición de interrupción del segundo disco duro en  $t = 14$  u.t. ¿En qué instante de tiempo finaliza la ejecución de la rutina de interrupción del CDROM?

**3.32** Indique si las siguientes afirmaciones son verdaderas.

- I. El controlador de DMA necesita tener el control del Bus para poder transmitir datos desde (o hacia) la memoria.
- II. La estrategia de transmisión *por ráfagas* es la más adecuada cuando se desea eliminar completamente la interferencia entre el controlador de DMA y la CPU.

**3.33** Indique si las siguientes afirmaciones son verdaderas.

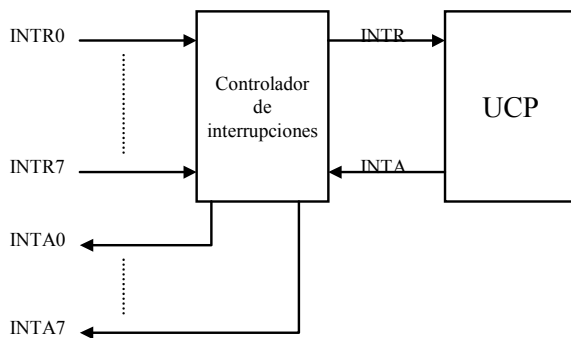
- I. En los computadores provistos de procesador de E/S (PE/S) las instrucciones se E/S se almacenan en la memoria principal y son ejecutadas por la CPU.
- II. El PE/S inicia la transferencia de E/S al dar la orden a la CPU para que ejecute el programa con instrucciones de E/S almacenado en memoria.

**3.34** En el registro de estado del procesador Motorola 68000 hay tres bits ( $I_2$   $I_1$   $I_0$ ) usados para enmascarar las interrupciones de ciertos dispositivos. ¿Cuál es la configuración de estos bits si se desean enmascarar las interrupciones de nivel 7?

**3.35** Se dispone de una UCP con una única línea de petición de interrupción (INTR) y una única línea de aceptación de interrupción (INTA). Se desea diseñar para esta UCP un controlador de interrupciones como el mostrado en la Figura, de manera que pueda atender interrupciones generadas por 8 dispositivos externos mediante las líneas de petición de interrupción INTR7, INTR6, ..., INTR1 e INTR0.

Cuando se reciben peticiones de interrupción simultáneas por más de una línea sólo se reconoce la más prioritaria (la máxima prioridad la tiene INTR7 y la mínima INTR0). Este controlador no permite enmascaramiento.

Cuando la UCP activa su línea de aceptación INTA se debe informar al periférico correspondiente, de manera individual, de que su petición ha sido aceptada, mediante las líneas de aceptación INTA7, INTA6, ..., INTA1 e INTA0.



A) (1.00 puntos) Obtener la tabla de verdad de las 8 líneas  $INTA_i$  ( $i=0..7$ ) en función de las 8 líneas  $INTR_i$  ( $i=0..7$ ) e INTA.

B) (1.00 puntos) Diseñar un circuito lógico que implemente el esquema de prioridades de las 8 líneas  $INTR_i$  ( $i=0..7$ ).

C) (0.75 puntos) Diseñar el controlador de interrupciones solicitado utilizando para ello los resultados obtenidos en los apartados anteriores.

D) (1.25 puntos) Indique razonadamente cómo

conectaría 2 controladores de interrupciones de 8 entradas, como el diseñado en el apartado anterior, para poder atender las peticiones de interrupción de 15 dispositivos externos. (Se valorará positivamente la simplicidad del diseño.)

**3.36** En un sistema cuando la UCP dispone en exclusiva del bus las instrucciones emplean 3 ciclos de reloj en ser ejecutadas, aunque en 1 de ellos, el segundo, no requiere el acceso al bus. Si el controlador de DMA tarda dos ciclos de reloj consecutivos en transmitir una palabra, decir si las siguientes afirmaciones son ciertas:

- I. Se puede implementar la estrategia de DMA por ráfagas.
- II. Se puede implementar la estrategia de DMA transparente.

**3.37** Un computador dispone de un *canal multiplexor* que controla 5 unidades de disco y 5 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de  $10^6$  bytes/seg., y las de cinta de  $10^5$  bytes/seg. Si para la transferencia de un byte del canal multiplexor a memoria principal se utiliza el bus del sistema durante 50 nseg, ¿Cuál es la máxima velocidad de transferencia agregada a este sistema?

**3.38** Un computador con 24 líneas de direcciones tiene una memoria de  $2^{20}$  palabras y utiliza entrada/salida aislada. ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno ocupa una sola dirección?

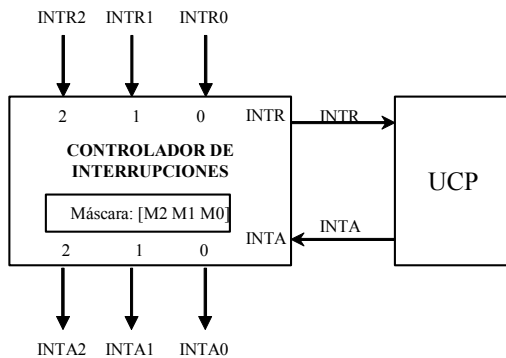
**3.39** Indicar cuál de las siguientes afirmaciones es *falsa*.

- A) Un PE/S de tipo canal selector controla múltiples dispositivos de alta velocidad.
- B) Un PE/S de tipo canal multiplexor puede controlar de forma simultánea operaciones de E/S con múltiples dispositivos.
- C) En E/S controlada por programa la CPU realiza, entre otras operaciones, la comprobación del estado del periférico.
- D) alguna de las anteriores es falsa.

**3.40** En un computador que usa E/S controlada por programa, el dispositivo de E/S tarda 6 mseg en tener disponible el dato solicitado. Suponiendo que el computador sólo se dedica a E/S, que el bucle de espera se implementa con una única instrucción, que la lectura de un dato y solicitud del siguiente dato por parte de la CPU lleva 10 instrucciones, y que cada instrucción de la CPU se ejecuta en 200  $\mu$ seg, ¿qué tanto por ciento de su tiempo dedica la CPU al bucle de espera?.

**3.41** Una CPU dispone de una única línea de petición de interrupción (*INTR*) y de una única línea de aceptación de interrupción. Diseñe para esa CPU un controlador de interrupciones, de manera que se puedan atender interrupciones generadas por 3 dispositivos externos mediante líneas de petición de interrupción (ver Figura).

Cuando se reciben peticiones de interrupción simultáneas, sólo se reconoce la más prioritaria. La máxima prioridad la tiene *INTR<sub>0</sub>* y la mínima *INTR<sub>2</sub>*.



Además, cada una de estas líneas de interrupción se ha de poder enmascarar de manera individual mediante un registro de máscara (*M<sub>2</sub>M<sub>1</sub>M<sub>0</sub>*) del controlador de interrupciones (el mecanismo de acceso de la CPU a este registro no es relevante para este problema). Cuando *M<sub>j</sub>* = 0, la correspondiente señal *INTR<sub>j</sub>* está enmascarada y no debe ser atendida.

Cuando la CPU activa su línea de aceptación, *INTA*, se debe informar al periférico correspondiente, de manera individual, que su petición ha sido aceptada, mediante las líneas de

aceptación *INTA<sub>2</sub>,...*, *INTA<sub>0</sub>*.

- Obtenga la tabla de la verdad del controlador de interrupciones.
- Obtenga la función lógica de las tres líneas *INTA<sub>2</sub>*, *INTA<sub>1</sub>*, *INTA<sub>0</sub>* en función de las líneas *INTR<sub>0</sub>*, *INTR*, *INTR<sub>2</sub>*, *INTA* y de los bits del registro de máscara.
- Diseñe el circuito lógico del controlador de interrupciones, usando para ello puertas AND, OR y NOT.
- Explique razonadamente cómo podrían conectarse varios controladores de interrupciones de 3 entradas, como el diseñado en el apartado anterior, para poder atender las peticiones de interrupción de 6 periféricos externos.

**3.42** Un computador dispone de una unidad de disco con una velocidad de lectura de  $2^{21}$  palabras por segundo y con un buffer interno de  $2^{20}$  palabras que cuando se llena transfiere su contenido a la memoria principal utilizando DMA por ráfagas. El controlador de DMA tarda 4 ciclos de reloj en transmitir cada palabra. Cuando la UCP dispone en exclusiva del bus las instrucciones emplean, en promedio, 8 ciclos de reloj en ser ejecutadas. Si la frecuencia de reloj del computador son  $500 \times 10^6$  ciclos/s, en una operación de lectura del disco ¿Cuántas instrucciones por segundo dejan de ser ejecutadas por la UCP?

**3.43** Suponga una CPU que dispone de 8 líneas de interrupción *PI<sub>i</sub>*, *i* = 1...8, con *PI<sub>1</sub>* > *PI<sub>2</sub>* > *PI<sub>3</sub>* > ... > *PI<sub>8</sub>*, que son enmascarables mediante 8 bits del registro de estado RE de la CPU (si el bit es 1 la petición está enmascarada y si es 0 está activa). El bit más significativo del registro corresponde a la petición de interrupción de mayor prioridad, el siguiente al segundo,... hasta el menos significativo que corresponde al de menor prioridad. La máscara de interrupciones es 6C, expresada en hexadecimal. Con esta máscara se solicita interrupción por las líneas 2 y 4 respectivamente (suponga que no está siendo atendida ninguna interrupción). ¿Cuál es la petición atendida en ese momento?

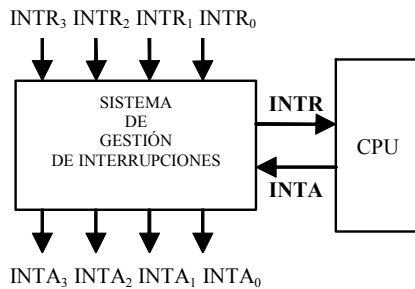
**3.44** Indique cuál de las siguientes afirmaciones es verdadera:

- El controlador de DMA determina el sentido, lectura o escritura, de la operación de E/S.
- La CPU interviene activamente en la transmisión de la información en las operaciones de E/S mediante DMA.
- Un procesador de E/S no es capaz de interrumpir a la CPU.
- Ninguna de las anteriores.

3.45 Un computador dispone de varios dispositivos muy rápidos de Entrada/Salida. Se desea que las operaciones de E/S se realicen con el máximo rendimiento y que la intervención de la UCP sea mínima. Para ello se dotaría al sistema de:

- A) Un Procesador de E/S (PE/S) de tipo *canal selector*.
- B) E/S controlada por programa.
- C) Un Procesador de E/S (PE/S) de tipo *canal multiplexor*.
- D) Ninguna de las anteriores.

3.46 En la figura se presenta un diagrama con el circuito de gestión de prioridades de un sistema de E/S (Prioridad  $P_0 > P_1 > P_2 > P_3$ ). La expresión lógica que define INTR es:



- A)  $INTR = INTR_3 + INTR_2 + INTR_1 + INTR_0$
- B)  $INTR = INTR_3 + \overline{INTR_3}(INTR_2 + \overline{INTR_2}(INTR_1 + \overline{INTR_1}INTR_0))$
- C)  $INTR = INTR_3 \cdot INTR_2 \cdot INTR_1 \cdot INTR_0$
- D) Dos de las anteriores son ciertas.

3.47 Considere un codificador de prioridad con 4 entradas ( $I_0, I_1, I_2, I_3$ ) y 3 salidas ( $S_0, S_1, PI$ ) cuyo funcionamiento viene descrito por la tabla de la verdad adjunta. Indique cuál de las afirmaciones siguientes es correcta.

$I_0$	$I_1$	$I_2$	$I_3$	$S_0$	$S_1$	$PI$
1	X	X	X	1	1	1
0	1	X	X	1	0	1
0	0	1	X	0	1	1
0	0	0	1	0	0	1
0	0	0	0	X	X	0

- A)  $S_0 = I_0 + I_1$
- B)  $S_1 = I_0 + I_2 \cdot \overline{I_1}$
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores.

3.48 Un controlador de DMA está transmitiendo palabras a memoria mediante la estrategia *transparente*. Cuando la CPU dispone en exclusiva del bus las instrucciones emplean, en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 2 de ellos no se requiere el acceso al bus. El controlador de DMA tarda 1 ciclo de reloj en transmitir una palabra. Si la frecuencia de reloj del computador es de  $10^6$  ciclos/seg, ¿cuánto tiempo tardará el controlador de DMA en mover un bloque de datos compuesto por  $10^6$  palabras?

3.49 Un controlador de DMA está transmitiendo, mediante robo de ciclos, caracteres a memoria desde un periférico. La CPU realiza la búsqueda de las instrucciones a una velocidad de 1 millón de instrucciones por segundo. Si el porcentaje en que se reduce la velocidad del procesador debido al controlador DMA es de 0.89%, ¿a qué velocidad estará transmitiendo el DMA? Suponga una longitud de palabra de 8 bits y que la CPU emplea en promedio 2 ciclos para ejecutar una instrucción.

3.50 Un periférico con una velocidad de transferencia de 1.500.000 bytes/segundo se conecta mediante un DMA a un procesador que tarda una media de 200 nanosegundos en ejecutar una instrucción. El DMA requiere 10 instrucciones de inicialización y en la transferencia de un byte mantiene ocupados los buses durante 100 nanosegundos.

Se quieren transferir 500 bytes. Calcular para el peor de los casos (el procesador está parado mientras el DMA ocupa el bus):

- A) El tiempo que dedica el procesador a la transferencia de los 500 bytes.
- B) El número de instrucciones de otro proceso que puede ejecutar el procesador mientras se realiza la transferencia del bloque de datos.

3.51 Sea un procesador de 32 bits capaz de ejecutar 4 millones de instrucciones por segundo (4 MIPS). El procesador precisa  $1,25 \mu s$  (equivalente a la ejecución de 5 instrucciones) para realizar un cambio de contexto y comenzar un programa de servicio de interrupciones (y el mismo tiempo para realizar el cambio de contexto en sentido inverso). A este computador está conectado un periférico, que es una línea serie por la que se reciben

bloques de datos de 512 bytes con una velocidad de transferencia de 1Kbyte/s. El módulo de entrada/salida interrumpe cada vez que se recibe un byte y en la rutina de tratamiento de interrupción de este periférico se ejecutan 20 instrucciones. ¿Qué tanto por ciento de instrucciones puede dedicar el procesador a otros procesos durante la transferencia de un bloque del periférico?

**3.52** Un procesador dispone de ocho líneas de interrupción (numeradas del 0 al 7) y una política en la que las interrupciones con un número bajo tienen mayor prioridad sobre aquellas de número más alto. El procesador comienza sin interrupciones pendientes y se produce la siguiente secuencia de interrupciones: 4, 7, 1, 3, 0, 5, 6, 4, 2, 1. Suponga que la gestión de una interrupción tarda el tiempo suficiente para que se produzcan dos nuevas interrupciones y que **las interrupciones no se pueden interrumpir entre sí**. Determinar el orden en que se gestionan las interrupciones.

**3.53** Indique si las siguientes afirmaciones sobre E/S localizada en memoria son verdaderas:

- I. Sería posible realizar operaciones directamente sobre los puertos de E/S de datos sin necesidad de moverlos explícitamente por programa a algún registro de la CPU.
- II. Puede evitar gastar espacio de direcciones empleando una señal de control especial para indicar que está realizando una operación de E/S localizada en memoria.

**3.54** Se dispone de un computador que funciona a una velocidad de 108 ciclos por segundo y en el que, en promedio, una instrucción emplea 10 ciclos máquina y cada operación de lectura o escritura de una palabra de memoria tarda 2 ciclos máquina. Determinar la máxima velocidad de transferencia de datos si en este sistema se emplea DMA con estrategia de transferencia por ráfagas.

**3.55** Si TP, TI y TD denotan el tiempo de CPU que se necesita para realizar una transferencia de una sola palabra empleando E/S controlada por programa, con interrupciones y con DMA respectivamente, se verifica la relación:

- A)  $TP < TI < TD$     B)  $TP < TD < TI$     C)  $TD < TI < TP$     D) Ninguna de las anteriores

**3.56** Un computador dispone de un canal multiplexor que controla 3 unidades de disco y 2 unidades de cinta. Las unidades de disco tienen una velocidad de transferencia de 500 Kbytes/seg, y las de cinta de 250 Kbytes/seg. Si en lugar de un canal multiplexor se utilizase un canal selector con esos mismos dispositivos, determinar la velocidad máxima de transferencia de este canal con respecto al multiplexor.

**3.57** Un procesador que opera a 200 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina ( $CPI = 4$ ) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes utilizando una rutina de servicio que ejecuta 20 instrucciones. Se desea determinar lo siguiente:

- a) (1 pto) Capacidad de entrada de datos (ancho de banda) máxima en bytes/segundo a través del sistema de interrupciones.
- b) (1 pto) Velocidad de rotación máxima a la que podrá operar el disco en r.p.m. (revoluciones por minuto).
- c) (1 pto) Si el disco se conecta a través de DMA operando por robo de ciclo y cada vez que se le concede el bus transmite 8 bytes, calcular el tiempo que el DMA roba a la CPU durante la lectura de un sector.
- d) Porcentaje de tiempo que la CPU dedica a la E/S durante la operación del DMA si el disco opera a la velocidad determinada en el apartado B).

**Nota:** Considerar que 1Mbyte =  $10^6$  bytes.