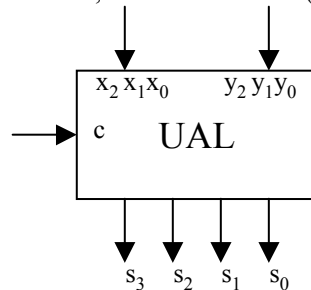


**PROBLEMAS**  
**TEMA 4: Unidad Aritmético Lógica**

**Problemas propuestos en examen**

4.1 Se desea realizar una Unidad Aritmético Lógica que realice dos operaciones, suma y comparación de dos números  $X(x_2x_1x_0)$  e  $Y(y_2y_1y_0)$  de 3 bits cada uno, siendo su salida  $S(s_3s_2s_1s_0)$ .



El funcionamiento de la unidad viene descrito por:

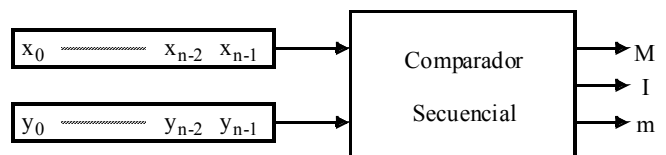
$c = 0$ : suma	$S = X + Y$
$c = 1$ : comparación	Si $X > Y$ entonces $S = 1\ 0\ 0\ 0$
	Si $X = Y$ entonces $S = 0\ 1\ 0\ 0$
	Si $X < Y$ entonces $S = 0\ 0\ 1\ 0$

Para resolver el problema, seguir obligatoriamente los siguientes apartados:

- Diseñar un comparador de números de 1 bit utilizando únicamente puertas lógicas.
- Utilizando comparadores como el diseñado en el apartado A) y puertas lógicas, diseñar un comparador de números de 3 bits.
- Utilizando únicamente sumadores binarios completos (SBC), diseñar un sumador binario de números de 3 bits.
- Utilizando únicamente los módulos diseñados en B) (comparador de números de 3 bits) y C) (sumador binario de números de 3 bits) y los circuitos combinatoriales que considere necesarios, diseñe la UAL pedida.

4.2 Diseñar el circuito de comparación secuencial que se muestra en la figura. El circuito posee dos entradas de datos  $X$  e  $Y$ , una entrada de señal de reloj y una salida  $Z = \{M, I, m\}$ . Recibe los bits  $x_i$  e  $y_i$  de forma serie, comenzando por los más significativos. El circuito genera sus salidas de acuerdo con la siguiente tabla

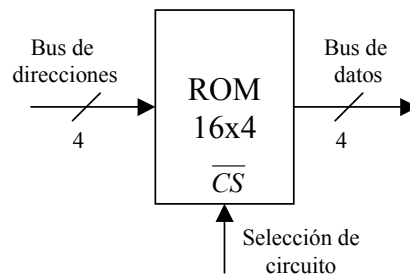
	M	I	m
$X > Y$	1	0	0
$X = Y$	0	1	0
$X < Y$	0	0	1



Para ello:

- Indique el diagrama de estados del circuito, especificando claramente cuál es el significado de cada uno de los estados.
- Indique cómo codifica los estados y obtenga la tabla de transición de estados correspondiente.
- Suponiendo que sólo dispone de biestables tipo D para el diseño del circuito, calcular las funciones de excitación de los biestables.
- Implemente el circuito con biestables tipo D y puertas lógicas NAND y NOT únicamente.

4.3 Se desea realizar un circuito combinacional que multiplique dos números binarios, uno de ellos de 3 bits ( $b_2b_1b_0$ ) y el otro de 2 bits ( $a_1a_0$ ), utilizando para ello módulos de memoria ROM de capacidad  $2^4$  palabras  $\times$  4 bits/palabra (véase la Figura ).



Módulo de memoria ROM a utilizar

- ¿Cuántos módulos ROM son necesarios? Dibujar el esquema del circuito que se obtiene utilizando los módulos ROM propuestos y, si considera necesario, otros módulos combinacionales.
- Escribir el contenido de todos los módulos de memoria ROM utilizados en el apartado anterior. Realizar una tabla independiente para cada uno de los módulos y especificar claramente a qué módulo corresponde.
- Calcular el % de aprovechamiento de la capacidad total de la memoria y proponer alguna forma de mejorar el resultado.

4.4 Sean dos números de 12 bits representados en *binario puro*:  $X=000011000010$ ,  $Y=000101110001$ . Calcular el resultado de su suma, expresado en *BCD*.

4.5 Explique cuántos módulos de memoria ROM de  $2^n$  palabras  $\times$   $n$  bits/palabra serían necesarios para diseñar un circuito combinacional que multiplique dos números de  $n$  bits.

4.6 Se desea construir un multiplicador binario para dos números de 8 bits, utilizando puertas lógicas tipo AND y sumadores binarios completos (SBC). ¿Cuántas puertas AND que hay que utilizar ?

4.7 A partir de las expresiones de  $S$  (resultado de la suma) y  $C$  (acarreo de la suma) de un sumador binario completo SBC, desarrolle las expresiones del resultado de la suma ( $S_1$  y  $S_0$ ) y del acarreo ( $C_1$ ) de la suma de los números binarios de dos bits  $x_1x_0$  e  $y_1y_0$ .

4.8 Para multiplicar dos números binarios sin signo de 3 y 4 bits, respectivamente, ¿se podría utilizar ?

- Una memoria ROM de  $2^7$  palabras con 7 bits por palabra.
- 12 puertas AND y 8 sumadores binarios completos (SBC).

4.9 Indicar cuales de las siguientes afirmaciones son ciertas. En un sumador binario serie:

- El tiempo de cálculo no depende del número de bits que hay que sumar.
- La complejidad del circuito depende del número de bits que hay que sumar.

4.10 Diseñar un multiplicador para dos números  $X$  e  $Y$  de 3 y 6 bits respectivamente, representados en binario puro sin signo, utilizando **únicamente** 2 memorias ROM de 64 palabras  $\times$  6 bits/palabra y 2 sumadores binarios paralelos de 3 bits cada uno.

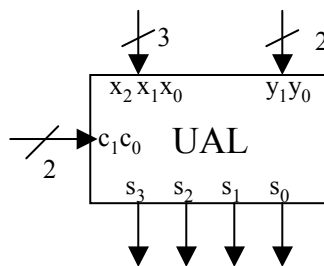
- Diseñar razonadamente el multiplicador.
- Indicar razonadamente cuál será el contenido de cada una de las memorias ROM.

4.11 Indicar cuales de las siguientes afirmaciones son ciertas. En un sumador binario completo (SBC) de dos números binarios de un bit,  $x$  e  $y$ , y con acarreo de entrada  $c_{-1}$ :

- La función lógica del resultado de la suma es  $s = x \oplus y$  ( $\oplus$  es la OR exclusiva).
- La función lógica del acarreo de salida es  $c = xy + (x \oplus y)c_{-1}$  ( $\oplus$  es la OR exclusiva).

4.12 Se desea realizar una Unidad Aritmético Lógica (UAL) como la mostrada en la figura, con dos entradas de datos  $X (x_2x_1x_0)$  e  $Y (y_1y_0)$ , una entrada de control  $C (c_1c_0)$  y una salida de datos  $S (s_3s_2s_1s_0)$ . El funcionamiento de la UAL viene descrito por la siguiente tabla:

Señal de control	Operación
$c_1c_0 = 00$ : suma	$S = X + Y$
$c_1c_0 = 01$ : resta	$S = X - Y$
$c_1c_0 = 10$ : comparación	Si $X > Y$ entonces $S = 1\ 0\ 0\ 0$ Si $X = Y$ entonces $S = 0\ 1\ 0\ 0$ Si $X < Y$ entonces $S = 0\ 0\ 1\ 0$
$c_1c_0 = 11$ : sacar $X$	$S = X (s_3=0, s_2s_1s_0=x_2x_1x_0)$



Para resolver el problema, seguir obligatoriamente los siguientes apartados:

- Utilizando únicamente puertas lógicas, diseñar un Sumador Binario Completo (SBC).
- Diseñar un sumador/restador binario de números de tres bits utilizando SBC's como el diseñado en el apartado A) y las puertas lógicas necesarias.
- Diseñar un comparador de números de tres bits utilizando únicamente un módulo de memoria ROM. ¿Cuál es el tamaño necesario para este módulo de memoria ROM? Indique claramente el significado de cada una de sus entradas y cada una de sus salidas. Escriba el contenido de la memoria ROM en forma de tabla.
- Utilizando únicamente los módulos diseñados en los apartados anteriores y los módulos combinatoriales necesarios, diseñe la UAL pedida.

4.13 Se desea comparar dos números binarios de 4 bits cada uno:  $X=x_3x_2x_1x_0$  con  $Y=y_3y_2y_1y_0$ . Utilizando comparadores de un bit se compara cada pareja de bits,  $x_i$  con  $y_i$ , obteniéndose:  $M_i (x_i > y_i)$ ,  $I_i (x_i = y_i)$  y  $m_i (x_i < y_i)$ . Entonces:

- La función lógica  $M (X > Y)$  es  $M = M_3 + I_3M_2 + I_3I_2M_1$ .
- La función lógica  $m (X < Y)$  es  $m = m_0 + I_0m_1 + I_0I_1m_2 + I_0I_1I_2m_3$ .

Indicar la validez de las afirmaciones I y II.

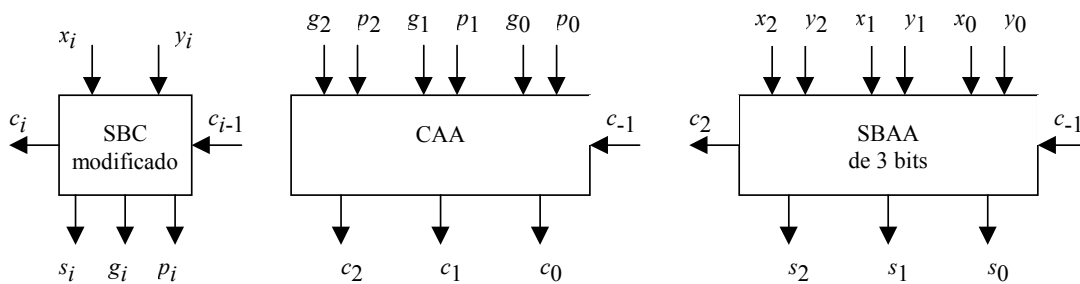
4.14 Indicar si las siguientes afirmaciones son ciertas : En un semisumador binario (SSB) de dos números binarios de un bit,  $x$  e  $y$ :

- Una posible función lógica del resultado de la suma es  $s = (x + y)xy$
- Una posible función lógica del acarreo de salida es  $c = x + y$

4.15 Sean dos números binarios de 12 bits representados en código BCD:  $X = 010110001001$ ,  $Y = 001101000111$ . Calcular el resultado de su suma, representado en BCD.

4.16 Se desea construir un sumador binario con aceleración de arrastres (SBAA) para 2 números binarios X e Y de 3 bits cada uno. Para ello, el diseño se realizará siguiendo los siguientes pasos:

- La figura de la izquierda muestra un sumador binario completo modificado (SBC modificado) con dos entradas de datos  $x_i$  e  $y_i$  y un acarreo de entrada  $c_{i-1}$ . Expresé la función lógica de sus cuatro salidas:  $s_i$  (suma),  $c_i$  (acarreo de salida),  $g_i$  (generación de acarreo) y  $p_i$  (propagación de acarreo). A partir de estas funciones lógicas, y empleando únicamente puertas lógicas, diseñe este SBC modificado.
- La figura central muestra un circuito de aceleración de arrastres (CAA) de 3 bits con tres entradas de generación de acarreo  $g_i$ , tres entradas de propagación de acarreo  $p_i$  y un acarreo de entrada  $c_1$ . Expresé las funciones lógicas de los acarreos  $c_2$ ,  $c_1$  y  $c_0$  generados por este módulo. A partir de estas funciones lógicas, y empleando únicamente puertas lógicas, diseñe este CAA.
- Utilizando únicamente 3 SBC modificados como los diseñados en A) y el CAA diseñado en B), construya razonadamente el sumador binario con aceleración de arrastre de 3 bits (SBAA) solicitado en el enunciado y mostrado en la figura de la derecha.



4.17 En la suma de los números binarios  $x=100101010010011$  e  $y=0010101110101011$ . Calcular cuantas secuencias de arrastre se generan y la longitud máxima de las secuencias de arrastre.

4.18 Calcular la capacidad que deberá poseer una memoria ROM, para implementar un sumador binario de 2 números, uno de 8 bits y el otro de 4 bits.

4.19 Para multiplicar dos números binarios sin signo de 2 y 3 bits, respectivamente, ¿Se podría utilizar?:

- Una memoria ROM de  $2^5$  palabras con 4 bits por palabra.
- 6 puertas AND y 3 sumadores binarios completos (SBC)

4.20 Se desea construir un multiplicador binario que multiplique dos números de 16 y 24 bits, respectivamente, utilizando memoria ROM. Indique si con los siguientes conjuntos de componentes sería posible realizarlo:

- Utilizando únicamente 4 ROM de 256 palabras x16 bits/palabra, un decodificador binario de 2 entradas y 4 salidas y 2 puertas AND de 2 entradas.
- Utilizando únicamente 6 ROM de 256 palabras x 16 bits/palabra.

4.21 Se desea construir un multiplicador binario que multiplique dos números de 4 bits cada uno. Indique si con los siguientes conjuntos de componentes sería posible realizarlo:

- Utilizando únicamente 8 SBC, 1 SBAA de 4 bits y 16 puertas AND.
- Utilizando únicamente 8 SBC y 16 puertas OR-exclusiva.

4.22 Un circuito de aceleración de arrastres (CAA) de 3 bits tiene las siguientes entradas:  $g_2, g_1, g_0$  (generación de acarreo),  $p_2, p_1, p_0$  (propagación de acarreo) y  $c_{-1}$  (acarreo de entrada); y las siguientes salidas:  $c_2, c_1, c_0$  (acarreos). En este circuito la expresión lógica  $g_2 + p_2 (g_1 + p_1 (g_0 + p_0 c_{-1}))$  se corresponde a:

- A)  $c_3$                       B)  $c_2$                       C)  $c_1$                       D) Ninguna de las anteriores

4.23 Se desea diseñar un circuito sumador/restador de dos números de cuatro bits cada uno,  $x_3x_2x_1x_0$  e  $y_3y_2y_1y_0$ , con una señal de control M adicional para indicar la operación a realizar. Indicar si las siguientes afirmaciones son ciertas:

- I. Con una memoria ROM de  $2^8$  palabras con 5 bits por palabra se podría construir.
- II. Con una memoria ROM de  $2^{10}$  palabras con 9 bits por palabra se podría construir.

4.24 Sean dos números binarios de 16 bits representados en código BCD:  $X = 0011100101010100$ ,  $Y = 0011100100000110$ . Calcular el resultado de su suma, representado en BCD.

4.25 Se desea diseñar un circuito comparador de dos números de tres bits y cuatro bits, respectivamente ( $x_2x_1x_0$  e  $y_3y_2y_1y_0$ ), que tenga 2 salidas M ( $x > y$ ) e I ( $x = y$ ). Indicar si las siguientes afirmaciones son ciertas:

- I. Con una memoria ROM de  $2^7$  palabras con 5 bits por palabra se podría construir.
- II. Con una memoria ROM de  $2^{10}$  palabras con 5 bits por palabra se podría construir.

4.26 Se desea realizar una Unidad Aritmético Lógica (UAL) como la mostrada en la Figura 1, con dos entradas de datos  $X (x_3x_2x_1x_0)$  e  $Y (y_3y_2y_1y_0)$ , una entrada de control  $C (c_1c_0)$  y una salida de datos  $R (r_3r_2r_1r_0)$ . El funcionamiento de la UAL viene descrito por la Tabla 1.

Señal de control	Operación
$c_1c_0 = 00$ : suma	$R = X + Y$
$c_1c_0 = 01$ : producto	$R = X \cdot Y$
$c_1c_0 = 10$ : comparación	Si $X > Y$ entonces $R = 1\ 0\ 0\ 0$ Si $X = Y$ entonces $R = 0\ 1\ 0\ 0$ Si $X < Y$ entonces $R = 0\ 0\ 1\ 0$
$c_1c_0 = 11$ : sacar $\bar{X}, \bar{Y}$	$R = \bar{X}, \bar{Y}$ ( $r_3 = \bar{x}_3, r_2 = \bar{x}_2, r_1 = \bar{y}_1, r_0 = \bar{y}_0$ )

Tabla 1: Tabla de funcionamiento de la UAL

Para resolver el problema, seguir obligatoriamente los siguientes apartados:

- a) Diseñar un comparador de números de dos bits utilizando únicamente comparadores de números de un bit y puertas lógicas.
- b) Diseñar un sumador/multiplicador de dos números de 2 bits utilizando únicamente un módulo de memoria ROM. ¿Cuál es el tamaño necesario para este módulo de memoria ROM? Indique claramente el significado de cada una de sus entradas y cada una de sus salidas. Escriba **todo** el contenido de la memoria ROM en forma de tabla.
- c) Utilizando únicamente los módulos diseñados en los apartados anteriores, los módulos combinatoriales necesarios y puertas lógicas, diseñe la UAL pedida.

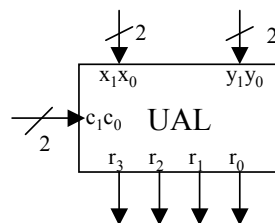


Figura 1: Módulo UAL

4.27 Dados dos números binarios de 1 bit,  $x$  e  $y$ , la expresión lógica representa:  $(x + y)\overline{xy}$ .

- A) El bit de suma.
- B) El bit de acarreo de su suma.
- C) El complemento a 1 de  $x$  e  $y$ .
- D) Ninguno de las anteriores.

**4.28** ¿Cuántos SBC de 1 bit harían falta para construir un sumador binario serie capaz de sumar dos números binarios de  $n$  bits?

**4.29** Se desea diseñar un circuito con dos entradas  $X$  ( $x_7 x_6 x_5 x_4 x_3 x_2 x_1 x_0$ ) e  $Y$  ( $y_7 y_6 y_5 y_4 y_3 y_2 y_1 y_0$ ) y una salida  $R$  ( $r_7 r_6 r_5 r_4 r_3 r_2 r_1 r_0$ ), todas de ocho bits, que sea capaz de:

- Comparar  $X$  e  $Y$  generando tres señales de salida  $r_7$  (1 si  $X > Y$ , 0 en caso contrario),  $r_6$  (1 si  $X = Y$ , 0 en caso contrario) y  $r_5$  (1 si  $X < Y$ , 0 en caso contrario).
- Realizar cuatro operaciones de desplazamiento sobre  $X$  empleando dos entradas adicionales llamadas  $e_d$  (entrada por la derecha) y  $e_l$  (entrada por la izquierda). El resultado de la operación es el número  $R$  de ocho bits.

Para ello se desea usar una señal de control  $C$  que seleccione el tipo de operación (comparación o desplazamiento) y dos señales más  $d_1$   $d_0$  para indicar el tipo de operación de desplazamiento. Decir cuál de estas afirmaciones es verdadera.

- I. Se puede realizar usando 2 módulos de memoria ROM de 64 Kpalabras · 8 bits y una puerta lógica NOT.
- II. Se puede realizar usando 1 módulo de memoria ROM de 1 Mpalabras · 8 bits.

**4.30** Indique si las siguientes afirmaciones son verdaderas.

- I. Un SBC (Sumador Binario Completo) se puede realizar utilizando 2 SSB (Semisumador Binario) conectados en cascada y una puerta lógica OR.
- II. El circuito obtenido en la otra afirmación es más lento que si se sintetiza el SBC como un circuito combinatorial de dos niveles de puertas AND-OR.

**4.31** En un sumador binario de dos números de dos bits,  $x_1 x_0$  e  $y_1 y_0$ , respectivamente, donde  $S_1 S_0$  es el resultado de la suma,  $C_1$  es el acarreo de la suma y  $C_{-1}$  es el acarreo de entrada, las expresiones:

$$E_1 = x_1 \oplus y_1 \oplus (x_0 y_0 + (x_0 \oplus y_0) C_{-1})$$

$$E_2 = x_1 y_1 + (x_1 \oplus y_1)(x_0 y_0 + (x_0 \oplus y_0) C_{-1})$$

corresponden a:

- |                                     |                                     |
|-------------------------------------|-------------------------------------|
| A) $S_1$ y $C_1$ , respectivamente. | B) $C_1$ y $S_1$ , respectivamente. |
| C) $S_1$ y $S_0$ , respectivamente. | D) Ninguna de las anteriores.       |

**4.32** Indique si las siguientes afirmaciones son verdaderas:

- I. La complejidad de un sumador binario serie crece con el número de bits que hay que sumar.
- II. Utilizando un sumador binario serie, el tiempo de cálculo crece linealmente con el número de bits que hay que sumar.

**4.33** Decir cuál es el retardo que se obtiene al calcular la suma de dos números de 4 bits cada uno:

- I. Si el sumador se ha implementado usando lógica combinatorial con 2 niveles y cada puerta tarda 5  $\mu$ s en generar el resultado, el retardo es de 20  $\mu$ s.
- II. Si el sumador se ha implementado usando 4 SBC's (Sumador Binario Completo) y cada uno de ellos tarda 10  $\mu$ s en generar sus salidas el retardo es de 40  $\mu$ s.

**4.34** Se desea comparar el valor de dos números binarios, uno de 5 bits:  $X = x_4 x_3 x_2 x_1 x_0$ , y otro de 4 bits:  $Y = y_3 y_2 y_1 y_0$ . Utilizando comparadores de un bit se compara cada pareja de bits,  $x_i$  con  $y_i$ ,  $i=0...3$ , obteniéndose:  $M_i$  ( $x_i > y_i$ ),  $I_i$  ( $x_i = y_i$ ) y  $m_i$  ( $x_i < y_i$ ). Indicar si las siguientes afirmaciones son verdaderas o falsas:

- I. La función lógica  $M$  ( $X > Y$ ) es  $M = x_4 + M_3 + I_3 M_2 + I_3 I_2 M_1 + I_3 I_2 I_1 M_0$ .
- II. La función lógica  $I$  ( $X = Y$ ) es  $I = \bar{x}_4 I_0 I_1 I_2 I_3$ .

**4.35** ¿Cuántos SSB y puertas OR hacen falta para construir un sumador binario paralelo capaz de sumar números de 8 bits?

**4.36** Sean 2 números binarios de 12 bits representados en código BCD:  $X = 010100011001$ ,  $Y = 001101000111$ . Calcular el resultado de la resta  $X - Y$ , expresado en código BCD.

4.37 En los diseños indicados en los siguientes apartados, deben utilizarse multiplexores y elementos de memoria D. Explicar detalladamente cada paso.

- A) (1.5 puntos) Diseñar el registro de desplazamiento de 4 bits de la Figura 1. E0, E1, E2, E3 representan la entrada paralelo; S0, S1, S2, S3 la salida paralelo; C1, C2 las líneas de control; y CK la señal de reloj. El registro debe ser capaz de realizar los dos desplazamientos siguientes: LICS (Lógico-Izquierda-Cerrado-Simple) y LDCS (Lógico-Derecha-Cerrado-Simple). Además, el circuito debe permitir la carga en paralelo de la entrada y mantener la información almacenada sin modificar (no operación: NOP). La codificación de las entradas de control se muestra en la Tabla 1.
- B) (1 punto) Diseñar el mismo registro del apartado A) pero con la estructura entrada serie / salida serie que se muestra en la Figura 2.
- C) (1.5 puntos) Diseñar el mismo registro del apartado A) pero de modo que en lugar de realizar desplazamientos lógicos (LICS y LDCS) realice desplazamientos algebraicos (también llamados aritméticos) cerrados simples: AICS (Algebraico-Izquierda-Cerrado-Simple) y ADCS (Algebraico-Derecha-Cerrado - Simple).

Operación	C2	C1
NOP	0	0
LICS	0	1
LDCS	1	0
CARGA	1	1

Tabla 1 : Codificación de las entradas de control

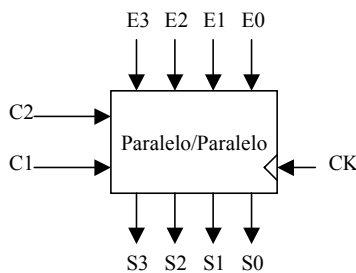


Figura 1

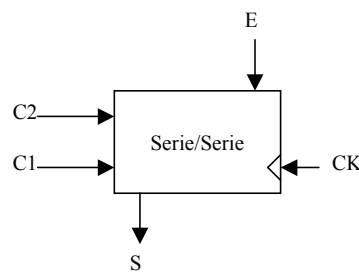


Figura 2

4.38 En la Tabla inferior se muestra la Tabla de Transición de Estados de un circuito secuencial síncrono con 2 estados (S<sub>0</sub> y S<sub>1</sub>) y dos entradas (x, y). Q es la variable de estado necesaria para la representación de los 2 estados del circuito. El circuito se diseña empleando un elemento de memoria tipo D.

Estado Presente Q	Entrada xy			
	00	01	10	11
0	0	0	1	0
1	1	0	1	1

Indicar cuál de las siguientes expresiones de entrada al elemento de memoria es correcta:

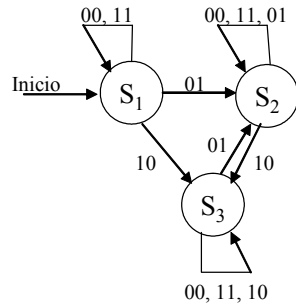
- A)  $D = \bar{Q} x \bar{y} + Q \bar{x} y$
- B)  $D = Q(\bar{y} + x) + x \bar{y}$
- C)  $D = Q x \bar{y}$
- D) Ninguna de las anteriores

4.39 Sean dos números de 12 bits representados en código BCD: X=100100110101, Y=000101010001. Calcular el resto de la división entera X / Y, expresado en código binario.

4.40 Si al número binario  $X = 01010001110$  le aplicamos la siguiente secuencia de operaciones de desplazamiento: LICS, LDCS, LICS, LDCS, LICS, LDCS y LDCS, ¿cuál es el resultado de la operación?

4.41 Indique cuántos módulos de memoria ROM de  $2^n$  palabras  $\times$  1 bit/palabra serían necesarios para diseñar un circuito combinacional que sume un número  $n$  bits y otro de  $2n$  bits.

4.42 Dada la siguiente implementación secuencial de un comparador de dos números de  $n$  bits sin signo  $X$  e  $Y$ , donde éste recibe los bits  $x_i$  e  $y_i$  de forma serie, comenzando por los bits menos significativos, los estados  $S_1$ ,  $S_2$  y  $S_3$  se corresponden con:



- A)  $S_1:x=y, S_2:x<y, S_3:x>y.$
- B)  $S_1:x<y, S_2:x>y, S_3:x=y.$
- C)  $S_1:x>y, S_2:x<y, S_3:x=y.$
- D) Ninguno de los anteriores.

4.43 Dada la siguiente tabla de funciones de una ALU, y suponiendo que se dispone de conexiones a “0” lógico y a “1” lógico, decir si las siguientes afirmaciones son ciertas:

f1	f2	f3	f4
$x \oplus y$	$\overline{x \oplus y}$	$x\bar{y} + x$	$\bar{y}$

- I. Se pueden implementar simultáneamente todas las funciones usando dos puertas XOR y una puerta NOT.
- II. Se pueden implementar simultáneamente todas las funciones usando una ROM de 4 palabras de 3 bits.

4.44 En la Fig. 1 se muestra el diagrama de bloques de un sumador binario de dos números de 2 bits. Las entradas al sumador son los dos bits de cada sumando ( $X=x_1x_0, Y=y_1y_0$ ). Las salidas son los dos bits de suma ( $s=s_1s_0$ ) y el bit de arrastre ( $c_1$ ).

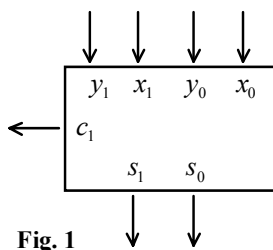


Fig. 1

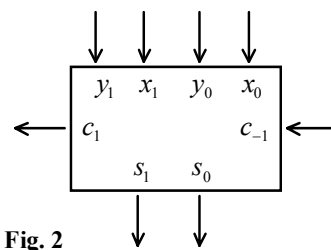


Fig. 2

- A) (0.75 puntos) Obtenga la tabla de la verdad de las salidas ( $c_1, s_1, s_0$ ) del sumador de la Fig. 1 en función de las entradas ( $y_1, y_0, x_1, x_0$ ).
- B) (1 punto) Obtenga las funciones lógicas simplificadas de las tres salidas ( $c_1, s_1, s_0$ ) del sumador de la Fig. 1 en función de las entradas ( $y_1, y_0, x_1, x_0$ ). Emplee para ello mapas de Karnaugh.

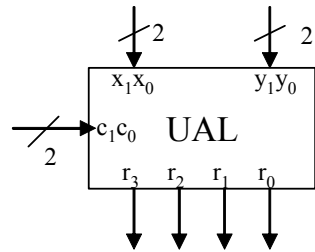
- C) (0.75 puntos) A partir de las funciones lógicas calculadas en el apartado anterior, realizar el sumador binario de 2 bits mostrado en la Fig. 1 mediante un circuito combinacional de dos niveles (AND-OR).
- D) (1.5 puntos) Si al sumador binario de la Fig. 1 se le añade una nueva entrada, “bit de arrastre de la etapa anterior” ( $c_{-1}$ ), se obtiene el sumador representado en la Fig. 2. Empleando módulos sumadores como el mostrado en la Fig.2, multiplexores y puertas lógicas, diseñe una ALU aritmética de 4 bits que realice las cinco operaciones siguientes sobre dos números  $A$  y  $B$  de 4 bits: suma ( $Z=A+B$ ), resta ( $Z=A-B$ ), transfiere  $A$  ( $Z=A$ ), incrementa  $A$  en 1 ( $Z=A+1$ ) y decrementa  $A$  en 1 ( $Z=A-1$ ).



4.45 Si al número binario  $X = 11110001100$  le aplicamos la siguiente secuencia de operaciones de desplazamiento: 5 operaciones LICS seguidas de 12 operaciones LDCS, ¿cuál es el resultado de la operación?

4.46 Se desea realizar una Unidad Aritmético Lógica (UAL) como la mostrada en la figura, con dos entradas de datos,  $X(x_1x_0)$  e  $Y(y_1y_0)$ , que representan números enteros positivos sin signo, una entrada de control  $C(c_1c_0)$  y una salida de datos  $R(r_3r_2r_1r_0)$ . El funcionamiento de la UAL viene descrito por la Tabla 1.:

Para resolver el problema, seguir obligatoriamente los siguientes apartados:



- A) (1 punto) Diseñar un comparador de números de dos bits.
- B) (2 puntos) Diseñar un restador/divisor de dos números de 2 bits utilizando únicamente un módulo de memoria ROM. ¿Cuál es el tamaño necesario para este módulo de memoria ROM? Indique claramente el significado de cada una de sus entradas y cada una de sus salidas. Escriba todo el contenido de la memoria ROM en forma de tabla.
- C) (1 punto) Utilizando únicamente los módulos diseñados en los apartados anteriores, los módulos combinatoriales necesarios y puertas lógicas, diseñe la UAL pedida.

Señal de control	Operación
$c_1c_0 = 00$ : resta	$R = X - Y$ ( $R=0$ si $Y>X$ )
$c_1c_0 = 01$ : div. entera	$R = X/Y$ (cociente entero) si $Y=0 \rightarrow R=0$
$c_1c_0 = 10$ : comparación	Si $X > Y$ entonces $R = 1\ 0\ 0\ 0$ Si $X = Y$ entonces $R = 0\ 1\ 0\ 0$ Si $X < Y$ entonces $R = 0\ 0\ 1\ 0$
$c_1c_0 = 11$ : sacar $\bar{X}, \bar{Y}$	$R = \bar{X}, \bar{Y}$ ( $r_3 = \bar{x}_1, r_2 = \bar{x}_0, r_1 = \bar{y}_1, r_0 = \bar{y}_0$ )

Tabla 1: Tabla de funcionamiento de la UAL

4.47 Se desea diseñar un comparador de 2 números de 2 bits cada uno,  $A(a_1a_0)$  y  $B(b_1b_0)$ , que genere las salidas  $M$  ( $= 1$  si  $A > B$ ,  $= 0$  si  $A = B$ ),  $m$  ( $= 1$  si  $A < B$ ,  $= 0$  si  $A = B$ ) e  $I$  ( $= 1$  si  $A = B$ ,  $= 0$  si  $A \neq B$ ), empleando una memoria ROM y una puerta NOR. Calcular el tamaño mínimo que debe tener la memoria ROM necesaria.

4.48 Se desea diseñar un circuito combinatorial, que sea un sumador de 11 números de 1 bit de longitud, utilizando únicamente módulos SBC. ¿Cuál es el número mínimo de módulos SBC necesarios?.

4.49 Un circuito de comparación secuencial que permita comparar dos números binarios de 8 bits de forma serie, si se diseña empleando biestables Tipo D. ¿Cuál es el número mínimo de biestables Tipo D necesarios?.

4.50 Indique cuál es el resultado de la suma de los dos números siguientes,  $X_1$  y  $X_2$ , que están expresados en código BCD.  $X_1 = 001100110001$ ,  $X_2 = 010101001001$ .

4.51 Calcular la suma de  $X=010001100$  e  $Y=111111011$ , representados en complemento a 1.

4.52 Indique el número mínimo de SBC's de 1 bit que hacen falta para:

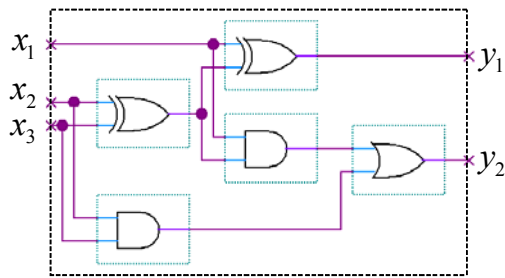
- I. Diseñar un circuito combinatorial que sea un sumador de 7 números de 1 bit de longitud.
- II. Diseñar un circuito combinatorial que sea un sumador de 5 números de 2 bits de longitud.

4.53 Sean dos números binarios de 16 bits representados en código BCD:  $X = 0001100101010100$  e  $Y = 0111100000100101$ . Obtener el resultado de su suma, representado en código exceso-3.

4.54 ¿Cuántos módulos de memoria ROM de  $2^n$  palabras  $\times$  n bits/palabra serán necesarios para diseñar un circuito combinatorial que eleve al cuadrado un número X de 2n bits?

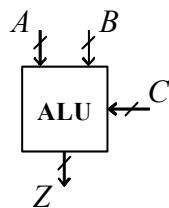
4.55 Si al número binario  $X = 111010110010$  le aplicamos la siguiente secuencia de operaciones de desplazamiento: 14 operaciones LDCS seguidas de 2 operaciones LICS, ¿cuál es el resultado de la operación?

4.56 En la figura se muestra un circuito lógico con tres entradas ( $x_1, x_2, x_3$ ) y dos salidas ( $y_1, y_2$ ). Indique cuál de las siguientes afirmaciones acerca de este circuito es correcta.



- A) Es un elemento de memoria D.
- B) Es un sumador binario completo.
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores es correcta.

4.57 A continuación, se muestra el diagrama de bloques y la tabla de operaciones de una ALU lógica. Tiene dos entradas de cuatro bits ( $A=a_3a_2a_1a_0, B=b_3b_2b_1b_0$ ), una entrada de control de dos bits ( $C=c_1c_0$ ) y una salida de cuatro bits ( $Z=z_3z_2z_1z_0$ ).

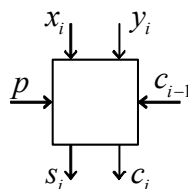


$c_1 c_0$	Operación
0 0	$Z = A \oplus B$
0 1	$Z = \overline{A \oplus B}$
1 0	$Z = A \wedge B$
1 1	$Z = A \vee B$

Suponiendo que se dispone de conexiones a "0" lógico y a "1" lógico, indique cuál de las siguientes afirmaciones acerca de esta ALU es correcta.

- A) Esta ALU puede sintetizarse empleando únicamente cuatro MUX(4), ocho puertas XOR de dos entradas, cuatro puertas AND de dos entradas y cuatro puertas OR de dos entradas.
- B) Esta ALU puede sintetizarse empleando una ROM de  $2^{10}$  palabras, 4 bits/palabra.
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores.

4.58 En la figura se muestra el diagrama de bloques de un circuito y las expresiones lógicas que permiten calcular sus salidas a partir de sus entradas.



$$s_i = x_i \oplus y_i \oplus c_{i-1}$$

$$c_i = c_{i-1}y_i + (x_i p + \bar{x}_i \bar{p})(y_i + c_{i-1})$$

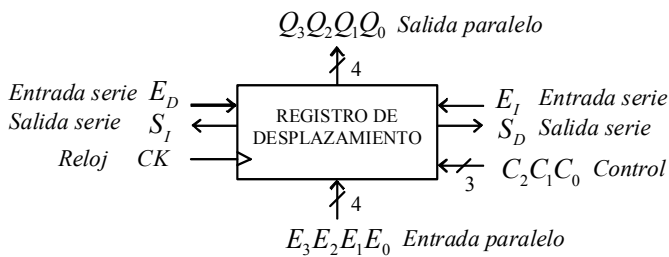
Indique cuál de las afirmaciones siguientes acerca de este circuito es correcta:

- A) Cuando  $p = 0$ , es un restador binario completo.
- B) Cuando  $p = 1$ , es un sumador binario completo.
- C) Las dos afirmaciones anteriores son correctas.
- D) Ninguna de las anteriores es correcta.

4.59 El contenido inicial de un registro de desplazamiento de 4 bits es 0111. Entonces, se realiza una operación de desplazamiento, tras lo cual el contenido del registro pasa a ser 0110. Señale cuál de las afirmaciones siguientes es correcta.

- A) La operación de desplazamiento podría ser AIAS.
- B) La operación de desplazamiento podría ser AICS.
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores.

4.60 Conteste a los siguientes apartados:



$C_2C_1C_0$	Operación R-4	Operación R-8
0 0 0	NOP	NOP
0 0 1	LDAS	LDAD
0 1 0	LIAS	LIAD
0 1 1	LDCS	LDCD
1 0 0	LICS	LICD
1 0 1	Carga paralelo	Carga paralelo
1 1 0	NOP	NOP
1 1 1	NOP	NOP

a) Diseñe un registro de desplazamiento de 4 bits como el mostrado en la figura. En la columna “Operación R-4” de la Tabla 1 se muestran las operaciones que debe realizar el registro y qué codificación de las entradas de control ( $C_2C_1C_0$ ) corresponde a cada una de estas operaciones. En el diseño deben emplearse multiplexores y elementos de memoria D.

a) Diseñe un registro de desplazamiento de 8 bits empleando dos registros de 4 bits como el diseñado en el apartado anterior y las puertas lógicas necesarias. En la columna “Operación R-8” de la Tabla 1 se indica la operación que debe realizar el registro de 8 bits para cada valor de las entradas de control.

4.61 ¿Cuál es la representación en complemento a 2, con una longitud de palabra de 8 bits, de  $x = -56_{10}$ ?

4.62 Empleando únicamente una ROM, se pretende diseñar un comparador de dos números de 4 bits que genere las funciones “mayor que”, “menor que” e “igual que”. Indique cuál de las siguientes ROM podría emplearse.

- A)  $2^4$  palabras, 4 bits/palabra
- B)  $2^8$  palabras, 4 bits/palabra
- C) Las dos anteriores
- D) Ninguna de las anteriores

4.63 Un multiplicador binario de 2 números de 8 bits cada uno se puede realizar con una memoria ROM de la siguiente capacidad:

- A)  $2^9$  palabras  $\times$  16 bits/palabra
- B)  $2^{16}$  palabras  $\times$  8 bits/palabra
- C)  $2^{16}$  palabras  $\times$  16 bits/palabra
- D)  $2^{16}$  palabras  $\times$  9 bits/palabra

4.64 Indique cuántos módulos de memoria ROM de  $2^n$  palabras  $\times$  1 bit/palabra serían necesarios para diseñar un circuito combinacional que sume un número de n bits y otro de  $2n$  bits.

4.65 Un computador posee un registro índice  $R_i$  cuyo contenido en un momento dado es,  $(R_i) = A01$  (expresado en hexadecimal). El computador tiene una memoria de 4K palabras de 12 bits. Cada palabra de memoria contiene un valor igual a su dirección desplazada a la izquierda tres posiciones (desplazamiento LICD de tres posiciones). Por ejemplo: el contenido de la dirección 000 es 000, el de la 001 es 008, el de C03 es 01E, etc, todos ellos expresados en hexadecimal. La próxima instrucción que va a ejecutar el computador contiene un operando referenciado a través de un modo de direccionamiento indexado respecto al mencionado registro índice  $R_i$ . Sabiendo que el contenido del campo de dirección de la instrucción es 3AB, indicar cuál es el valor, en hexadecimal, del operando referenciado:

4.66 Se desea construir un multiplicador binario que multiplique dos números de 8 y 16 bits, respectivamente. Para ello se utilizarán exclusivamente dos módulos ROM de 64K palabras  $\times$  16 bits/palabra y sumadores binarios paralelos de 8 bits. ¿Cuál es el mínimo número necesario de sumadores de este tipo?

**4.67** Sean dos números binarios de 16 bits representados en código BCD:

$$X = 0011\ 1001\ 0101\ 0100, Y = 0011\ 1001\ 0000\ 0110.$$

Calcular el resultado de su suma, representado en código exceso a 3.

**4.68** ¿Cuántos módulos de memoria ROM de  $2^{n-1}$  palabras  $\times$   $2n$  bits/palabra serían necesarios para diseñar un circuito combinatorial que multiplique dos números de  $2n$  bits?