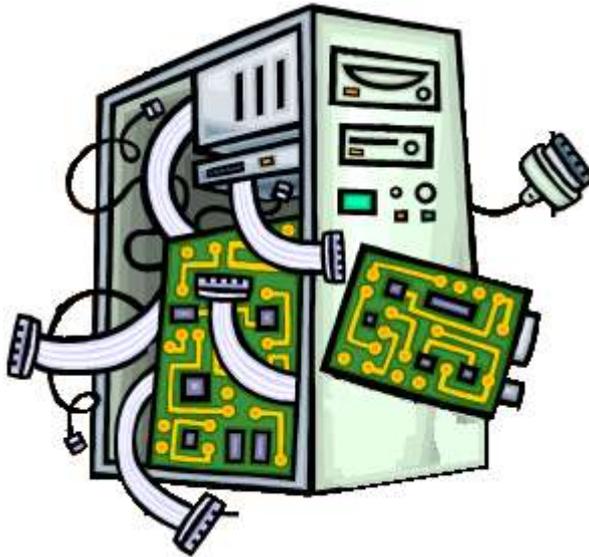
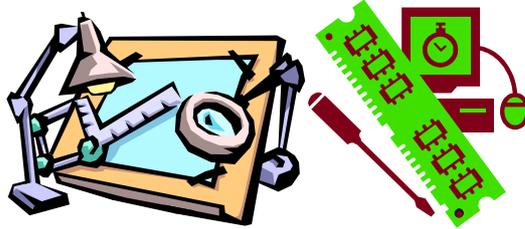


Ejercicios
de
Arquitectura de Computadoras

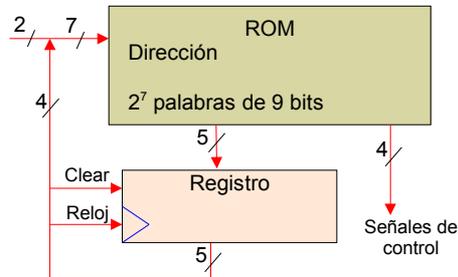


José Garzía

✎ Se pretende diseñar una sección de control con 32 estados, que genere 4 señales de control, reciba 2 señales de condición y en un estado se puedan consultar las dos condiciones simultáneamente. Analice los componentes necesarios y sus respectivos tamaños en cada estrategia de diseño:

- Con elementos de retardo.
- Con un contador.
- Con una memoria ROM.

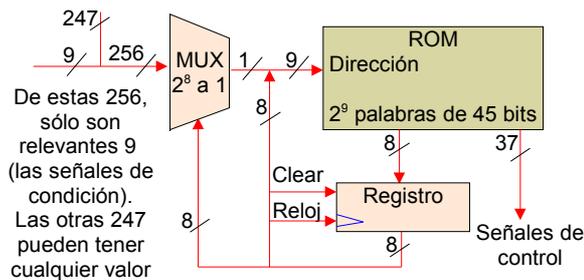
- Con elementos de retardo, se necesita un biestable para cada estado (32).
- Con un contador, debería ser un contador módulo 32.
- Con ROM, si pueden ser necesarias todas las dos señales de condición, no se pueden multiplexar. El número de palabras en la ROM debe ser entonces 2 elevado a $2 + \lceil \log 32 \rceil$, es decir $2^{2+5} = 2^7$. Y la longitud debe ser $\lceil \log 32 \rceil + 4 = 5 + 4 = 9$.



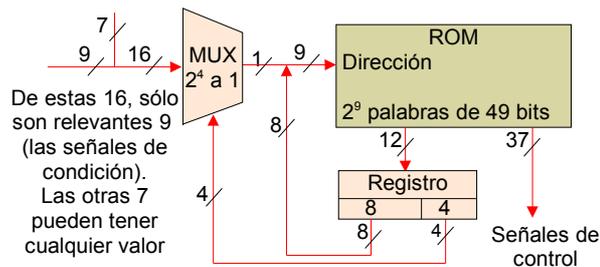
✎ Se pretende diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Diseñe dos esquemas, minimizando:

- El tamaño de la ROM.
- El tamaño del multiplexor.

a) Selección por estado:



b) Selección por campo: (obsérvese que si elegimos un multiplexor menor, necesitaremos una memoria mayor).



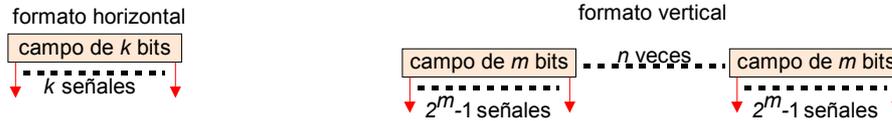
✎ Un computador digital tiene 132 señales de control. De ellas, un grupo de 16 son mutuamente excluyentes entre sí y otro grupo de 30 son mutuamente excluyentes entre sí. Calcule el tamaño de los campos codificados cuando se utilice un formato vertical.

$$\lceil \log_2 16 + 1 \rceil + \lceil \log_2 30 + 1 \rceil = 5 + 5 .$$

✎ Un computador utiliza microinstrucciones de formato vertical. El formato tiene 5 subcampos codificados de 1 bit, 5 subcampos codificados de 3 bits y 3 subcampos codificados de 4 bits. ¿Cuál es el número máximo de señales de control que puede tener este computador?.

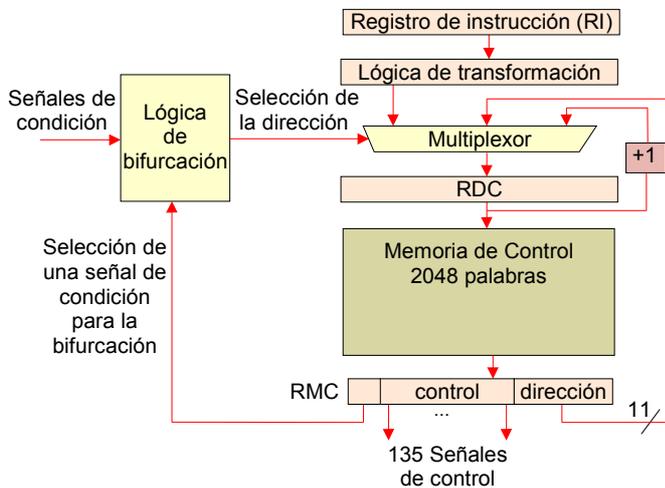
$$5 \cdot (2^1 - 1) + 5 \cdot (2^3 - 1) + 3 \cdot (2^4 - 1) = 5 \cdot 1 + 5 \cdot 7 + 3 \cdot 15 = 85$$

✎ Un computador usa el formato vertical de codificación de instrucciones para parte de las señales de control y el formato horizontal para k señales de control. El formato vertical posee n campos codificados de m bits cada uno. ¿Cuál es el máximo número de señales de control que pueden usarse en este computador?



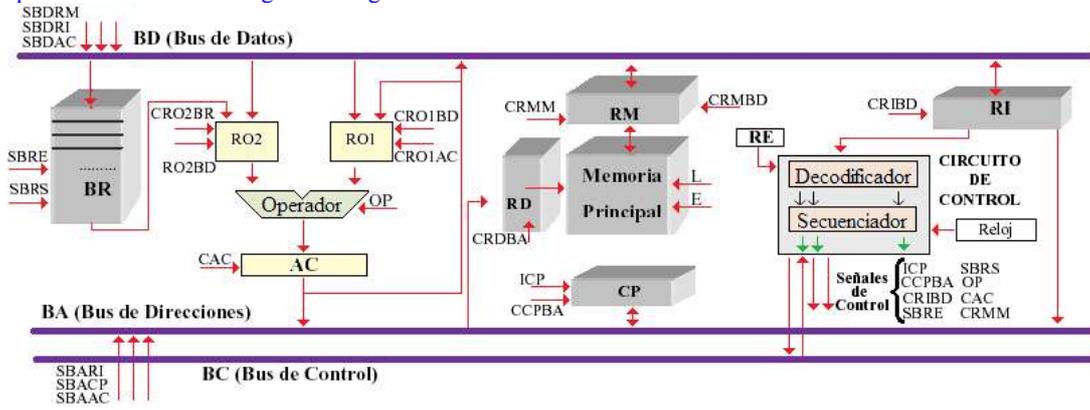
Por lo tanto las señales de control son: $k + n \cdot (2^m - 1)$

✎ Un computador utiliza microinstrucciones de formato horizontal con direccionamiento explícito. Las microinstrucciones deben gobernar 135 señales de control y codificar un repertorio de 50 instrucciones máquina, para lo cual la Sección de Control microprogramada dispone una memoria de control de 2048 palabras. ¿Cuántos bits tiene el campo de dirección de cada microinstrucción?.

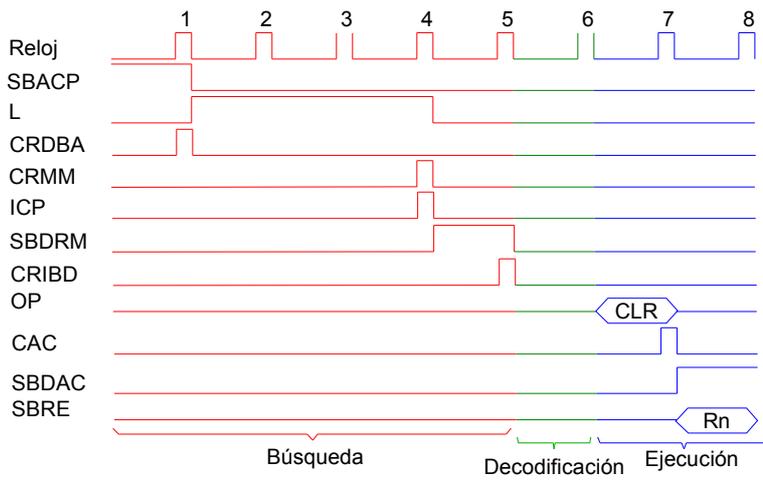


Como se ve en el diagrama, son 11 bits.

Sea el computador mostrado en el siguiente diagrama¹.

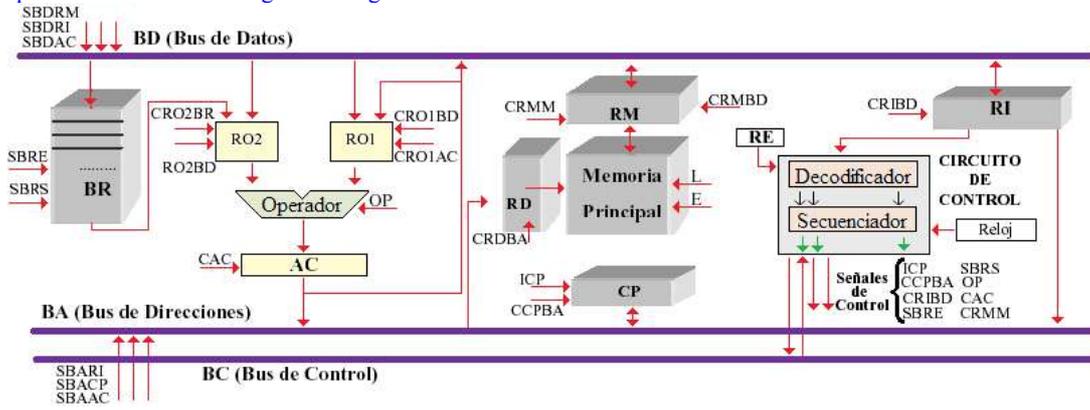


El operador cuenta con la operación de puesta a cero. La decodificación de la instrucción ocupa un ciclo, los accesos a memoria tres ciclos; y cada operación del operador un ciclo. Calcule el número de ciclos de reloj necesarios para que se ejecute completamente una instrucción que inicialice uno de los registros de la batería de registros: CLEAR REGn.



¹ Esquema extraído de *Estructura y Tecnología de Computadores I (Gestión y Sistemas)*, de Yeves Gutiérrez et al.; donde se explica en detalle.

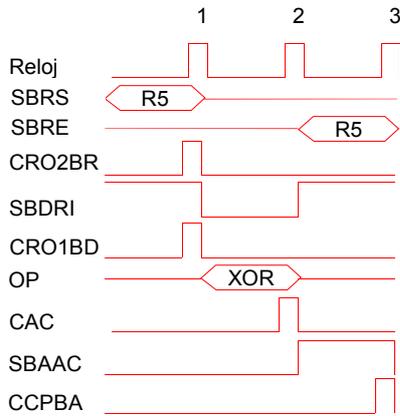
Sea el computador mostrado en el siguiente diagrama.



En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:

- (R5) = 0FD3
- (RI) = FF33
- (CP) = F0DE

A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. Calcule el contenido de los registros al final de esta secuencia.



Ciclo 1.

- (R5) → RO2
- (RI) → RO1

Ciclo 2.

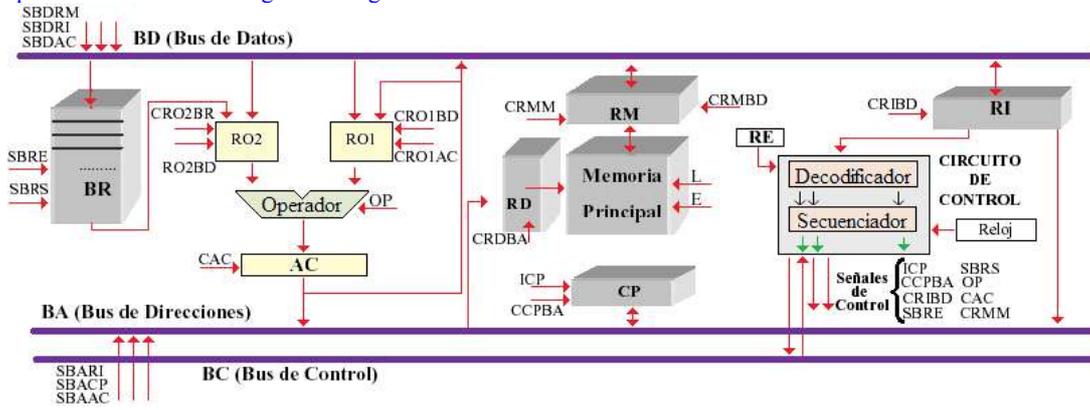
- (R5) ⊕ (RI) → RO2

$$\begin{array}{r}
 \% \ 0000 \ 1111 \ 1101 \ 0011 \\
 \oplus \% \ 1111 \ 1111 \ 0011 \ 0011 \\
 \hline
 \% \ 1111 \ 0000 \ 1110 \ 0000 = \$ \ F0E0
 \end{array}$$

Ciclo 3.

- (RI) → R5 ; (R5) = \$FF33
- (AC) → CP ; (CP) = \$F0E0

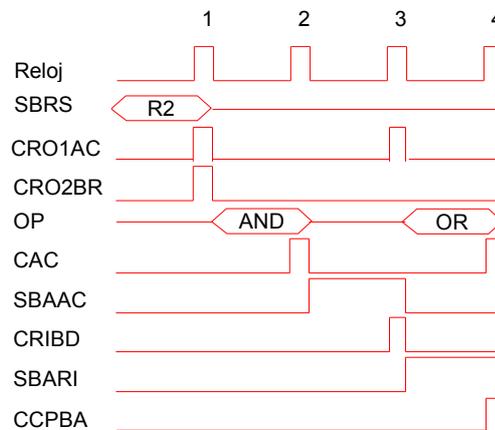
Sea el computador mostrado en el siguiente diagrama.



En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:

- (AC) = 2EE2
- (R2) = 73F1
- (CP) = 2728
- (RI) = 0000

A continuación se ejecuta la secuencia de operaciones elementales según el cronograma adjunto. Calcule el contenido de los registros al final de esta secuencia.



Ciclo 1.

- (AC) → RO1 ; (RO1) = \$2EE2
- (R2) → RO2 ; (RO2) = \$73F1

Ciclo 2.

$$(RO1) \wedge (RO2) \rightarrow AC$$

$$\begin{array}{r} \% 0010 \ 1110 \ 1110 \ 0010 \\ \wedge \% 0111 \ 0011 \ 1111 \ 0001 \\ \hline \% 010 \ 0 \ 0010 \ 1110 \ 0000 = \$22E0 \end{array}$$

Ciclo 3.

- (AC) → RO1 ; (RO1) = \$22E0
- (AC) → BD
- (BD) → RI ; (RI) = \$22E0

Ciclo 4.

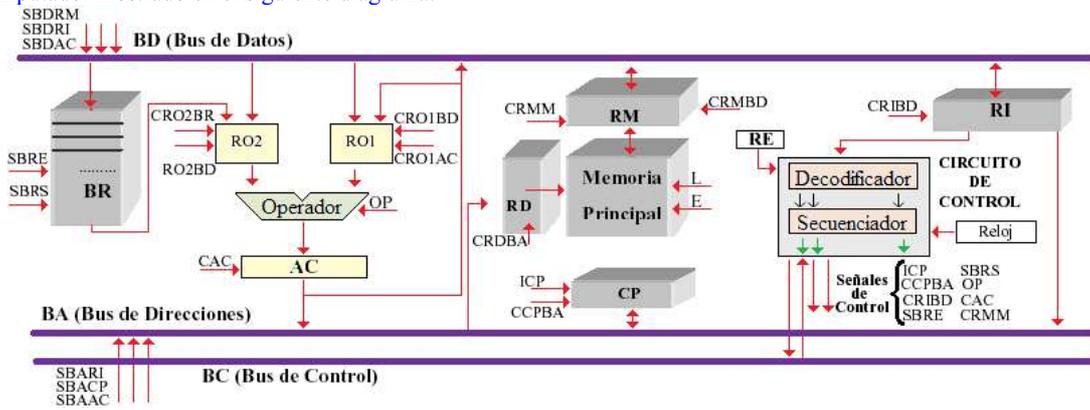
$$(RO1) \vee (RO2) \rightarrow AC$$

$$\begin{array}{r} \% 0010 \ 0010 \ 1110 \ 0000 \\ \vee \% 0111 \ 0011 \ 1111 \ 0001 \\ \hline \% 0111 \ 0011 \ 1111 \ 0001 = \$73F1 = (AC) \end{array}$$

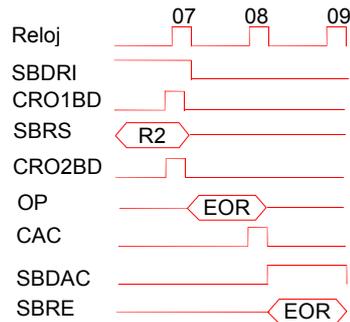
Además, en este ciclo:

- (RI) → BA
- (BA) → CP ; (CP) = \$22E0

Sea el computador mostrado en el siguiente diagrama.



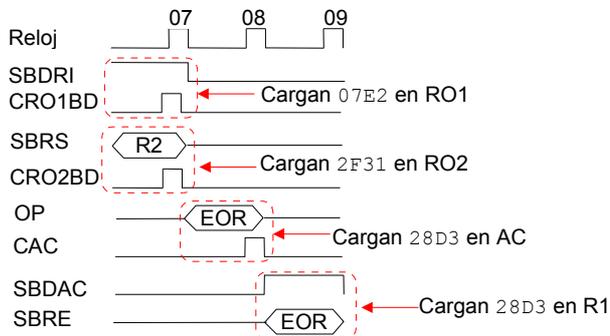
En dicho computador se ejecuta una instrucción cuya fase de ejecución (exceptuando la decodificación) aparece representada en el cronograma de la figura.



Esta instrucción emplea la función EOR (O exclusiva), y utiliza los registros RI, R1 y R2 (estos últimos de la batería de registros) cuyos contenidos iniciales expresados en hexadecimal (supóngase que todos son de 16 bits) son:

- (RI) = 07E2
- (R1) = 033F
- (R2) = 2F31

Calcule el contenido de los dos últimos registros al final de la ejecución.



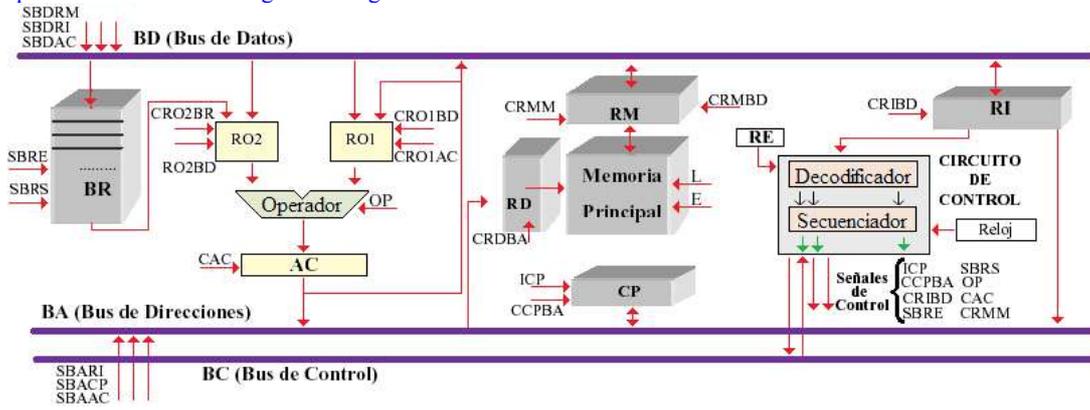
Ciclo 7:
 (RI) → RO1 ; (RO1) = \$07E2
 (R2) → RO2 ; (RO2) = \$2F31

Ciclo 8:

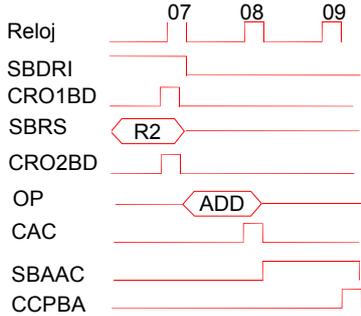
0000	0111	1110	0010	= \$07E2
⊕ 0010	1111	0010	0001	= \$2F31
0010	1000	1101	0011	= \$28D3

Ciclo 9:
 (AC) → R1 ; (R1) = \$28D3
 (R2) permanece inalterado (R2) = \$2F31

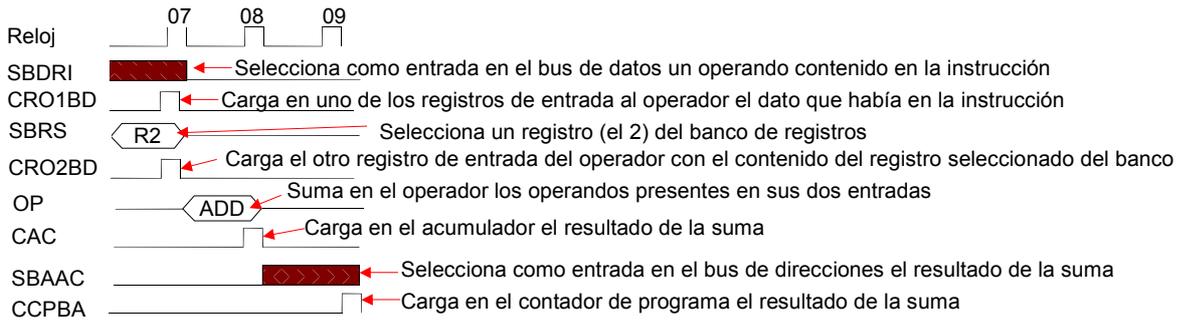
Sea el computador mostrado en el siguiente diagrama.



En él se ejecuta una instrucción cuya fase de ejecución (exceptuando la descodificación) aparece representada en el cronograma de la figura.



Indique qué operación realiza dicha instrucción.

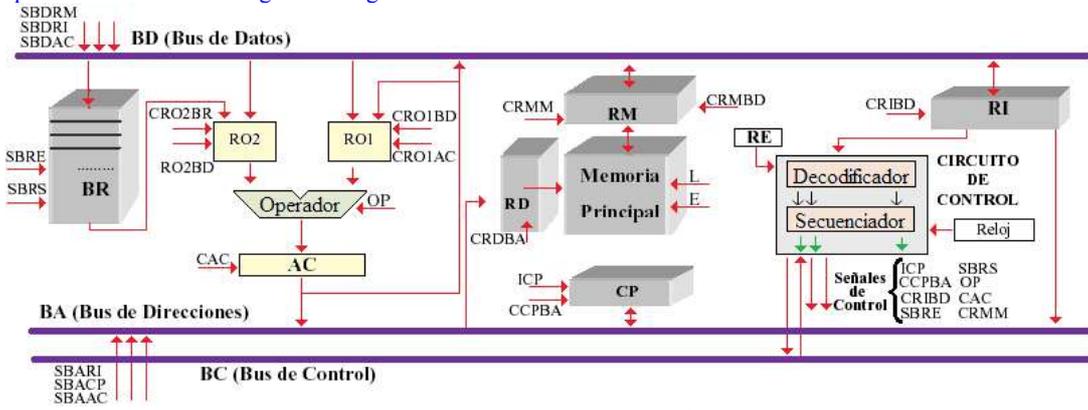


Resumiendo, podemos ver que el efecto global de toda esta secuencia de microinstrucciones se puede expresar como:

$$(CP) \leftarrow (RI) + (R2)$$

Lo cual puede ser interpretado como un salto incondicional, pues el registro cuyo contenido es modificado es el contador de programa.

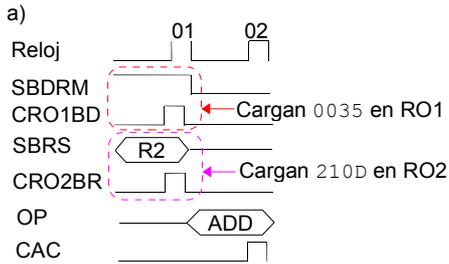
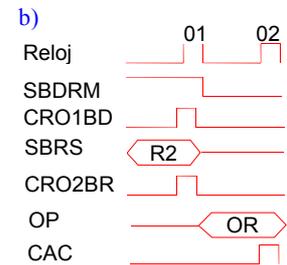
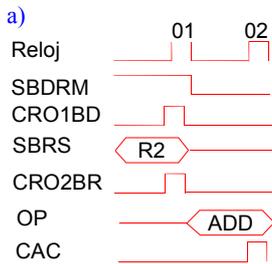
Sea el computador mostrado en el siguiente diagrama:



Supóngase que los registros; la memoria; los buses de datos y direcciones tienen 16 bits. En un instante determinado de una instrucción los registros involucrados tienen los siguientes valores en hexadecimal:

- Registro de instrucción: (RI) = 0C3F
- Un registro de la batería de registros: (R2) = 210D
- Registro de memoria: (RM) = 0035
- Acumulador: (AC) = B001

Indique el contenido (en hexadecimal) del registro AC al finalizar cada uno de los dos cronogramas siguientes:

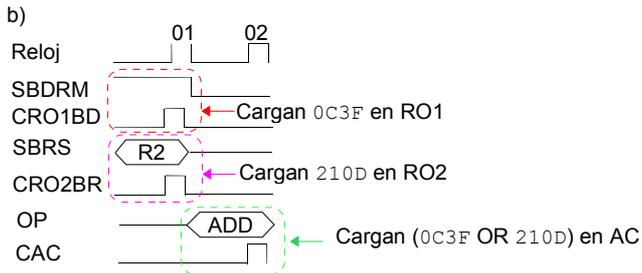


```

%0000 0000 0011 0101
+ %0010 0001 0000 1101
-----

```

%0010 0001 0100 0010 = \$2142, contenido final del registro AC



Ciclo 1:
 (RI) → RO1 ; (RO1)=0C3F
 (R2) → RO1 ; (RO2)=210D

Ciclo 2:
 (RO1) OR (RO2) → AC

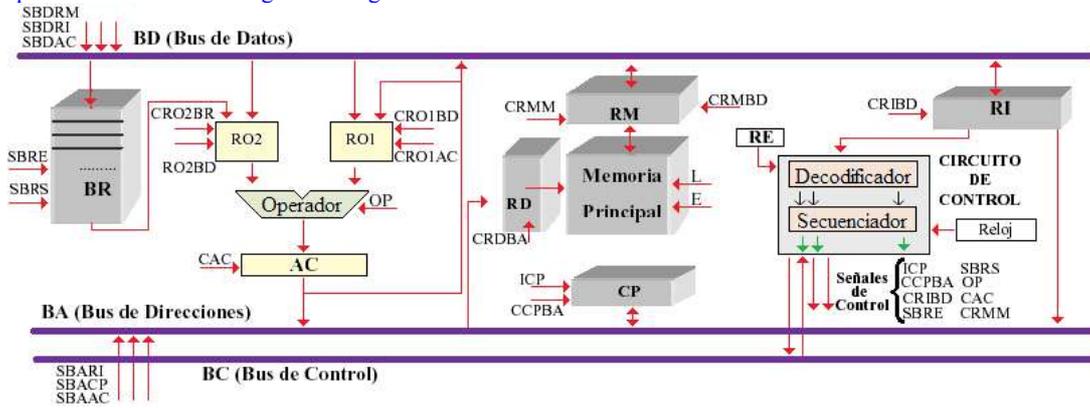
```

%0000 1100 0011 1111
OR %0010 0001 0000 1101
-----

```

%0010 1101 0011 1111 = \$2D3F, contenido final del registro

Sea el computador mostrado en el siguiente diagrama:



En un instante dado el contenido de los siguientes registros (se supondrá que todos son de 16 bits) es en hexadecimal:

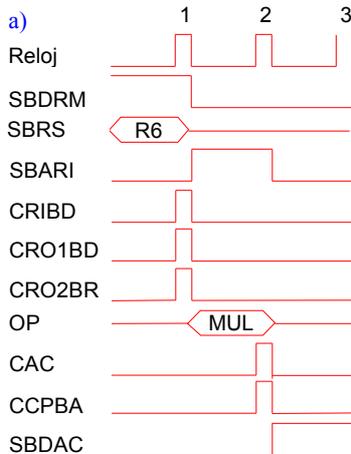
Registro de memoria: (RM) = 005F

Registro de instrucción: (RI) = 0F30

Un registro de la batería de registros: (R6) = 0020

Contador de programa: (CP) = F300

Indique el contenido final (en hexadecimal) de los citados registros al finalizar cada uno de los dos cronogramas siguientes:



a) Ciclo 1

SBDRM } ⇒(RM) → RI
 CRIBD }
 SBDRM } ⇒(RM) → RO1
 CRO1BD }
 SBRS } ⇒(R6) → RO2
 CRO2BR }

De los registros dados sólo ha variado RI
 (RM) = 005F
(RI) = (RM) = 005F
 (R6) = 0020
 (CP) = F300

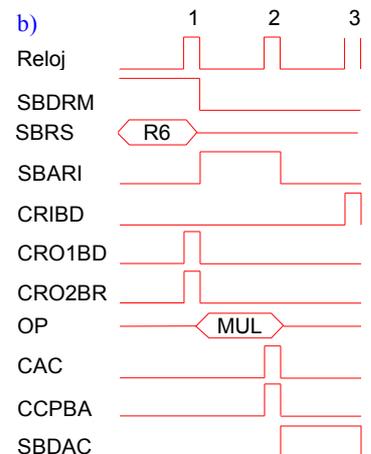
Ciclo 2
 SBARI } ⇒(RI) → CP
 CCPBA }

MUL } ⇒(RM) * (R6) → AC
 CAC }

De los registros dados sólo ha variado CP
 (RM) = 005F
 (RI) = 005F
 (R6) = 0020
(CP) = (RI) = 005F

Ciclo 3
 SBDAC } ⇒(RM) * (R6) → RI
 CRIBD }

De los registros dados vuelve a variar RI
 (RM) = 005F
(RI) = 005F * 0020 = 0BE0
 (R6) = 0020
 (CP) = 005F



b) Ciclo 1

SBDRM } ⇒(RM) → RO1
 CRO1BD }
 SBRS } ⇒(R6) → RO2
 CRO2BR }

De los registros dados no ha variado ninguno
 (RM) = 005F
 (RI) = 0F30
 (R6) = 0020
 (CP) = F300

Ciclo 2
 SBARI } ⇒(RI) → CP
 CCPBA }

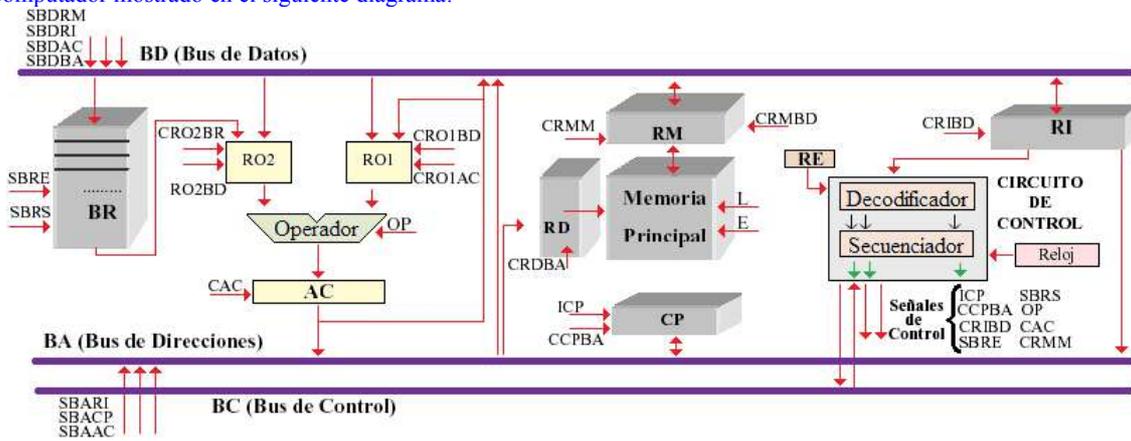
MUL } ⇒(RM) * (R6) → AC
 CAC }

De los registros dados sólo ha variado CP
 (RM) = 005F
 (RI) = 0F30
 (R6) = 0020
(CP) = (RI) = 0F30

Ciclo 3
 SBDAC } ⇒(RM) * (R6) → RI
 CRIBD }

De los registros dados sólo ha variado RI
 (RM) = 005F
(RI) = 005F * 0020 = 0BE0
 (R6) = 0020
 (CP) = 0F30

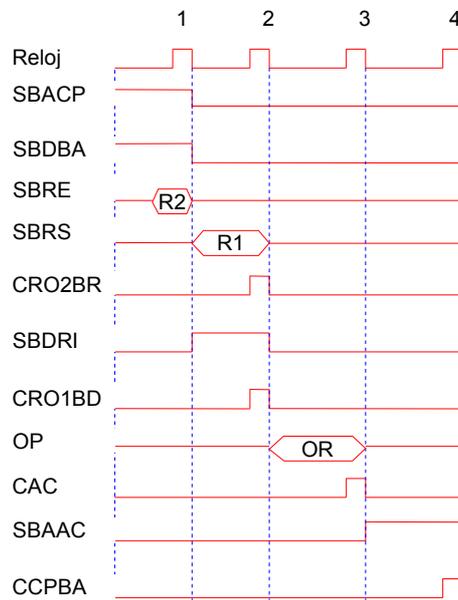
Sea el computador mostrado en el siguiente diagrama:



Nótese el enlace unidireccional desde el bus de direcciones BA hasta el bus de datos BD. Ello necesita una señal de control para la seleccionar como entrada al bus de datos el contenido del bus de direcciones, llamada SBDBA. Supóngase además que tanto los registros como los buses de datos y direcciones como la memoria tienen 16 bits. En un instante determinado de la ejecución de una instrucción en este computador los registros involucrados tienen los siguientes valores en hexadecimal:

- Registro de instrucción: (RI) = 04C0
- Un registro de la batería de registros: (R1) = 000E
- Otro registro de la batería de registros: (R2) = 0010
- Contador de programa: (CP) = 0120

En ese instante comienza el periodo 1 del cronograma de la siguiente figura.



Indique el contenido (en hexadecimal) de los registros citados al finalizar el periodo 4 del mismo cronograma.

- . A R2 se lleva el contenido de CP (a través del BA y del BD).
R2 (CP)
A partir de este momento: (R2) = 0120
- . A CRO2 se lleva el contenido de R1 (directamente).
- . A CRO1 se lleva el contenido de RI (a través del BD).
- . El resultado de la operación (CRO1) OR (CRO2) se lleva al CP.

$$\begin{array}{r}
 \%0000\ 0000\ 0000\ 1110 \\
 \text{OR} \quad \%0000\ 0100\ 1100\ 0000 \\
 \hline
 \%0000\ 0100\ 1100\ 1110 = \$04CE \quad \text{A partir de este momento: (CP) = \$04CE}
 \end{array}$$

En resumen, al final del periodo 4, este es el contenido de los registros :

- Registro de instrucción: (RI) = 04C0 (inalterado)
- Un registro de la batería de registros: (R1) = 000E (inalterado)
- Otro registro de la batería de registros: (R2) = 0120 (contiene el valor antiguo del CP)
- Contador de programa: (CP) = 04CE (resultado de la operación OR)