



# TEMA V

## DISEÑO DE TRANSFERENCIA ENTRE REGISTROS

## 5 Diseño de transferencia entre registros

5.1 Niveles de diseño de un sistema digital: diseño jerárquico

5.2 Nivel de transferencia entre registros

5.2.1 Representación

5.2.2 Expandibilidad de los componentes

5.3 Estructura de un sistema digital

5.3.1 Componentes de un sistema digital

5.3.2 Puntos de control

5.3.3 Modelo de Glushkov

5.4 Diagramas de máquinas de estados algorítmicas (ASM)

5.5 Ejemplo de diseño: multiplicador binario

5.5.1 Multiplicador binario

5.5.2 Unidad de procesamiento o ruta de datos del multiplicador

5.5.3 Diagrama ASM del multiplicador

5.5.4 Unidad de control con lógica cableada

5.5.5 Unidad de control diseñada con elementos de memoria tipo D

5.5.7 Unidad de control diseñada con un elemento de memoria por estado

5.5.8 Unidad de control diseñada utilizando un registro de estado y una memoria ROM

5.5.10 Unidad de control diseñada utilizando un registro de estado y un PLA

5.5.11 Resumen del procedimiento de diseño a nivel de registro

5.5.6 Unidad de control diseñada con un registro de secuencia y un decodificador

5.5.9 Unidad de control diseñada utilizando un contador y un decodificador

# 5.1 Niveles de diseño de un sistema digital: diseño jerárquico

- Un sistema digital se puede definir como una colección de objetos denominados componentes, que se conectan con un objetivo definido.
- La función que realiza el sistema queda determinada cuando se conoce:
  - La función individual de cada componente.
  - La forma en que los componentes se interconectan entre sí.
- El método de diseño puede considerarse a diferentes niveles de detalle o complejidad. Se suelen emplear los siguientes niveles:
  - Nivel de puertas lógicas-> bits
  - Nivel de registros -> registros e interconexiones
  - Nivel de procesador -> CPU, procesadores de e/s, memorias

# Descripción de un sistema digital

- Un sistema digital se divide en dos partes:
  - la Unidad de Procesamiento
  - y la Unidad de Control.
- La Unidad de Procesamiento es la parte del sistema digital en la que se almacenan y transforman los datos. Consta de los siguientes elementos:
  - Registros de almacenamiento.
  - Operadores aritmético lógicos ( recursos de cálculo).
  - Red de interconexión ( Camino de datos ).
  - Puntos de control.
  - Señales de condición.
- La Unidad de Control es la parte del sistema digital que genera una secuencia de señales de control de acuerdo con el algoritmo de transferencia de registros, que especifica la realización de la operación deseada.
- Para mostrar la conducta funcional se usan las tablas de verdad, puertas lógicas y funciones de conmutación

# Diseño Jerárquico

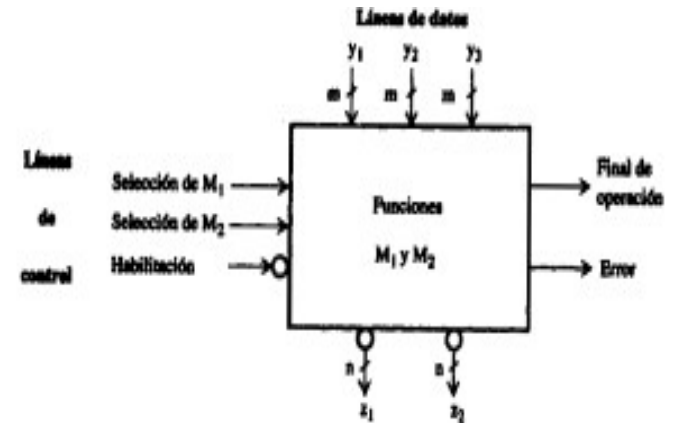
- Si un sistema complejo se va a diseñar con puertas lógicas, el proceso de diseño constará de los siguientes pasos:
  - Especificar a nivel de procesador la estructura del sistema.
  - Especificar a nivel de registro la estructura de cada unidad del nivel de procesador.
  - Especificar a nivel de puertas lógicas la estructura de cada componente del nivel registro.
- Este punto de vista del diseño se conoce como diseño descendente o diseño estructurado.
- Un buen diseño debe promover la utilización de los componentes más adecuados en cada nivel. Desde esta perspectiva, conviene tener en cuenta las siguientes características:
  - Independencia de los componentes.
  - Modularidad del diseño.

## 5.2 Nivel de transferencia entre registros

- A este nivel la unidad básica es la palabra.
- Atendiendo al tipo de información se pueden distinguir dos clase de palabras,
  - La palabra de datos (p.e. los datos de un programa)
  - La de control. ( p.e. las instrucciones)
- Los componentes que se emplean en un cierto nivel de diseño constituyen su principal caracterización.
  - Componente combinacionales (puertas lógicas, multiplexores, decodificadores, codificadores, unidades aritméticas...)
  - Componentes secuenciales (biestables, registros, contadores)
  - Componentes de comunicación (buses)
- Un conjunto de componentes es completo si se puede realizar cualquier función lógica utilizando sólo módulos de ese conjunto

# Representación: Diagrama de bloques

- Representación
  - No existe una representación universal
  - Se emplea con mas frecuencia los diagramas de bloques
- La información
  - Líneas de datos
  - Líneas de control
    - De selección (selección de los distintos modos de funcionamiento)
    - De habilitación (momento de activación)
- Expandabilidad de los componentes
  - $m < n$  no se usan las entradas que sobran
  - $m > n$  se conectan varios módulos de  $n$  bits



Representación de un diagrama de bloques a nivel de registro

## 5.3 Estructura de un sistema digital

- Comportamiento de un sistema digital a nivel de transferencia de registros
  - Conjunto de operaciones  $O_1, O_2, \dots, O_n$  realizadas sobre diferentes datos externos o internos (memorias registros). Cada una de estas operaciones  $O_i$  se realiza mediante una secuencia de operaciones elementales de transferencia entre registros
- Problemas de diseño a nivel de transferencia de registros
  - Dados un conjunto de algoritmos, un repertorio de instrucciones y un conjunto de restricciones, obtener la estructura del circuito que realiza las funciones deseadas empleando sólo componentes de este nivel



## 5.3.1 Componentes de un sistema digital

- Un conjunto de posiciones de memoria
- Un interfaz con el exterior
- Un conjunto de dispositivos lógicos que realizan las funciones lógicas y aritméticas de transformación
- Un conjunto de caminos de datos (buses de datos)
- Una unidad de control
  - **Microoperación** (una acción).
    - La realización de una microoperación puede necesitar la realización de otras operaciones mas elementales denominadas **microórdenes** (señales de control que abren o cierran caminos de datos)
    - Las microórdenes son señales binarias generadas por la unidad de control

## 5.3.2 Puntos de control y Señales de condición

### ■ Puntos de control

- Son las entradas de la Unidad de Procesamiento que reciben las señales de control
- Se emplean para controlar la selección de operaciones, los caminos de datos y la carga de los registros.
  - Permiten controlar el flujo de información a través de la estructura de la Unidad de Procesamiento.
- El conjunto de señales de control se pueden clasificar en tres categorías:
  - Relojes.
    - Su activación permite cargar el registro correspondiente con el contenido presente en ese instante en el camino de datos que le llega
  - Conmutadores.
    - Son dispositivos que controlan y/o seleccionan el paso de información de un camino de datos a otro.
  - De transformación.
    - Controlan las distintas funciones de transformación que pueden efectuar las unidades funcionales de la Unidad de Procesamiento.

### ■ Señales de condición o selección.

- Son salidas de la Unidad de Procesamiento que se utilizan por la Unidad de Control para determinar las señales de control condicionales o secuencias alternativas.
- En el lenguaje de descripción se especifican en secuencias de asignación condicionales o rupturas de secuencias condicionales.

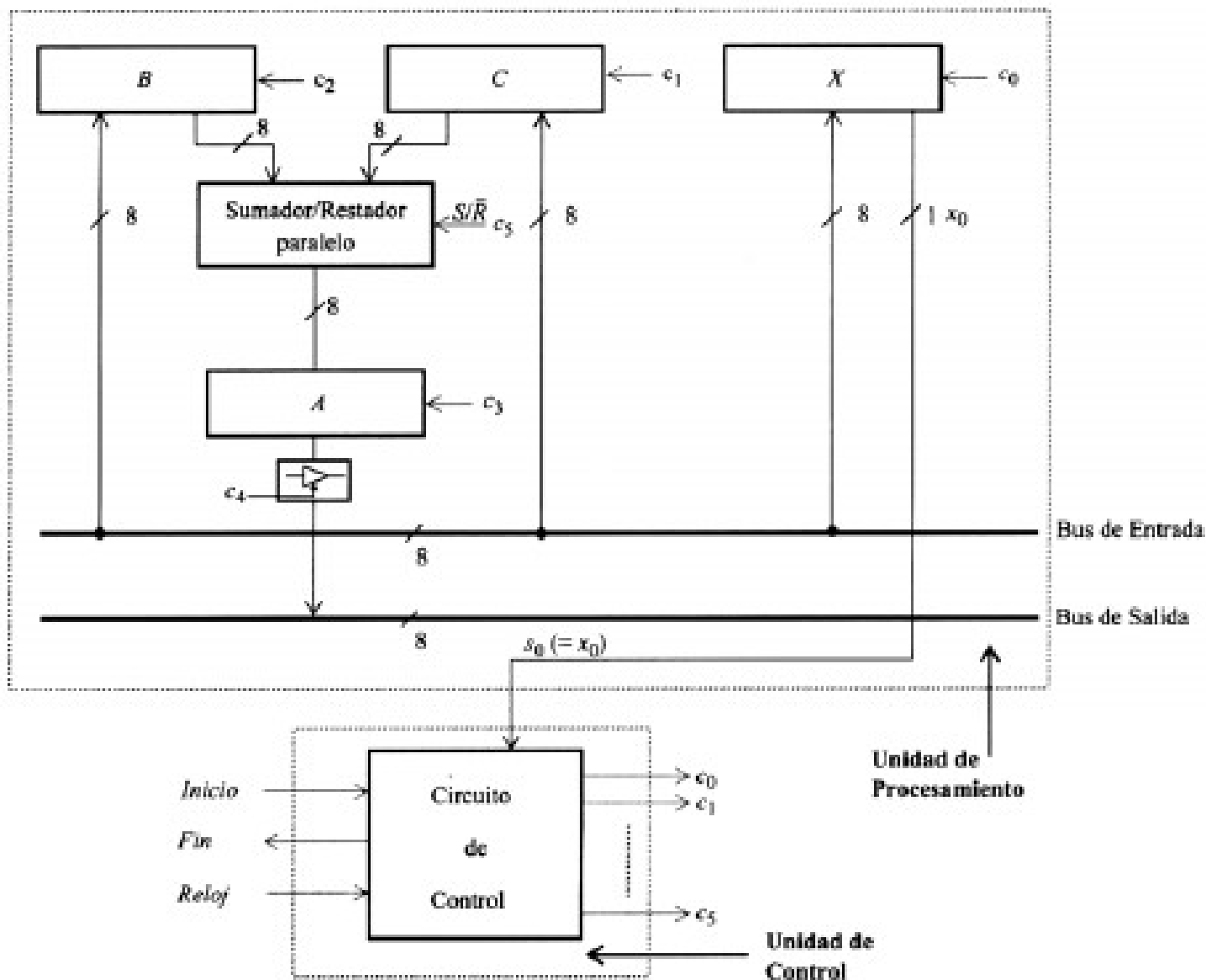
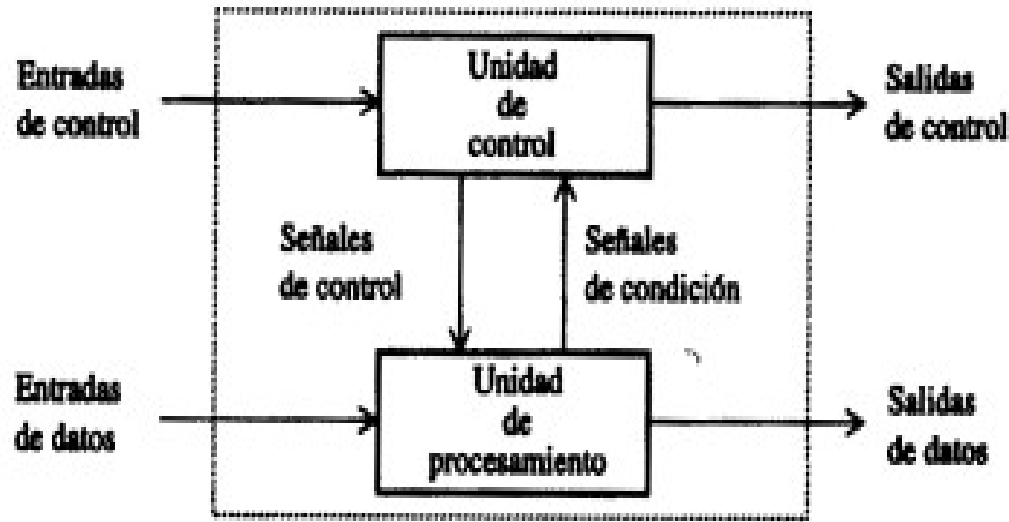


Diagrama de bloques y puntos de control de la Unidad de Procesamiento A

## 5.3.3 Modelo de Glushkov



Modelo de Glushkov de un sistema digital

- Las unidades de control y de procesamiento se definen especificando:
  - El conjunto de componentes
  - La estructura de interconexión de componentes
  - La función realizada por los componentes interconectados

# Unidad de procesamiento o ruta de datos

- Parte del sistema en la que se almacenan y transforman los datos.
- Consta de elementos de memoria, la interfaz con el exterior, conjunto de operadores (recursos de cálculo), red de interconexión (camino de datos).
- Estos elementos se organizan de forma que permiten la ejecución de las operaciones o algoritmos que se necesitan y satisfacen ciertos requisitos de compromiso coste/prestaciones.
- Las unidades de procesamiento se pueden clasificar en dos grandes grupos;
  - De propósito general
  - De propósito particular

# La estructura de la unidad de procesamiento

- Un conjunto de Registros de almacenamiento
  - Almacena los datos iniciales, intermedios y finales
- Conjunto de primitivas o recursos de cálculo
  - Operadores aritméticos y lógicos (ALU)
- Una Red de interconexión
  - Conecta los registros con los recursos de cálculo
- Un conjunto de entradas de control
  - Puntos de control
- Un conjunto de salidas
  - Señales de condición o estado

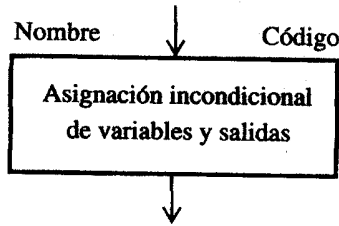
# Unidad de control

- Controla la secuencia de ejecución de las microoperaciones en función de su estado y de las señales de entrada
- Genera una secuencia de señales de control de acuerdo con el algoritmo de transferencia de registro que describe la operación deseada
- Sus entradas son las señales de condición generadas por la Unidad de Procesamiento, más las entradas de control externas.
- Sus salidas son las señales de control que se distribuyen por los correspondientes puntos de control de la Unidad de Procesamiento.
- La especificación de la Unidad de Control consiste en definir sus dos funciones:
  - Generación de señales de control.
  - Secuenciamiento de las señales de control.

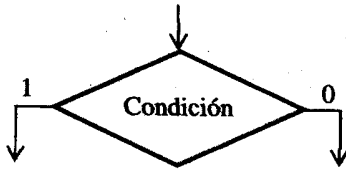
# 5.4 Diagramas de máquinas de estados algorítmicas (ASM)

## DEFINICIÓN

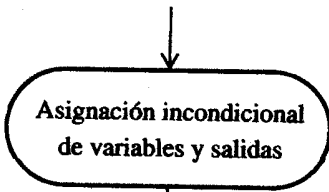
Bloque de estado



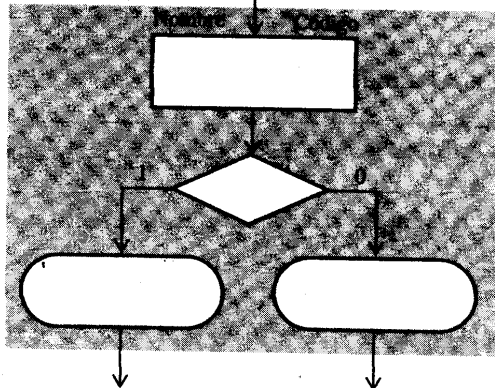
Bloque de decisión



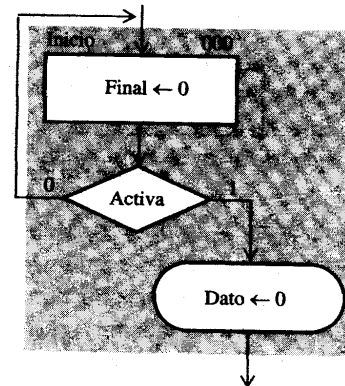
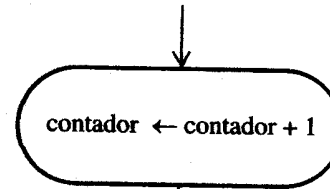
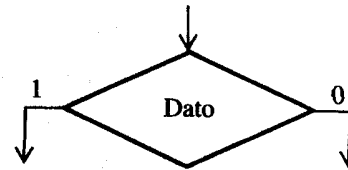
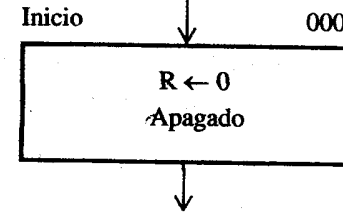
Bloque de condición



Bloque ASM



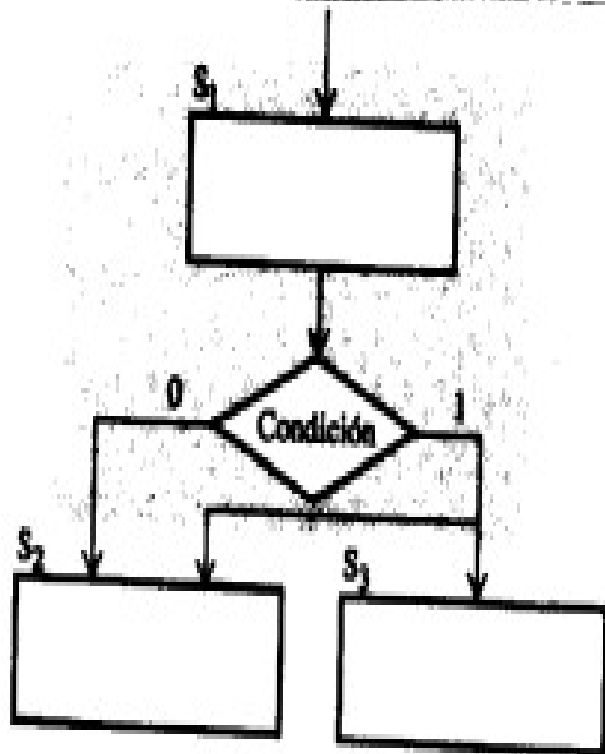
## EJEMPLO



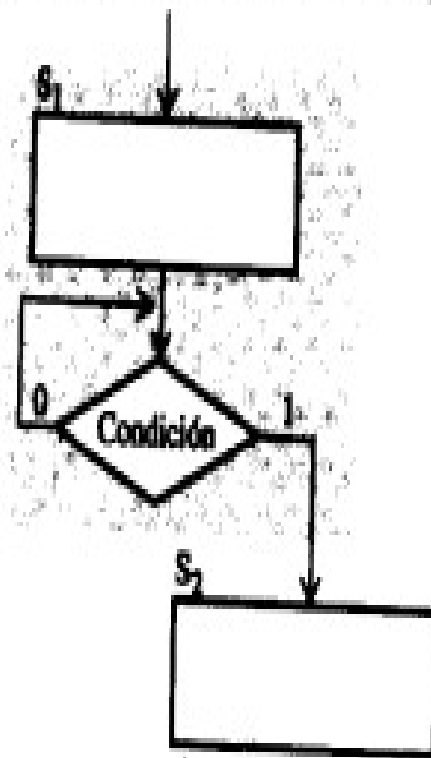


# Definición de diagrama ASM

- Un diagrama ASM está compuesto por uno a mas bloques ASM conectados y dispuesto de tal forma que cada salida de un bloque es la entrada de un único bloque de estado
- Reglas
  - El diagrama debe definir un único próximo estado para cada uno de los estados presentes y conjunto de condiciones
  - Todo camino definido por el conjunto de bloques de condición debe llevar necesariamente a otro estado



a) Estado siguiente no definido



b) Camino de salida no definido

Diagramas ASM incorrectos

## 5.5 Ejemplo de diseño: multiplicador binario

```
1: M ← Entrada;  
2: m ← Entrada;  
3: A ← 0;  
4: C ← 0;  
5: P ← n - 1;  
   for P := n - 1 downto 0 do  
6:   if m[P] = 1 then A ← A + M, C ← cn;  
7:   C ← 0, C || A || m ← C || A || m >> 1;  
8:   P ← P - 1;  
   end for
```

**Figura 5.19:** Algoritmo de multiplicación de lápiz y papel mejorado

## 5.5.2 Unidad de procesamiento o ruta de datos del multiplicador

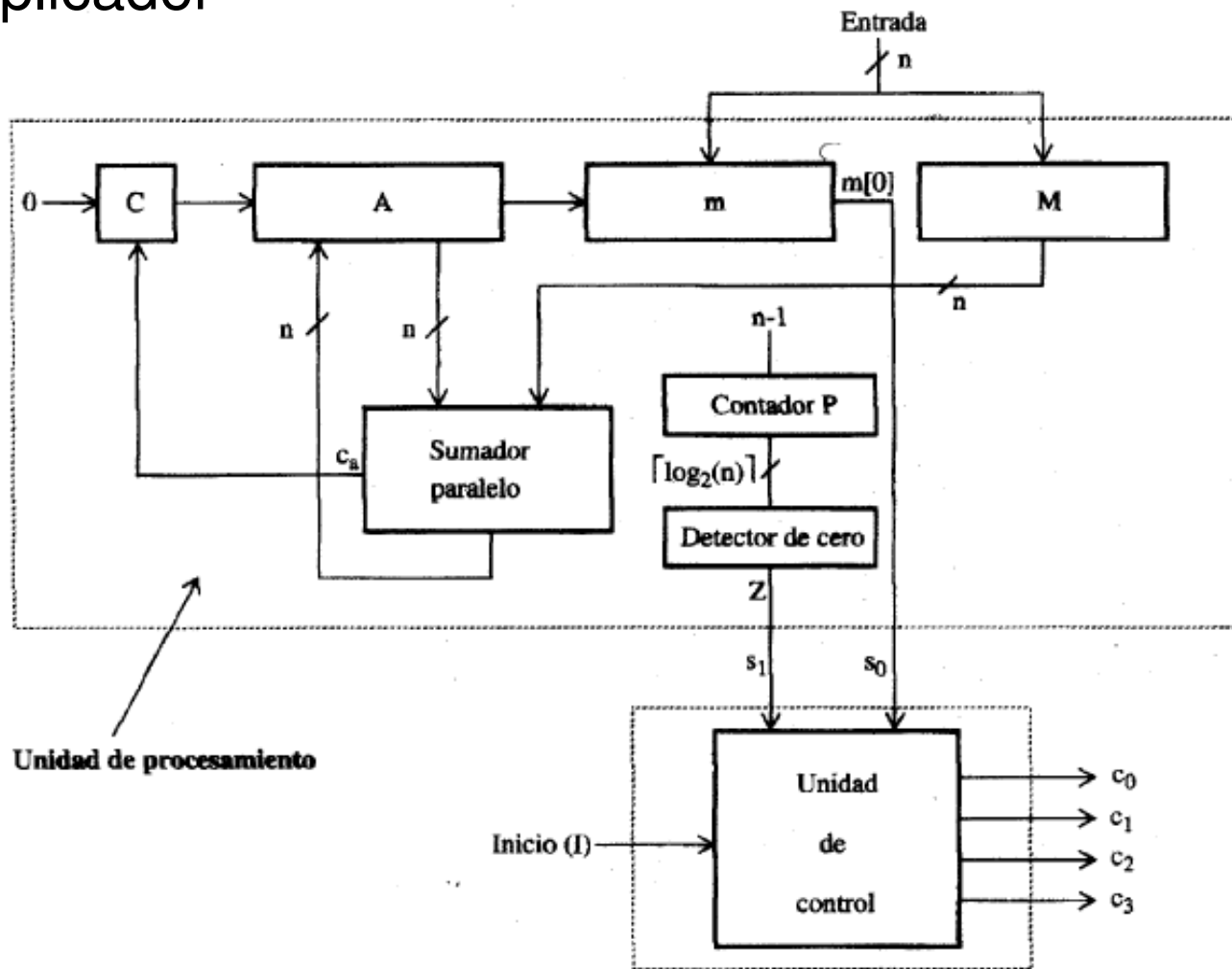
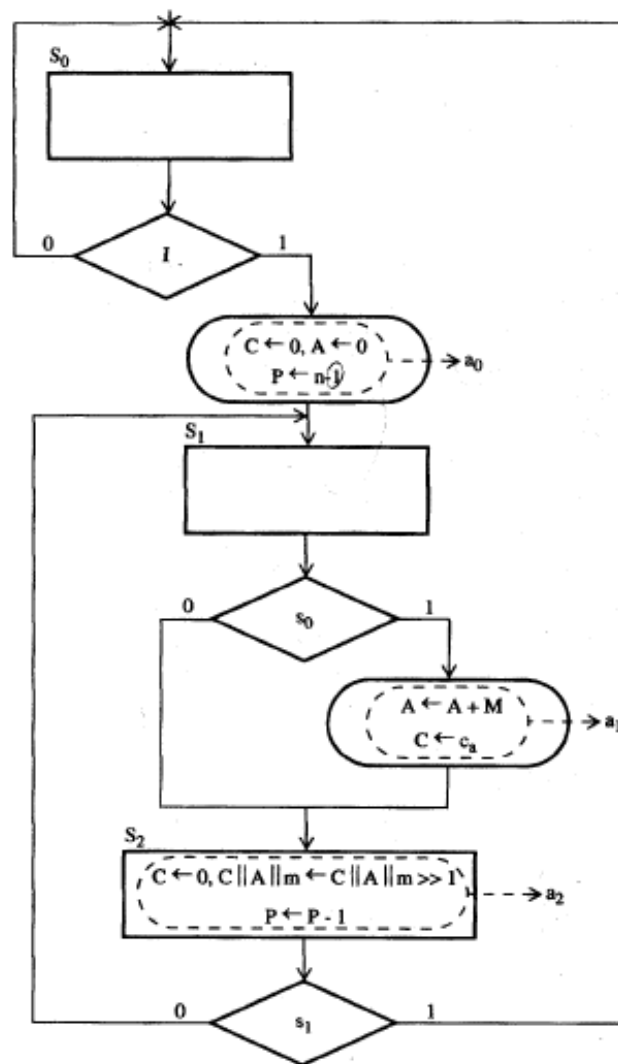
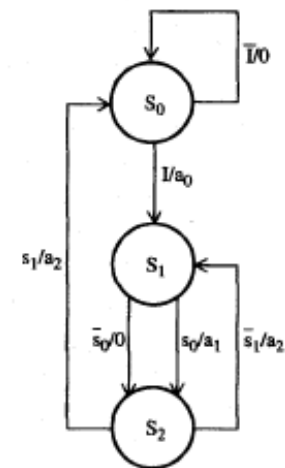


Figura 5.20: Diagrama de bloques del multiplicador binario con el algoritmo de lapiz y papel mejorado

## 5.5.3 Diagrama ASM del multiplicador

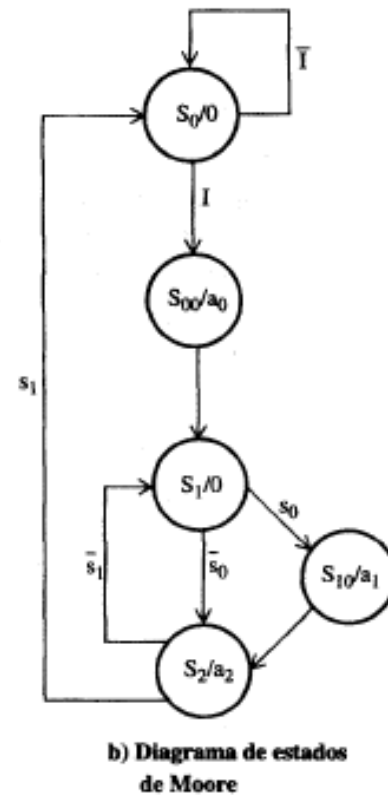
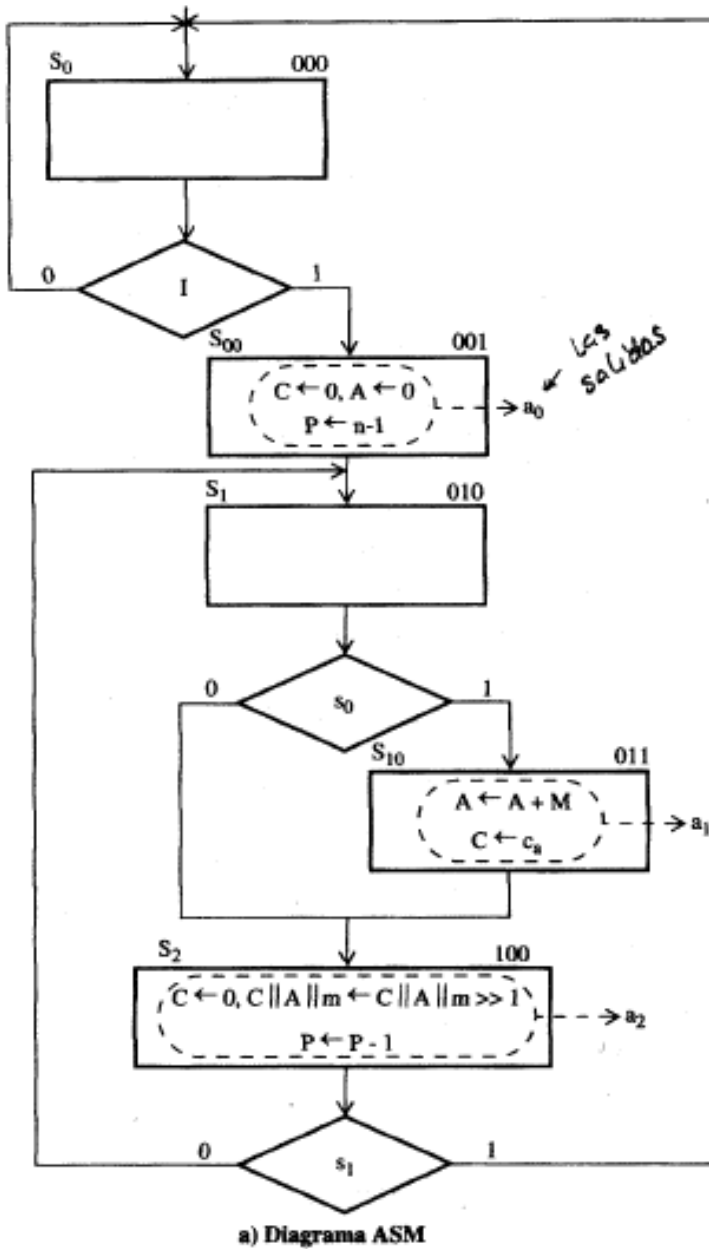


a) Diagrama ASM



b) Diagrama de estados de Huffman-Mealy

Figura 5.21: Diagrama ASM del multiplicador binario



## ■ MODELO DE MOORE

- Sustituimos los bloques de condición por bloques de estado

Figura 5.22: Diagrama ASM del multiplicador binario sin bloques de salida condicional

# Alternativas para el diseño de la unidad de Control

## ■ Lógica cableada

- Elementos memoria tipo D
- Registros de secuencia y decodificador. (No hay que estudiar)*
- Un elemento de memoria por estado
- Un registro de estado y una memoria ROM
- Contador y decodificador. (No hay que estudiar)*
- Un registro de estado y un Array Lógico Programable (PLA)

## 5.5.4 Unidad de control con lógica cableada

- En la unidad de control hay dos aspectos a considerar:
  - El control de las microoperaciones
  - El secuenciamiento de la unidad de control y de las microinstrucciones
- Separamos el diagrama ASM en dos partes
  - La tabla de estados
    - Define las señales de control en términos de estado y de entradas
  - Un diagrama ASM simplificado
    - Que representa solamente la transición de estados



## 5.5.5 Unidad de control diseñada con elementos de memoria tipo D

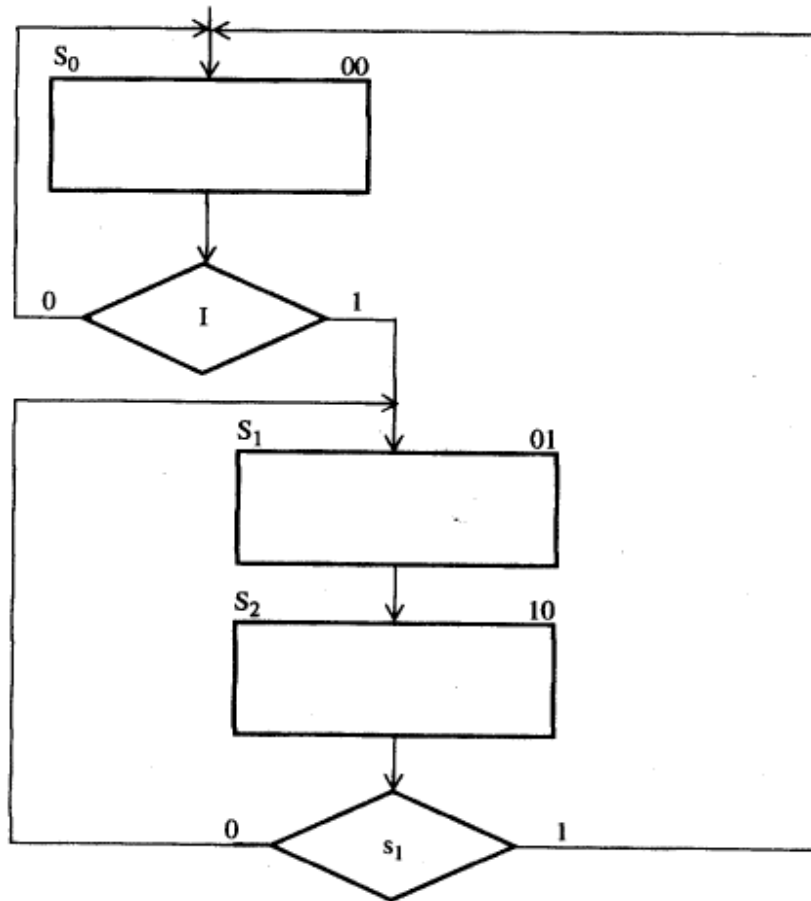
### ■ Tabla de estados

Componente	Microoperación	Señal de control	Ecuación lógic
Registro A	$A \leftarrow 0$ $A \leftarrow A + M$ $C \parallel A \parallel m \leftarrow C \parallel A \parallel m \gg 1$	Inicializar Sumar_Cargar Desplazar_Dec	$c_0 = S_0I$ $c_1 = S_1s_0$ $c_2 = S_2$
Registro M	$M \leftarrow \text{Entrada}$	Cargar_M	
Elemento de memoria C	$C \leftarrow 0$ $C \leftarrow c_a$	Borrar_C Sumar_Cargar	$c_3 = S_0I + S_2$ $c_1 = S_1s_0$
Registro m	$m \leftarrow \text{Entrada}$ $C \parallel A \parallel m \leftarrow C \parallel A \parallel m \gg 1$	Cargar_m Desplazar_Dec	$c_2 = S_2$
Contador P	$P \leftarrow n - 1$ $P \leftarrow P - 1$	Inicializar Desplazar_Dec	$c_0 = S_0I$ $c_2 = S_2$

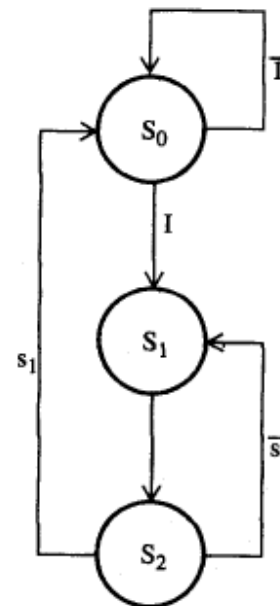
**Tabla 5.2:** Tabla de estados para la unidad de control del multiplicador binario

# Diagrama ASM simplificado

- Representa solamente la transición de estados
- Eliminamos los bloques de decisión, si no influyen sobre cual será el próximo estado al que se transfiere el sistema



a) Diagrama ASM modificado



b) Diagrama de estados

Figura 5.23: Secuenciamiento del multiplicador binario

# Diagrama de bloques del multiplicador binario

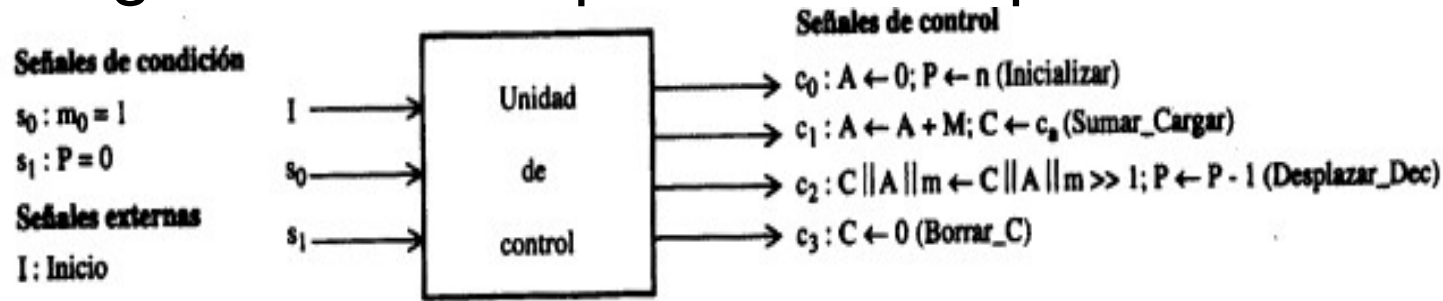


Diagrama de bloques de la unidad de control del multiplicador binario

- Las señales de control son función de las señales de condición, de las señales externas y de los estados, por lo tanto el modelo del circuito secuencial asociado es del tipo HUFFMAN MEALY

$$c_0 = S_0 I$$

$$c_1 = S_1 s_0$$

$$c_2 = S_2$$

$$c_3 = S_0 I + S_2 = c_0 + c_2$$

- En el diagrama ASM vemos que hay solo 3 estados y que las condiciones que influyen son  $I$  y  $S_1$
- Con esta información hacemos la tabla de transición de estados

## 5.5.5 Unidad de control diseñada con elementos de memoria tipo D

- 1. Obtención del diagrama de estados.
- 2. Obtención de la tabla de estados.
- 3. Síntesis de las funciones de conmutación de las entradas de cada elemento memoria tipo D en función de sus salidas y de las señales de condición
- 4. Síntesis del circuito lógico

# Tablas de estados

- En nuestro ejemplo, la transición de estados solo depende de las señales  $I$  y  $S_1$

Estado presente	Próximo estado			
	$\bar{I} \bar{s}_1$	$\bar{I} s_1$	$I \bar{s}_1$	$I s_1$
$S_0$	$S_0$	$S_0$	$S_1$	$S_1$
$S_1$	$S_2$	$S_2$	$S_2$	$S_2$
$S_2$	$S_1$	$S_0$	$S_1$	$S_0$

**Tabla 5.3:** Tabla de estados del modelo de Huffman-Mealy

$Q_1 Q_0$	Próximo estado				Salida ( $c_0 c_1 c_2 c_3$ )							
	$\bar{I} \bar{s}_1$	$\bar{I} s_1$	$I \bar{s}_1$	$I s_1$	$\bar{I} \bar{s}_1 \bar{s}_0$	$\bar{I} \bar{s}_1 s_0$	$\bar{I} s_1 \bar{s}_0$	$\bar{I} s_1 s_0$	$I \bar{s}_1 \bar{s}_0$	$I \bar{s}_1 s_0$	$I s_1 \bar{s}_0$	$I s_1 s_0$
$S_0 \rightarrow 0 \ 0$	00	00	01	01	0000	0000	0000	0000	1001	1001	1001	1001
$S_1 \rightarrow 0 \ 1$	01	10	10	10	0000	0100	0000	0100	0000	0100	0000	0100
$S_2 \rightarrow 1 \ 0$	10	01	00	00	0011	0011	0011	0011	0011	0011	0011	0011

a) Asignación de estados

b) Tabla de transición de estados y salidas

**Tabla 5.4:** Asignación de estados y tabla de transición de estados y salidas del modelo de Huffman-Mealy

# Memorias tipo D, con Modelo de Moore

Estado presente	Próximo estado							
	$\bar{I} \bar{s}_1 \bar{s}_0$	$\bar{I} s_1 \bar{s}_0$	$\bar{I} s_1 s_0$	$I \bar{s}_1 \bar{s}_0$	$I \bar{s}_1 s_0$	$I s_1 \bar{s}_0$	$I s_1 s_0$	
$S_0$	$S_0$	$S_0$	$S_0$	$S_0$	$S_{00}$	$S_{00}$	$S_{00}$	$S_{00}$
$S_{00}$	$S_1$	$S_1$	$S_1$	$S_1$	$S_1$	$S_1$	$S_1$	$S_1$
$S_1$	$S_2$	$S_{10}$	$S_2$	$S_{10}$	$S_2$	$S_{10}$	$S_2$	$S_{10}$
$S_{10}$	$S_2$	$S_2$	$S_2$	$S_2$	$S_2$	$S_2$	$S_2$	$S_2$
$S_2$	$S_1$	$S_1$	$S_0$	$S_0$	$S_1$	$S_1$	$S_0$	$S_0$

Tabla 5.5: Tabla de estados del modelo de Moore

$Q_2 Q_1 Q_0$	Próximo estado									Salida			
	$\bar{I} \bar{s}_1 \bar{s}_0$	$\bar{I} s_1 \bar{s}_0$	$\bar{I} s_1 s_0$	$I \bar{s}_1 \bar{s}_0$	$I \bar{s}_1 s_0$	$I s_1 \bar{s}_0$	$I s_1 s_0$	$c_0$	$c_1$	$c_2$	$c_3$		
$S_0 \rightarrow 0 0 0$	000	000	000	000	001	001	001	001	0000				
$S_{00} \rightarrow 0 0 1$	001	010	010	010	010	010	010	010	1001				
$S_1 \rightarrow 0 1 0$	010	100	011	100	011	100	011	100	0000				
$S_{10} \rightarrow 0 1 1$	011	100	100	100	100	100	100	100	0100				
$S_2 \rightarrow 1 0 0$	100	010	010	000	000	010	010	000	0011				

a) Asignación de estados

b) Tabla de transición de estados y salidas

Tabla 5.6: Asignación de estados y tabla de transición de estados y salidas del modelo de Moore

# Señales de control

$$c_0 = S_0 I = \bar{Q}_1 \bar{Q}_0 I$$

$$c_1 = S_1 s_0 = \bar{Q}_1 Q_0 s_0$$

$$c_2 = S_2 = Q_1 \bar{Q}_0$$

$$c_3 = c_0 + c_2$$

# Funciones de entrada

$Q_1Q_0 \backslash I s_1$		00	01	11	10
00					
01		1	1	1	1
11		x	x	x	x
10					

$$D_1 = Q_0$$

$Q_1Q_0 \backslash I s_1$		00	01	11	10
00				1	1
01					
11		x	x	x	x
10		1		<del>1</del>	1

$$D_0 = \bar{Q}_1\bar{Q}_0I + Q_1\bar{I}s_1 + Q_1Is_1$$

**Figura 5.25:** Funciones de entrada a los elementos de memoria tipo D



Unidad de control →

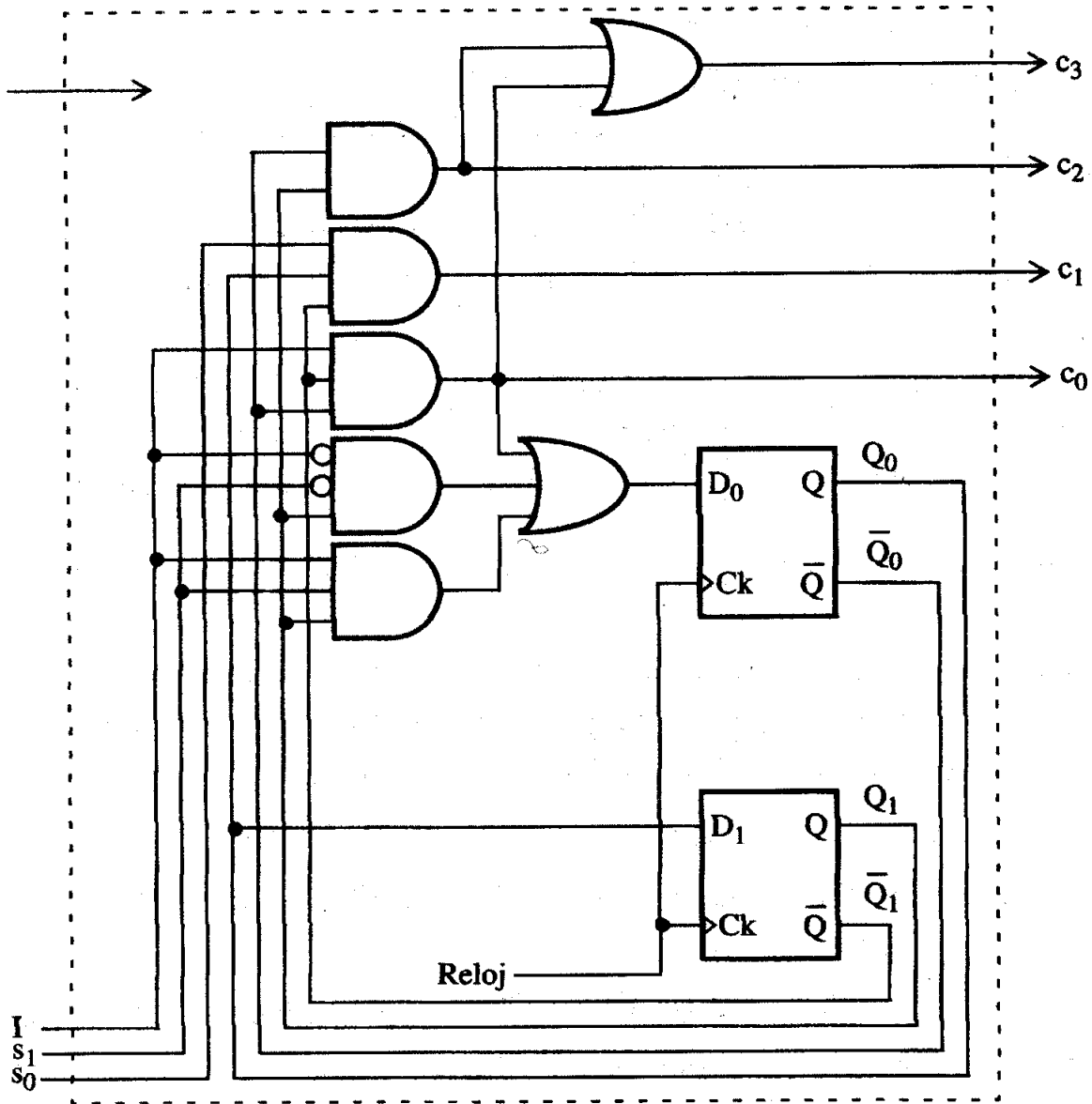


Figura 5.26: Circuito secuencial de la unidad de control del multiplicador

### 5.5.7 Unidad de control diseñada con un elemento de memoria por estado

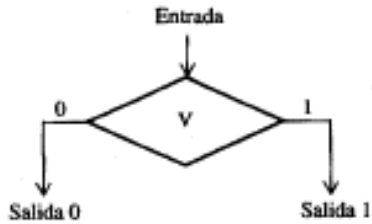
- Sustituir los tres bloques de estado por tres elementos de memoria tipo D
- Los bloques de decisión se reemplazan por un multiplexor con la variable de decisión como su entrada de selección
- Los puntos de unión se transforman en puertas OR
- Se forman las señales de control, de acuerdo a las ecuaciones



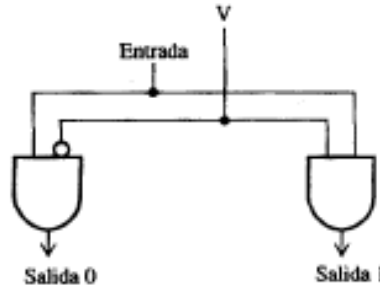
a) Bloque de estado



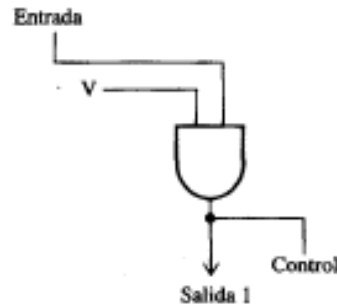
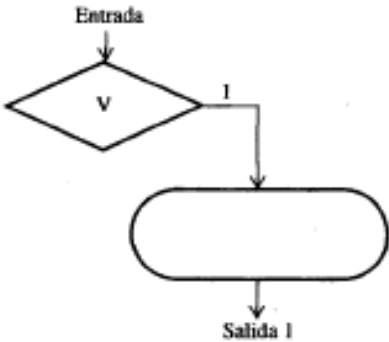
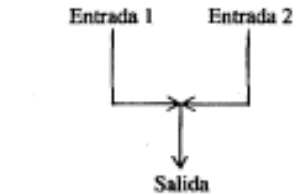
b) Bloque de decisión



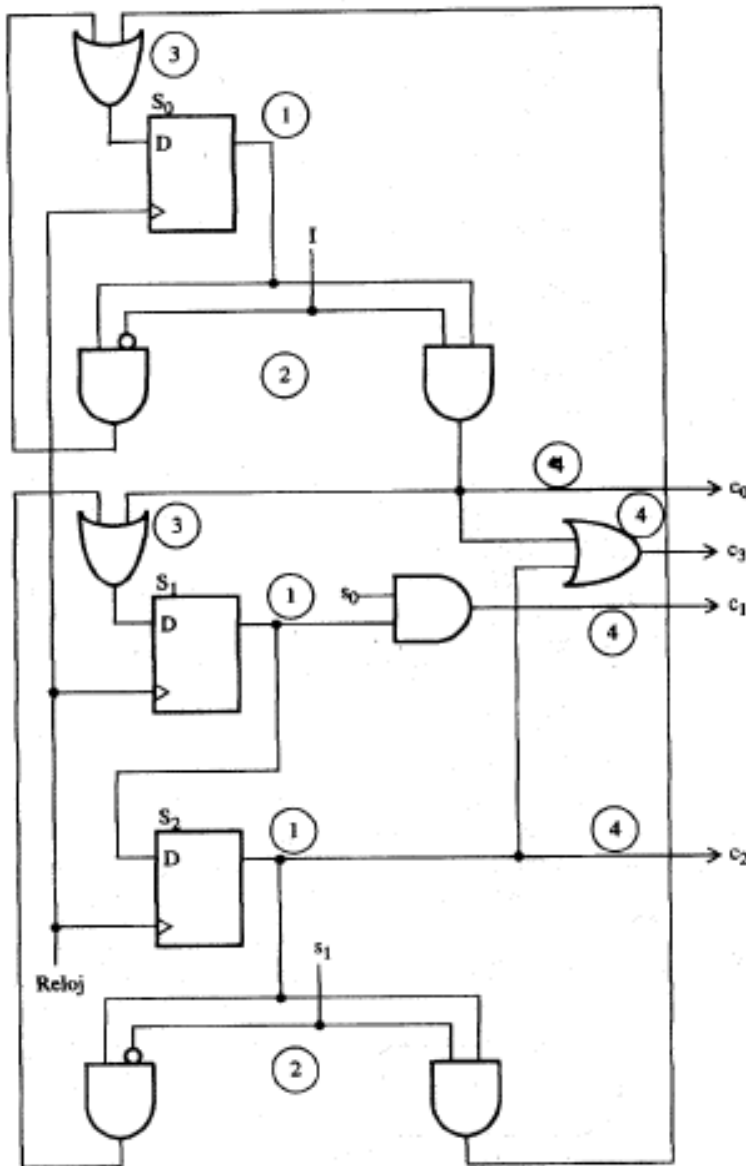
c) Unión



d) Bloque de condición



- Reglas de transformación para una unidad de control con un elemento de memoria por estado

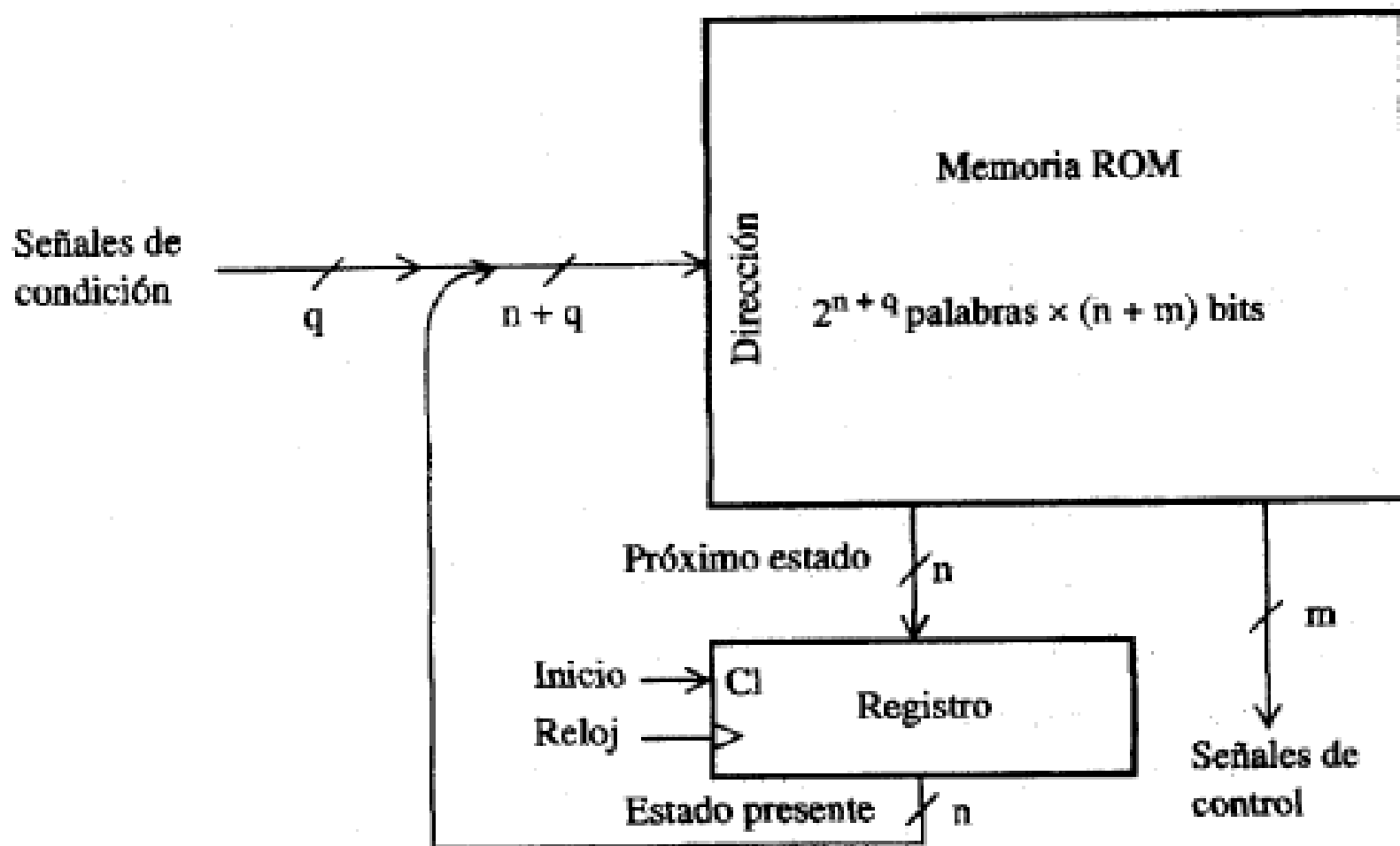


- Del diagrama ASM simplificado

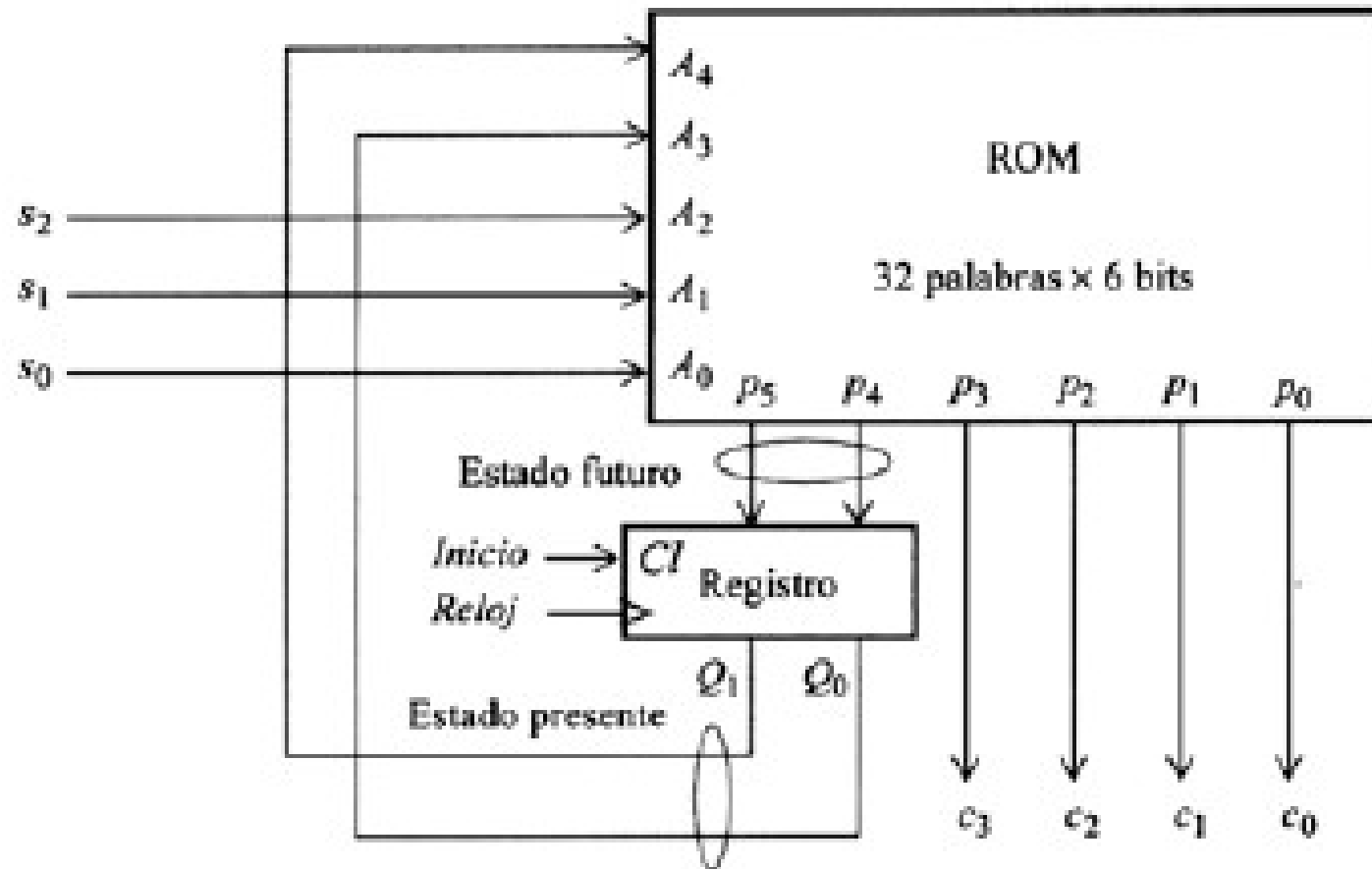
Figura 5.30: Unidad de control con un elemento de memoria por estado para el multiplicador binario

### 5.5.8 Unidad de control diseñada utilizando un registro de estado y una memoria ROM

- Se utiliza una memoria ROM en la que en el bus de direcciones se conectan las entradas y las salidas del registro que indican el estado actual.
- En cada una de las posiciones de memoria de la ROM se escribe la información correspondiente al próximo estado y a las señales de control.



**Figura 5.31:** Estructura básica de un circuito secuencial con una memoria ROM



Unidad de Control diseñada con una memoria ROM y un registro

Dirección de la ROM			Contenido de la ROM	
Estado presente	$s_1$	$s_0$	Próximo estado	$c_0$ $c_1$ $c_2$ $c_3$
0	00	000	00	0000
1	00	001	00	0000
2	00	010	00	0000
3	00	011	00	0000
4	00	100	01	1001
5	00	101	01	1001
6	00	110	01	1001
7	00	111	01	1001
8	01	000	10	0000
9	01	001	10	0100
10	01	010	10	0000
11	01	011	10	0100
12	01	100	10	0000
13	01	101	10	0100
14	01	110	10	0000
15	01	111	10	0100
16	10	000	01	0011
17	10	001	01	0011
18	10	010	00	0011
19	10	011	00	0011
20	10	100	01	0011
21	10	101	01	0011
22	10	110	00	0011
23	10	111	00	0011

**Tabla 5.8:** Contenido de la memoria ROM de la unidad de control del multiplicador



# Selección por estado

## Memoria ROM, registro y un multiplexor

- Cuando el paso de un estado a otro depende únicamente de una sola variable en cada caso , se puede reducir el número de bits del bus de direcciones en base a colocar un multiplexor en las entradas de condiciones de paso y elegir con la configuración de los estados la entrada del multiplexor que provocará el cambio de estado.
- Hay tantos estados como variables de condición

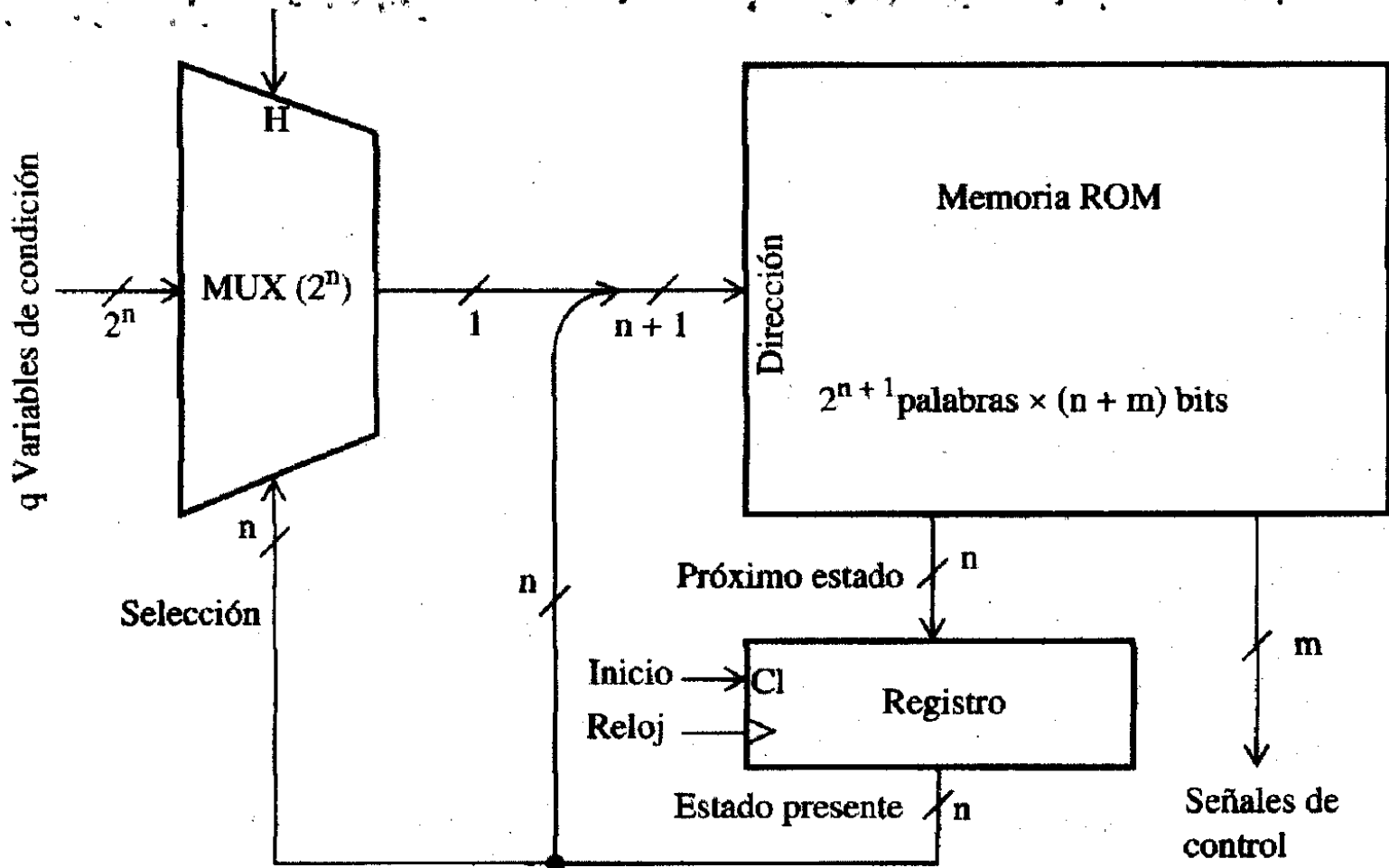
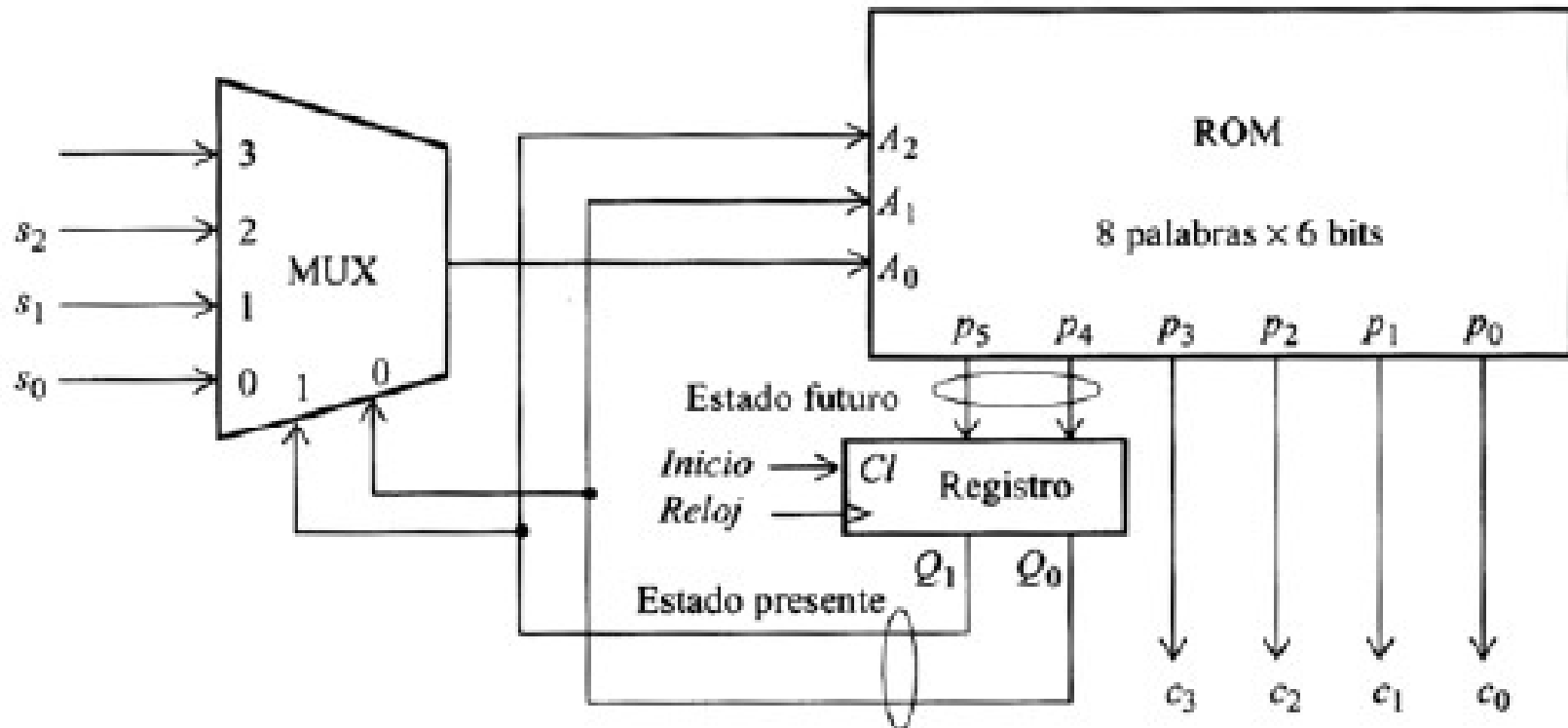


figura 5.32: Unidad de control con una memoria ROM y un multiplexor (selección por estado)



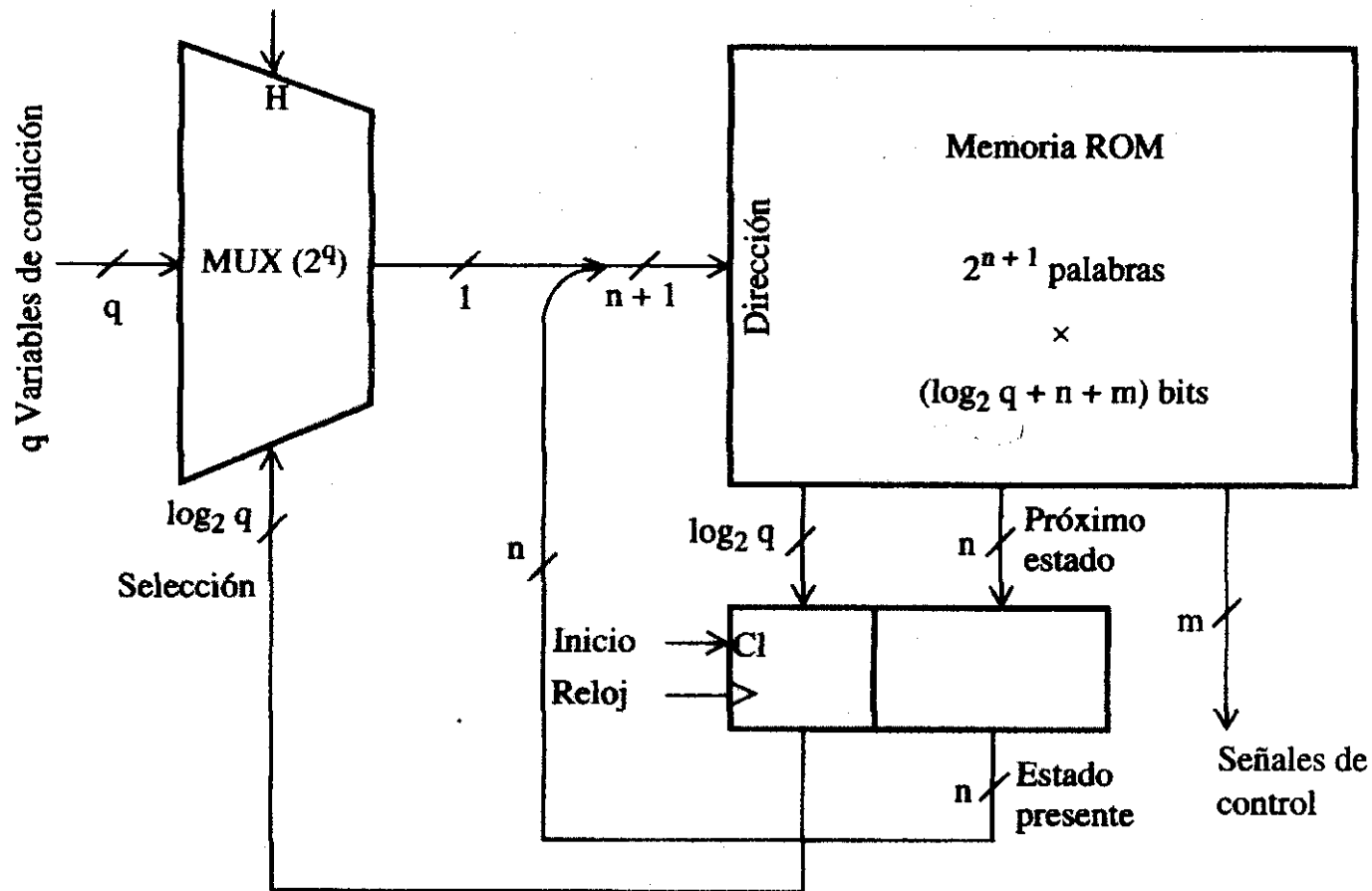
Unidad de Control con una ROM y un multiplexor (selección por estado)

Dirección de la ROM			Contenido de la ROM				
Estado presente		Señal de condición	Próximo estado	$c_0$	$c_1$	$c_2$	$c_3$
0	00	0 ( $I = 0$ )	00	0	0	0	0
1	00	1 ( $I = 1$ )	01	1	0	0	1
2	01	0 ( $s_0 = 0$ )	10	0	0	0	0
3	01	1 ( $s_0 = 1$ )	10	0	1	0	0
4	10	0 ( $s_1 = 0$ )	01	0	0	1	1
5	10	1 ( $s_1 = 1$ )	00	0	0	1	1

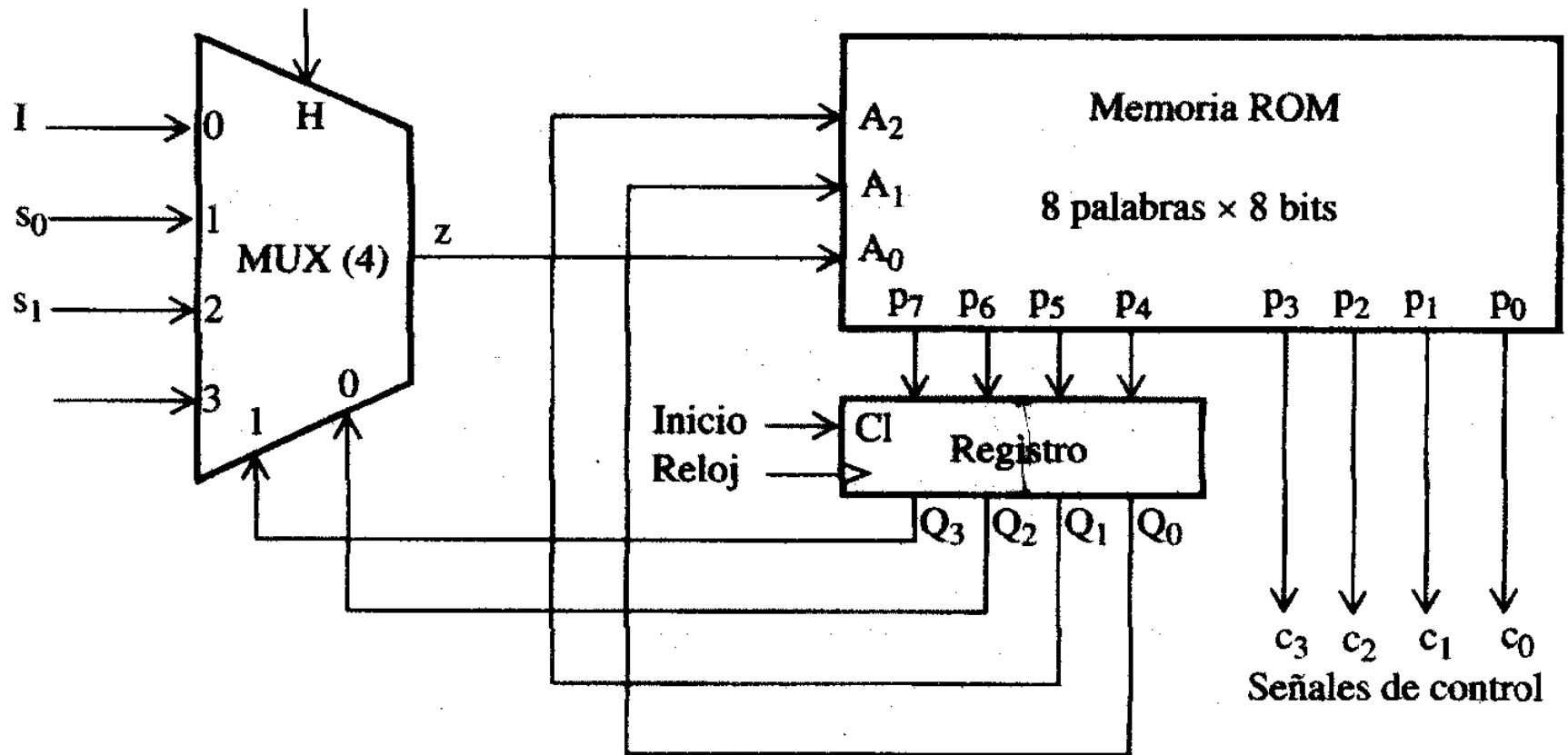
**Tabla 5.9:** Contenido de la memoria ROM (método de selección por estado)

# Selección por campo

- Si cada estado solo depende de una variable de condición y el número de variables de condición es más pequeño que el número de estados
- Se reservan en la memoria ROM un tercer campo en el que se escribirá el número de la condición de entrada que provoca el cambio de estado.
- Este nuevo campo actúa al selector del multiplexor y de esta manera hace falta solamente un multiplexor con tantos canales como señales de condición,
- En contrapartida la ROM se verá ampliada en su anchura de palabra.



**Figura 5.34:** Unidad de control con una memoria ROM y un multiplexor (método de selección por campo)



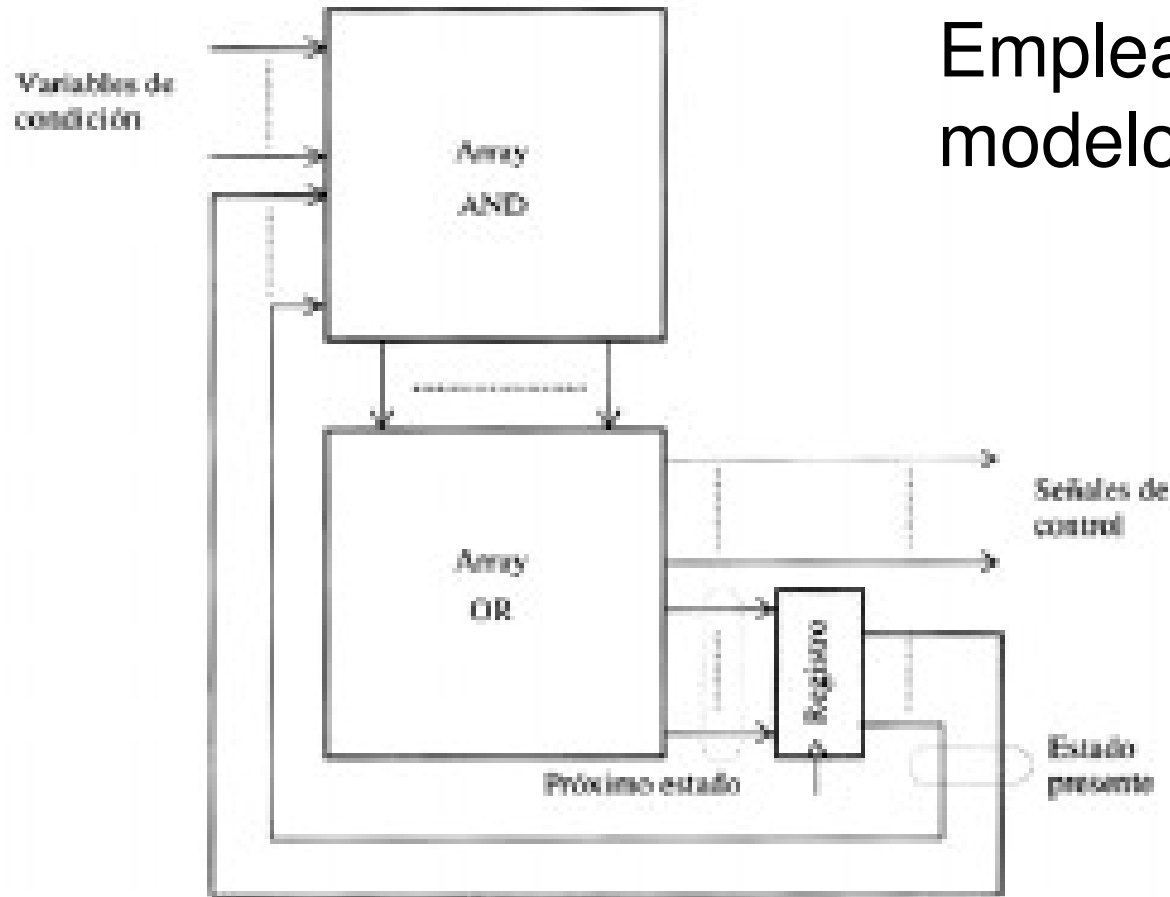
**Figura 5.35:** Unidad de control del multiplicador (selección por campo)

Dirección de la ROM			Contenido de la ROM							
Estado presente	Señal de condición		P <sub>7</sub>	P <sub>6</sub>	P <sub>5</sub>	P <sub>4</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>
							c <sub>0</sub>	c <sub>1</sub>	c <sub>2</sub>	c <sub>3</sub>
0	00	0 (I = 0)	0	0	0	0	0	0	0	0
1	00	1 (I = 1)	0	1	0	1	1	0	0	1
2	01	0 (s <sub>0</sub> = 0)	1	0	1	0	0	0	0	0
3	01	1 (s <sub>0</sub> = 1)	1	0	1	0	0	1	0	0
4	10	0 (s <sub>1</sub> = 0)	0	1	0	1	0	0	0	1
5	10	1 (s <sub>1</sub> = 1)	0	0	0	0	0	0	0	1

Contenido de la memoria ROM (método de selección por campo)



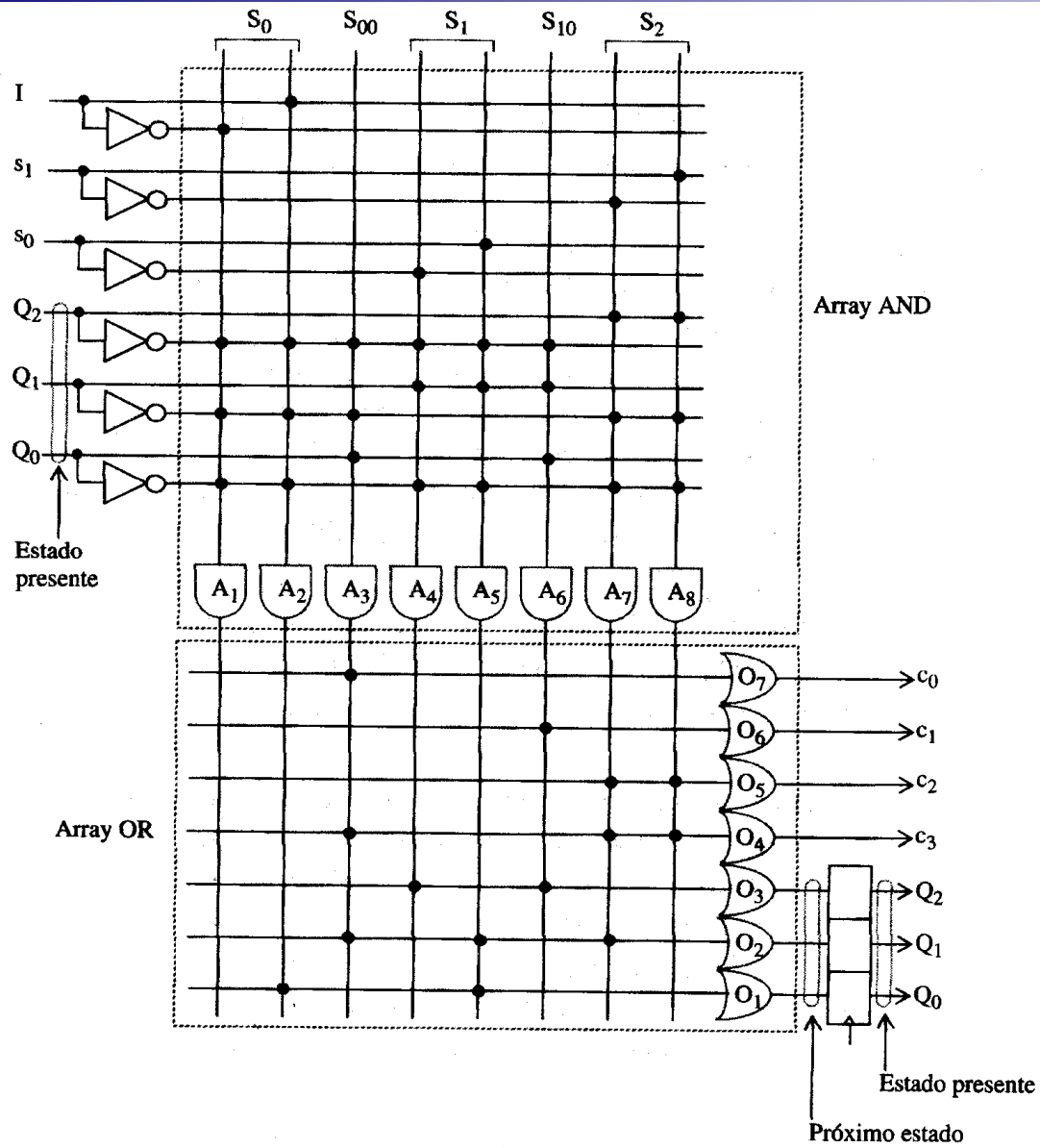
## 5.5.10 Unidad de control diseñada utilizando un registro de estado y un PLA (array lógico



Empleamos el modelo de Moore

## Nº de puertas

- En el array OR debe existir una puerta OR de salida por cada señal de control a generar y por cada bit del registro de estado
- En el array AND para cada estado  $S_i$  de la tabla de estados se utiliza un número de puertas AND igual al número de estados que se puede alcanzar desde  $S_i$



**Figura 5.39:** Realización de la unidad de control del multiplicador con un PLA

## 5.5.11 Resumen del procedimiento de diseño a nivel de registro

- Definir el comportamiento del sistema digital mediante un conjunto  $S$  de secuencias de operaciones de transferencia de registros (algoritmo)
- Analizar el algoritmo
- Construir el diagrama de bloques del sistema digital
- Diseñar la unidad de control
- Comprobar el funcionamiento del diseño resultante