

PROBLEMAS

TEMA 5: Diseño de transferencia entre registros

Problemas propuestos en examen

5.1 Se desea diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Indicar cual de las siguientes afirmaciones es cierta : Si en el diseño interesa minimizar, sobre todo, el tamaño del multiplexor a utilizar, se emplearía.

- I. Un MUX con selección por estado.
- II. Un MUX con selección por campo.

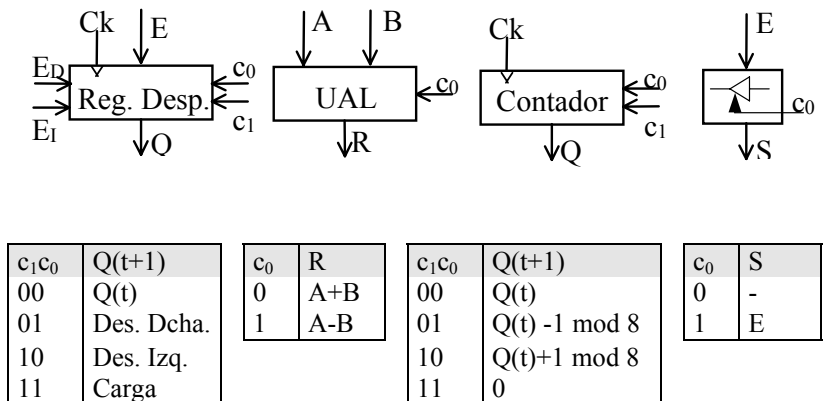
5.2 Se desea diseñar una Unidad de Control con 18 estados, que genere 30 señales de control totalmente independientes y reciba 4 señales de condición, utilizando memoria ROM pero minimizando la capacidad necesaria de ésta, ya que en cada estado se utiliza, como máximo, una única condición. Utilizando un multiplexor con *selección por campo* para diseñar esta Unidad de Control, explicar razonadamente el tamaño del registro, del multiplexor y de la memoria ROM que sería necesario utilizar.

5.3 El siguiente algoritmo describe una determinada operación de un sistema digital.

- A) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos dibujados abajo: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 bidireccional y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos y evitar en su diseño posibles conflictos eléctricos entre ellos.
- B) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A) empleando la técnica de los *elementos de retardo*. **Detalle y explique claramente** todos y cada uno de los pasos seguidos hasta obtener la solución.

```

1: Declaración: A[8], B[8], Cont[3]; Bus[8]
2:  A ← Bus;
3:  B ← Bus, Cont=0;
4:  while Cont ≠ 7
5:    if A es par then
6:      A ← A - B, Cont = (Cont + 1) mod
7:      8;
8:    else
9:      B ← B + A, Cont = (Cont - 1) mod 8;
10:   endif;
11:  endwhile;
12:  Bus ← B;
13:  Parar;
    
```



5.4 Se desea diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Utilizando en el diseño un multiplexor con *selección por campo* haría falta una memoria ROM con tamaño de:

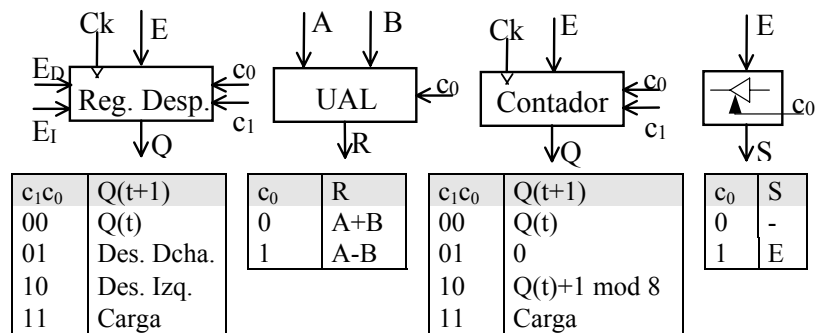
- A) 2⁸ palabras × 45 bits
- B) 2⁹ palabras × 45 bits
- C) 2⁹ palabras × 49 bits
- D) Ninguna de la anteriores

5.5 El siguiente algoritmo describe una determinada operación de un sistema digital.

- A) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos dibujados abajo: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos y evitar en su diseño posibles conflictos eléctricos entre ellos.
- B) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A) empleando *un registro de desplazamiento*. **Detalle y explique claramente** todos y cada uno de los pasos seguidos hasta obtener la solución.

```

1: Declaración: A[8], B[8], Cont[3];
Bus[8]
2: A ← Bus;
3: B ← Bus, Cont=0;
4: while A < 128
5:   if Cont < 4 then
6:     A ← A + Cont;
7:   else
8:     A ← B + A;
9:   endif;
10:  Cont = (Cont + 1) mod 8;
11: endwhile;
12: Bus ← B;
13: Bus ← A;
15: Parar;
    
```



5.6 Se desea diseñar una Unidad de Control con 18 estados, que genere 30 señales de control totalmente independientes y reciba 4 señales de condición, utilizando memoria ROM pero minimizando la capacidad necesaria de ésta, ya que en cada estado se utiliza, como máximo, una única condición. Utilizando un multiplexor con *selección por estado*, para diseñar esta Unidad de Control sería necesario utilizar:

- A) Un registro de 5 bits, un MUX 32:1 y una ROM de 2⁶ palabras × 35 bits/palabra.
- B) Un registro de 18 bits, un MUX 8:1 y una ROM de 2⁵ palabras × 48 bits/palabra.
- C) Un registro de 5 bits, un MUX 8:1 y una ROM de 2⁶ palabras × 30 bits/palabra.
- D) Ninguna de las anteriores es cierta.

5.7 A la hora de diseñar una Unidad de Control con 32 estados, que genere 4 señales de control, reciba 2 señales de condición y en un estado se puedan consultar las dos condiciones simultáneamente, decir si las siguientes afirmaciones son ciertas:

- A) Diseñándola con “elementos de retardo” sería necesario utilizar 5 biestables (2⁵=32).
- B) Diseñándola con memoria ROM haría falta un módulo de 2⁷ palabras × 5 bits/palabra.
- C) Diseñándola con un contador haría falta un contador módulo-5.
- D) Ninguna de las anteriores es cierta.

5.8 A la hora de diseñar una Unidad de Control con 64 estados, que genere 30 señales de control totalmente independientes, reciba 5 señales de condición que pueden ser consultadas simultáneamente en cualquier estado, decir si las siguientes afirmaciones son ciertas:

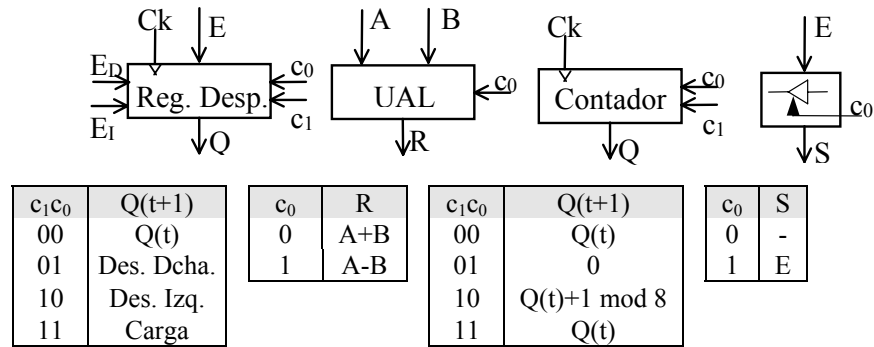
- A) Diseñándola con “elementos de retardo” sería necesario utilizar 6 biestables (2⁶=64).
- B) Diseñándola con memoria ROM haría falta un módulo de 2¹¹ palabras × 30 bits/palabra.
- C) Diseñándola con un contador haría falta un contador módulo-64.
- D) Ninguna de las anteriores es cierta.

5.9 El siguiente algoritmo describe una determinada operación de un sistema digital.

- A) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos dibujados abajo: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos.
- B) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A) empleando cualquiera de los métodos propuestos en la asignatura. **Detalle y explique claramente** todos y cada uno de los pasos seguidos hasta obtener la solución.

```

1: Declaración: A[8], B[8], Cont[3];
2: A ← Bus;
3: B ← Bus;
4: for Cont = 0 to 7 do
5:   if Cont es par then
6:     A ← A + B; A ← A / 2
7:   else
8:     B ← B - A; B ← B * 2
9:   endif;
10: endfor;
11: Bus ← A;
12: Bus ← B;
13: Parar;
    
```



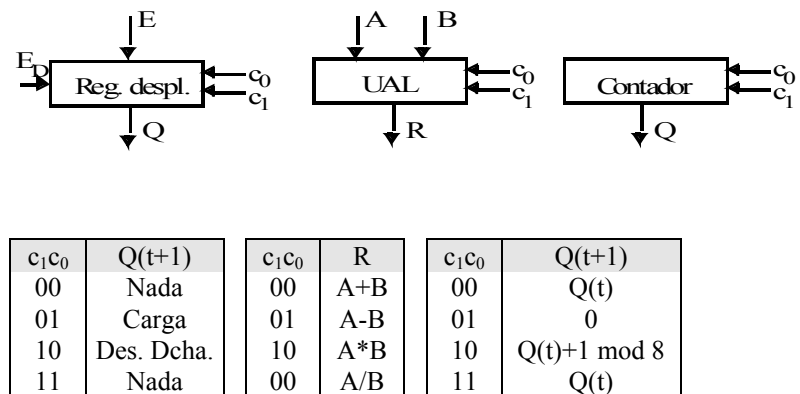
5.10 El siguiente algoritmo describe una determinada operación de un sistema digital, siendo C(0) el bit menos significativo del registro C. En el desplazamiento a la derecha se introduce un 0.

Utilizando los módulos dibujados abajo: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una y un contador módulo-8; además de biestables tipo D, puertas lógicas y los módulos combinacionales que considere necesarios:

- A) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo.
- B) Diseñar la Unidad de Control, utilizando la técnica de elementos de retardo, que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A)

```

1: Declaración de registros : A[8], B[8], C[8],
Contador[3]
2: A ← Bus
3: B ← Bus
4: C ← Bus
5: for Contador = 0 to 7 do
6:   begin
7:     if C(0)≠C(1) then A ← A / B
8:     else A ← A + B endif
9:     Desplazar derecha (C)
10:   end
11: Parar;
    
```

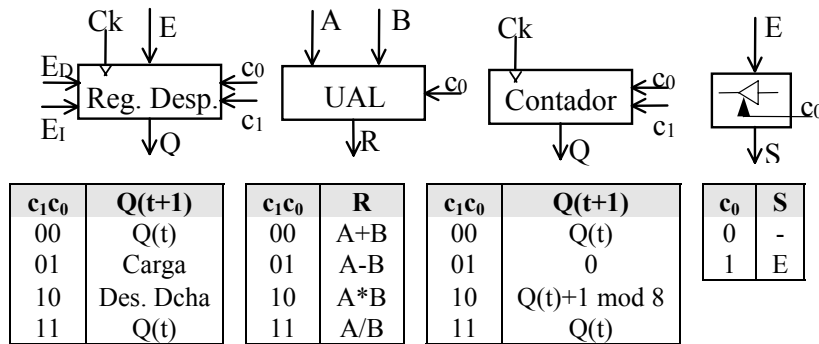


5.11 El siguiente algoritmo describe una determinada operación de un sistema digital, siendo C(i) el bit i del registro C (C(0) es el bit menos significativo).

- a) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos dibujados abajo : registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 y un circuito triestado de conexión unidireccional con control de 8 bits, además de puertas logicas y los módulos combinatoriales que considere necesarios. En el desplazamiento a la derecha se introduce un 0.
- b) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A), utilizando una memoria ROM y los elementos que considere necesarios. Debe indicar la estructura de la Unidad de Control y el contenido de la memoria ROM **detallada y razonadamente**. Se valorará la utilización de una ROM de tamaño mínimo

```

1: Declaración: A[8], B[8], C[8], Contador [3] ;
2:   A←Bus;
3:   B←Bus;
4:   C←Bus;
5:   for Contador=0 to 3 do
6:     begin
7:       if C(3)=C(5) then A←A*B
8:       else A←A-B endif;
9:       Desplazar Derecha (C);
10:    end
11:   Bus←A;
12:   Parar ;
    
```



5.12 Diseñe un circuito digital(unidad de procesamiento + unidad de control) que realice el algoritmo que se muestra en el recuadro. Para ello siga los siguientes apartados :

- a) Diseñe razonadamente la unidad de procesamiento, utilizando los recursos que considere necesarios.
- b) Describa todas las señales de control de la Unidad de Procesamiento diseñada en A).
- c) Dibuje el diagrama de estados de una Unidad de Control que realice el algoritmo propuesto. Describa en forma de tabla, las microoperaciones y las señales de control activadas en cada uno de los estados.
- d) Diseñe razonadamente la Unidad de Control, empleando cualquiera de las técnicas de diseño estudiadas a lo largo del curso. Indique claramente todos los pasos seguidos.

```

1 : Declaración de registros: A[8], X[8] ;
2 : Declaración de buses : Bus-Entrada[8], Bus-Salida[8];
3 :Inicio: X←Bus-Entrada ;
4 : A←Bus-Entrada ;
5 : Test: if X=255 then go to Sumar ;
6 : Restar: A←A-1 ;
7 : go to Sacar ;
8 : Sumar : A←A+1 ;
9 : Sacar : Bus-Salida←A ;
10 : Parar : go to Parar ;
    
```

5.13 Se desea diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Utilizando en el diseño un multiplexor con selección por campo ¿Cuántas entradas de datos tendría el multiplexor utilizado ?

5.14 Se desea diseñar con una memoria ROM una unidad de control con 128 estados, que genere 244 señales de control totalmente independientes y que reciba 20 señales de condición pero en cada estado van a ser consultadas como máximo una de ellas. La memoria ROM usada tiene un coste de 10 ptas/Kbit. Indicar si las siguientes afirmaciones son verdaderas o falsas:

- I) Si se utiliza un diseño con selección por estado el coste de la ROM es de 640 ptas.
- II) Si se utiliza un diseño con selección por campo el coste de la ROM es de 640 ptas.

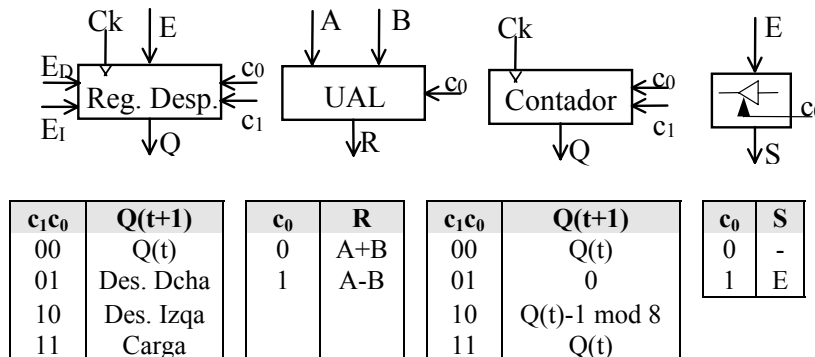
5.15 El siguiente algoritmo describe una determinada operación de un sistema digital.

```

1: Declaración: A[8], B[8], Cont[3];
2: A ← Bus;
3: B ← 0;
4: for Cont = 0 to 7 do
5:     if A[0] es 1 then
6:         B ← B + 1;
7:     endif;
8:     Despl.CerradoDcha(A);
9: endfor
10: Bus ← B;
11: Parar;
    
```

A) (2 puntos) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos de la Figura : registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos.

B) (2 puntos) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A) empleando un elemento de memoria tipo D por estado. Detalle y explique claramente todos y cada uno de los pasos seguidos hasta obtener la solución.



5.16 El siguiente algoritmo describe una determinada operación de un sistema digital.

```

1: Declaración: A[8], B[8], Cont[4]; Bus[8]
2: A ← Bus;
3: B ← Bus, Cont = 0;
4: while Cont ≠ 14
5:     if A es múltiplo de 4 then
6:         A ← A - B, Cont = (Cont + 2) mod 16;
7:     else
8:         B ← B + A;
9:     endif;
10: endwhile;
11: Bus ← B;
12: Bus ← A;
13: Parar;
    
```

- A) (2 puntos) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos de la Figura 2: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-16 bidireccional y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos y evitar en su diseño posibles conflictos eléctricos entre ellos.
- B) (2 puntos) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A) empleando la técnica de los elementos de retardo. **Detalle y explique claramente** todos y cada uno de los pasos seguidos hasta obtener la solución.

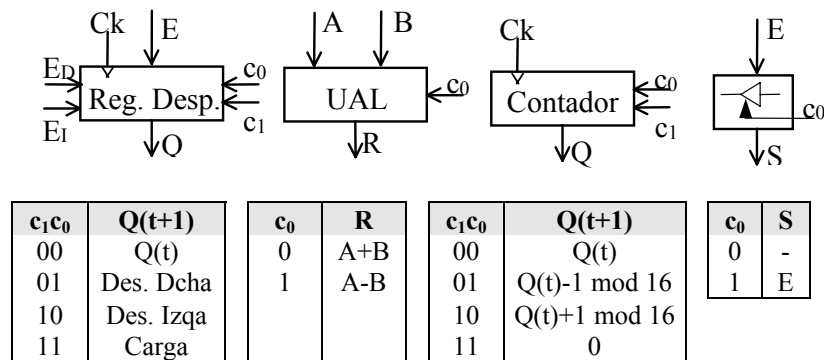


Figura 2: Módulos secuenciales del problema con sus tablas de funcionamiento.

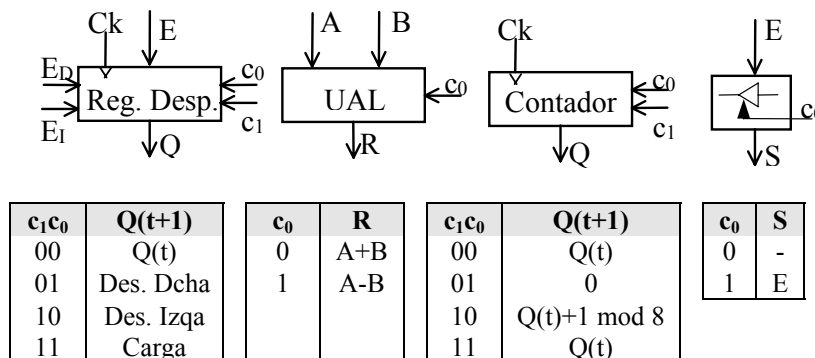
5.17 El siguiente algoritmo describe una determinada operación de un sistema digital.

```

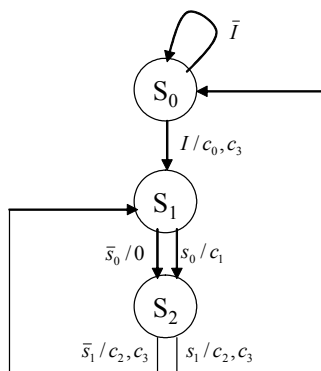
1: Declaración: A[8], B[8], Cont[3];
2: A ← Bus;
3: B ← -1;
4: for Cont = 0 to 3 do
5:     if A1 A0 ≠ 0 1 then
6:         B ← -0;
7:     endif;
8:     Despl.CerradoDcha(A);
9:     Despl.CerradoDcha(A);
10: endfor
11: Bus ← -B;
12: Parar;
    
```

- A) (2 puntos) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando, si son necesarios, los módulos dibujados abajo: registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos.
- B) (2 puntos) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado A) empleando un elemento de memoria tipo D por estado. **Detalle y explique claramente** todos y cada uno de los pasos seguidos hasta obtener la solución.

Nota: A₀ es el bit menos significativo de A.

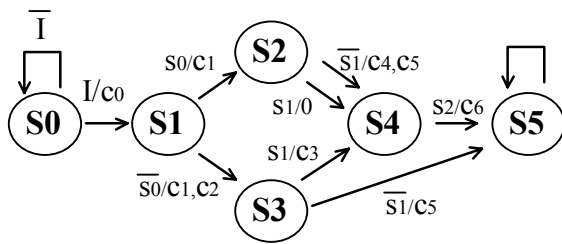


5.18 Considérese el diagrama de estados, correspondiente a una unidad de control, mostrado en la figura adjunta. Señale cuál de las siguientes afirmaciones es correcta:



- A) Puede realizarse la síntesis de la unidad de control empleando un registro de 2 bits y una memoria ROM de 32 palabras, con 8 bits por palabra.
- B) Puede realizarse la síntesis de la unidad de control empleando un registro de 2 bits, un multiplexor de 4 a 1, y una memoria ROM de 8 palabras, con 8 bits por palabra.
- C) Las dos anteriores son correctas.
- D) Todas las anteriores son falsas.

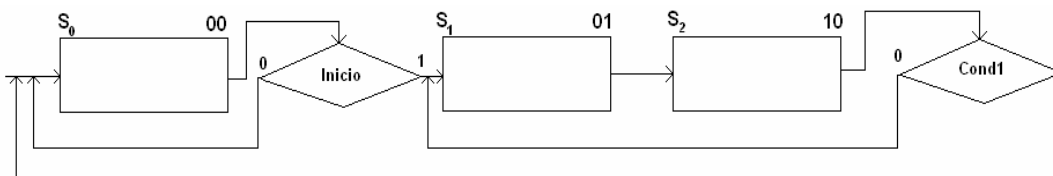
5.19 En la figura adjunta se muestra el diagrama de estados de una unidad de control. Indique cuál de las siguientes afirmaciones, acerca de las señales de control (c_i), es correcta.



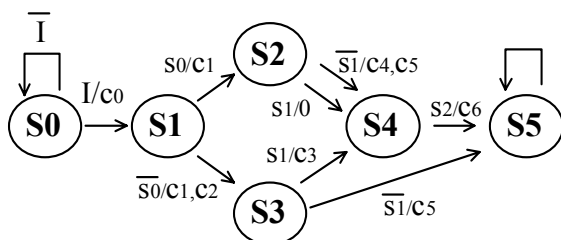
- A) $c_1 = S_1$
- B) $c_5 = S_2 \cdot \overline{S_1}$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas

5.20 Dado el diagrama ASM de la figura, y suponiendo que para cada estado se debe generar una sola señal de control (c_0 en S₀, c_1 en S₁ y c_2 en S₂). Indicar cuál de las siguientes afirmaciones es verdadera.

- I. Para implementarlo se puede usar un registro de 4 bits y una ROM de 16 de palabras de 4 bits.
- II. Para implementarlo se puede usar la técnica de selección por estado con lo que el multiplexor asociado tiene 4 entradas con 2 entradas de selección y la ROM un tamaño de 8 palabras de 5 bits.



5.21 En la figura adjunta se muestra el diagrama de estados de una unidad de control. Indique cuál de las siguientes afirmaciones es correcta.



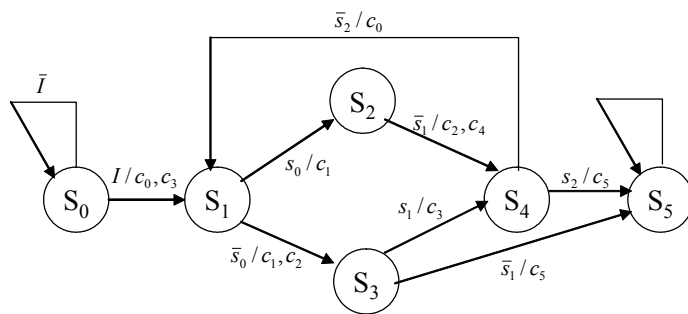
- A) Puede realizarse la síntesis de la unidad de control empleando un registro de 3 bits y una memoria ROM de 27 palabras, con 16 bits por palabra.
- B) Puede realizarse la síntesis de la unidad de control empleando un registro de 3 bits, un multiplexor de 8 a 1, y una memoria ROM de 16 palabras, con 16 bits por palabra.
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

5.22 Una unidad de control, cuya tabla de estados del modelo de Huffman-Mealy se muestra a continuación, se implementa usando dos elementos de memoria tipo D. Para ello, se realiza la asignación de estados siguiente: S₀: {Q₁=0, Q₀=0}, S₁: {Q₁=0, Q₀=1}, S₂: {Q₁=1, Q₀=0} y S₃: {Q₁=1, Q₀=1}. Indique si las siguientes afirmaciones, acerca de las funciones de entrada a los elementos de memoria, son correctas:

Estado presente	Próximo estado			
	$\overline{I} \cdot \overline{s_0}$	$\overline{I} \cdot s_0$	$I \cdot \overline{s_0}$	$I \cdot s_0$
S ₀	S ₀	S ₀	S ₁	S ₁
S ₁	S ₃	S ₂	S ₃	S ₂
S ₂	S ₀	S ₃	S ₀	S ₃
S ₃	S ₃	S ₃	S ₃	S ₃

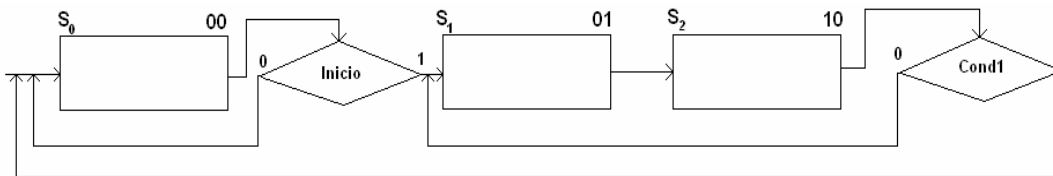
- A) $D_1 = Q_0 + Q_1 \cdot s_0$
- B) $D_0 = Q_0 \cdot \overline{s_0} + Q_1 \cdot s_0 + \overline{Q_0} \cdot \overline{Q_1} \cdot I$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

5.23 En la figura adjunta se muestra el diagrama de estados de una unidad de control. Indique cuál de las siguientes afirmaciones, acerca de las señales de control (c_i), es correcta.



- A) $c_3 = S_3 \cdot s_1$
- B) $c_5 = S_4 \cdot \bar{s}_2 + S_3 \cdot \bar{s}_1$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas

5.24 Dado el diagrama ASM de la Figura, indicar cuántos elementos de memoria tipo J-K son necesarios para implementarlo si se usa la técnica de diseño con un elemento de memoria por estado.



5.25 A continuación se muestra la tabla de estados del modelo de Huffman-Mealy de una unidad de control. Dicha unidad de control se implementa usando dos elementos de memoria tipo D. Para ello, se realiza la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$. Indique si las siguientes afirmaciones, acerca de las funciones de entrada a los elementos de memoria, son correctas. (Nota: el biestable D_i almacena Q_i).

Estado presente	Próximo estado			
	$\bar{I} \cdot \bar{s}_0$	$\bar{I} \cdot s_0$	$I \cdot \bar{s}_0$	$I \cdot s_0$
S_0	S_0	S_0	S_1	S_1
S_1	S_3	S_2	S_3	S_2
S_2	S_3	S_1	S_3	S_1
S_3	S_3	S_0	S_3	S_0

- A) $D_1 = \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{s}_0$
- B) $D_0 = Q_0 \cdot \bar{s}_0 + \bar{Q}_0 \cdot (s_0 + I)$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

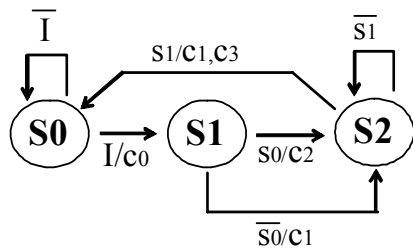
5.26 En el diseño de una Unidad de Control de 20 estados con una memoria ROM, un registro y un multiplexor, empleando el método de selección por campo, es necesario que el registro tenga una capacidad de:

- A) 5 bits
- B) 6 bits
- C) Faltan datos para calcularlo
- D) Ninguna de las anteriores

5.27 En el diseño de una Unidad de Control de 32 estados con una memoria ROM, un registro y un multiplexor, empleando el método de selección por campo, y siendo posible consultar en cada estado una única condición de las 10 existentes, es necesario que el registro tenga una capacidad de:

- A) 5 bits
- B) 10 bits
- C) Faltan datos para calcularlo
- D) Ninguna de las anteriores

5.28 En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique si las siguientes afirmaciones son verdaderas:



- I. La unidad de control se puede implementar usando un registro de 2 bits y una memoria ROM de 2^5 palabras, con 6 bits por palabra.
- II. La unidad de control se puede implementar usando un MUX (2^2), un registro de 2 bits y una memoria ROM de 2^3 palabras, con 6 bits por palabra.

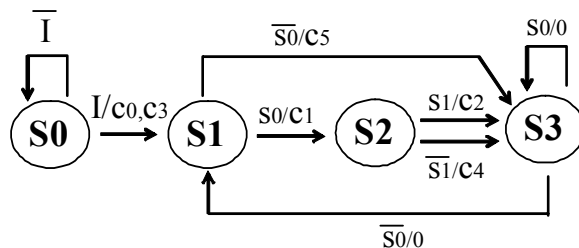
5.29 El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados (S_0, S_1, S_2, S_3) y dos señales de condición (I, s_0). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$. Las funciones de entrada de los elementos de memoria son las siguientes:

$$D_0 = Q_1 + \overline{Q_0} \cdot I + Q_0 \cdot s_0 \qquad D_1 = s_0 \cdot Q_1 + \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}$$

Indique si las siguientes afirmaciones son verdaderas:

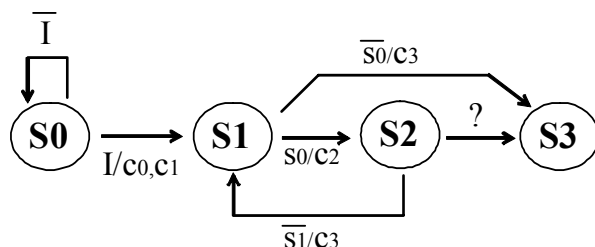
- I. Cuando el estado presente es S_2 , entonces el próximo estado es S_3 .
- II. Cuando el estado presente es S_1 y se verifica $s_0=1$, entonces el estado siguiente es S_2 .

5.30 Una unidad de control, cuyo diagrama de estados de Huffman-Mealy se muestra en la figura, se implementa usando dos elementos de memoria tipo D. Para ello, se realiza la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$. Indique si las siguientes afirmaciones, acerca de la función de entrada al segundo elemento de memoria, son verdaderas:



- A) $D_1 = s_0 \cdot Q_1 + \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}$
- B) $D_1 = s_0 \cdot Q_0 + \overline{Q_1} \cdot Q_0 + Q_1 \cdot \overline{Q_0}$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

5.31 En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique cuál de las siguientes opciones puede sustituir al símbolo interrogación (“?”), que se muestra en la transición entre S_2 y S_3 , de tal modo que esta unidad de control pueda ser implementada usando un MUX (2^2), un registro de 2 bits y una memoria ROM de 2^3 palabras, con 6 bits por palabra:



- A) $s_2 / c_2, c_3$
- B) s_1 / c_4
- C) Las dos anteriores son correctas.
- D) Ninguna de las anteriores es correcta.

5.32 El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados (S_0, S_1, S_2, S_3) y dos señales de condición (I, s_0). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$.

Estado presente $Q_1 Q_0$	Próximo estado			
	$\bar{I} \bar{s}_0$	$\bar{I} s_0$	$I \bar{s}_0$	$I s_0$
00	00	00	01	01
01	11	10	11	10
10	11	01	11	01
11	11	00	11	00

Tabla de transiciones de estado

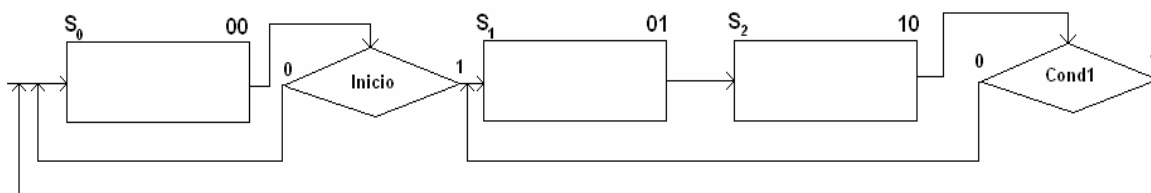
Indique si las siguientes afirmaciones, acerca de las funciones de entrada de los elementos de memoria, son verdaderas:

I. $D_0 = Q_1 + I \cdot (\bar{s}_0 + \bar{Q}_0)$

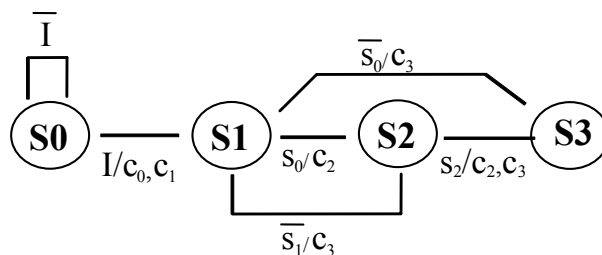
II. $D_1 = \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{s}_0$

5.33 Dado el diagrama ASM de la figura, y suponiendo que para cada estado se debe generar una sola señal de control (c_0 en S_0 , c_1 en S_1 y c_2 en S_2). Indique cuál de las siguientes afirmaciones es verdadera.

- I. Para implementarlo se puede usar un registro de 2 bits y una ROM de 8 de palabras de 8 bits.
- II. Para implementarlo se puede usar la técnica de selección por estado con lo que el multiplexor asociado tiene 4 entradas con 2 entradas de selección y la ROM un tamaño de 8 palabras de 8 bits.



5.34 En la figura se muestra el diagrama de estados de Huffman-Mealy de una unidad de control. Indique si las siguientes afirmaciones son verdaderas:



- I. La unidad de control se puede implementar usando dos MUX (2^2), un registro de cuatro bits y una memoria ROM de 2^4 palabras con 16 bits por palabra.
- II. La unidad de control se puede implementar usando un MUX (2^2), un registro de dos bits y una memoria ROM de 2^3 palabras con 16 bits por palabra.

5.35 El diagrama de Huffman-Mealy de una unidad de control tiene cuatro estados (S_0, S_1, S_2, S_3) y dos señales de condición (I, s_0). Para implementar esta unidad de control, se han usado dos elementos de memoria tipo D y se ha realizado la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$.

Estado presente $Q_1 Q_0$	Próximo estado			
	$\bar{I} \bar{s}_0$	$\bar{I} s_0$	$I \bar{s}_0$	$I s_0$
00	00	00	01	01
01	11	10	11	10
10	11	01	11	01
11	11	00	11	00

A la izquierda, se muestra la tabla de transición de estados. Indique si las siguientes afirmaciones, acerca de la función de entrada al segundo elemento de memoria, son verdaderas:

A) $D_1 = s_0 \cdot Q_1 + \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0$

B) $D_1 = s_0 \cdot Q_0 + \bar{Q}_1 \cdot Q_0 + Q_1 \cdot \bar{Q}_0$

C) Las dos afirmaciones anteriores son correctas.

D) Todas las afirmaciones anteriores son falsas.

5.36 Se desea diseñar con una memoria ROM una unidad de control con 64 estados, que genere 26 señales de control totalmente independientes y que reciba 8 señales de condición pero en cada estado van a ser consultadas como máximo una de ellas. La memoria ROM usada tiene un coste de 0,20 euros/Kbit. Indicar cuál de las siguientes afirmaciones es cierta:

- A) Si se utiliza un diseño con selección por estado el coste de la ROM es de 1 euro.
- B) Si se utiliza un diseño con selección por campo el coste de la ROM es de 1,5 euros.
- C) Ambos diseños tienen el mismo coste.
- D) Ninguna de las anteriores.