

99

El siguiente algoritmo describe una determinada operación de un sistema digital.

- a) (2 puntos) Diseñar la Unidad de Procesamiento que permita realizar este algoritmo utilizando los módulos dibujados abajo (Figura 99-2-1): registros de desplazamiento de 8 bits, una UAL con dos entradas de 8 bits cada una, un contador módulo-8 y circuitos triestado de conexión unidireccional con control de 8 bits; además de puertas lógicas y los módulos combinacionales (MUX, DMUX, codificadores y decodificadores) que considere necesarios. Debe tener en cuenta que al bus vuelcan datos múltiples dispositivos y evitar en su diseño posibles conflictos eléctricos entre ellos.
- b) (2 puntos) Diseñar la Unidad de Control que ejecute este algoritmo con la Unidad de Procesamiento diseñada en el apartado a) empleando un registro de desplazamiento. **Detalle y explique claramente** todos y cada uno de los pasos seguidos hasta obtener la solución.

```

1: Declaración: A[8], B[8], Cont[3]; Bus[8]
2: A ← Bus;
3: B ← Bus, Cont=0;
4: while A < 128
5:   if Cont < 4 then
6:     A ← A + Cont;
7:   else
8:     A ← B + A;
9:   endif;
10:  Cont = (Cont + 1) mod 8;
11: endwhile;
12: Bus ← B;
13: Bus ← A;
15: Parar;
    
```

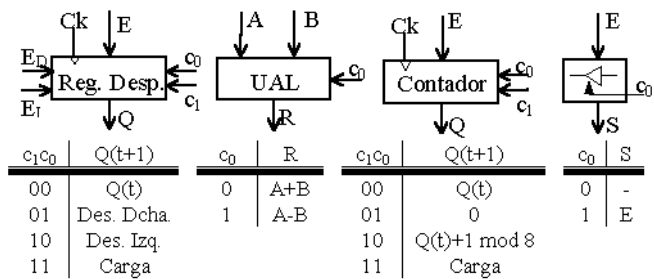


Figura 99-2-1: Módulos del problema y debajo su tabla de funcionamiento

99

a) A la vista del algoritmo propuesto, la Unidad de Control ha de tener dos registros A y B. Se debe poder cargar el registro A bien desde el bus o bien desde la UAL; sólo es necesario poder cargar el registro B desde el bus. Ambos registros deben poder enviar su contenido a la UAL para realizar operaciones aritméticas con ellos. El ciclo while se controlará mediante el valor del registro A y el bucle if mediante un contador módulo-8.

La Figura 99-2-2 muestra el diagrama de una posible Unidad de Procesamiento que cumple todos los requisitos. La carga del registro A se realiza a través de un multiplexor que selecciona el bus o la salida de la UAL. Los registros A y B se vuelcan al bus a través de puertas triestado que evitan posibles conflictos eléctricos. Las entradas E_D y E_I de los registros no se utilizan en este problema.

La señal de condición s_0 indica $A \geq 128$, lo que implica que el bit más significativo de A (A_7) sea 1. La señal de condición s_1 indica $CONT \geq 4$, lo que implica que el bit más significativo de CONT ($CONT_2$) sea 1.

La salida de CONT es de 3 bits. Por este motivo, para introducir CONT en la UAL, hay que completarlo con 5 ceros en las posiciones más significativas:

$$00000CONT_2CONT_1CONT_0$$

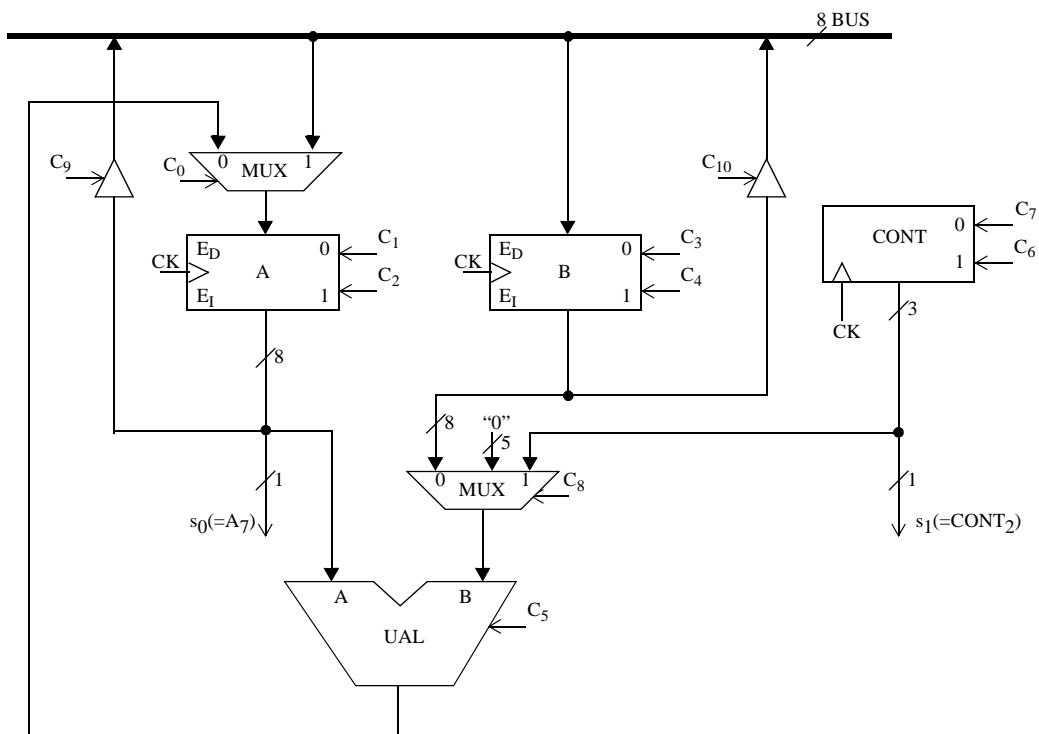


Figura 99-2-2: Unidad de Procesamiento

El significado de las señales de control se muestra en la Tabla 99-2-1.

Sñales de Control	Operación
C ₀	Selecciona BUS (1) o UAL (0)
C ₁ , C ₂	Control del registro de desplazamiento A (según Figura 99-2-1)
C ₃ , C ₄	Control del registro de desplazamiento B (según Figura 99-2-1)
C ₅	Suma (0) o resta (1)
C ₆ , C ₇	Control del contador(según Figura 99-2-1)
C ₈	Selecciona B (0) o CONT (1)

Tabla 99-2-1: Significado de las señales de control

Señales de Control	Operación
C ₉	A → BUS
C ₁₀	B → BUS

Tabla 99-2-1: Significado de las señales de control

b) El diagrama de estados de la Unidad de Control que realiza el algoritmo pedido en la Unidad de Procesamiento propuesta se muestra en la Figura 99-2-3 (la solución no es única y no se ha buscado minimizar el número de estados). El significado de cada uno de sus estados se detalla en la Tabla 99-2-2.

Estado	Microoperaciones	Señales de control
S ₀	A ← BUS	C ₀ , C ₁ , C ₂
S ₁	B ← BUS CONT = 0	C ₃ , C ₄ C̄ ₆ , C ₇
S ₂	-----	-----
S ₃	-----	-----
S ₄	A ← A + CONT	C̄ ₀ , C ₁ , C ₂ , C̄ ₅ , C ₈
S ₅	A ← B + A	C̄ ₀ , C ₁ , C ₂ , C̄ ₅ , C̄ ₈
S ₆	CONT ← (CONT + 1) mod 8	C ₆ , C̄ ₇
S ₇	BUS ← B	C ₁₀
S ₈	BUS ← A	C ₉
S ₉	(Parar)	-----

Tabla 99-2-2: Significado de los estados

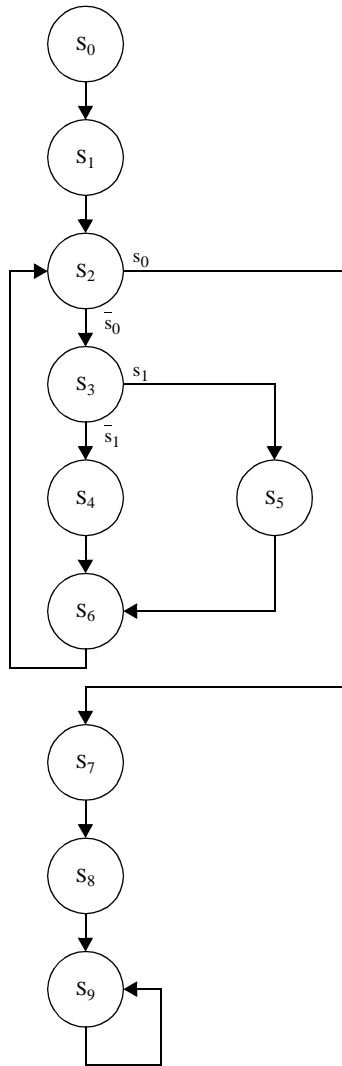


Figura 99-2-3: Diagrama de estados de la Unidad de Control propuesta

La tabla de transición de estados correspondiente para una Unidad de Control basada en un *registro de desplazamiento* se muestra en la Tabla 99-2-3. La codificación de los estados se ha realizado procurando minimizar el número de cargas en paralelo del registro. La Tabla 99-2-4 está más detallada, y tiene en cuenta la codificación de los estados.

Estado	Código	Condición	Transición	Operación	E_D
S_0	0 0 0 0 (0)	---	$S_0 \rightarrow S_1$	DD	1
S_1	1 0 0 0 (8)	---	$S_1 \rightarrow S_2$	DD	1
S_2	1 1 0 0 (12)	\bar{s}_0 s_0	$S_2 \rightarrow S_3$ $S_2 \rightarrow S_7$	DD L	1 -
S_3	1 1 1 0 (14)	\bar{s}_1 s_1	$S_3 \rightarrow S_4$ $S_3 \rightarrow S_5$	DD L	1 -
S_4	1 1 1 1 (15)	---	$S_4 \rightarrow S_6$	L	-
S_5	0 1 0 1 (5)	---	$S_5 \rightarrow S_6$	DD	1
S_6	1 0 1 0 (10)	---	$S_6 \rightarrow S_2$	L	-
S_7	0 1 1 1 (7)	---	$S_7 \rightarrow S_8$	DD	1
S_8	1 0 1 1 (11)	---	$S_8 \rightarrow S_9$	DD	1
S_9	1 1 0 1 (13)	---	$S_9 \rightarrow S_9$	---	-

Tabla 99-2-3: Tabla de transición de estados

Estado	Condición	Próximo estado	$w_1 w_0$	$E_3 E_2 E_1 E_0$	Operación	E_D	S. de control
$S_0 = 0 0 0 0 (0)$	---	$S_1 = 1 0 0 0$	0 1	-----	DD	1	C_0, C_1, C_2
$S_1 = 1 0 0 0 (8)$	---	$S_2 = 1 1 0 0$	0 1	-----	DD	1	C_3, C_4, \bar{C}_6, C_7
$S_2 = 1 1 0 0 (12)$	\bar{s}_0 s_0	$S_3 = 1 1 1 0$ $S_7 = 0 1 1 1$	0 1 1 1	----- 0 1 1 1	DD L	1 -	-----

Tabla 99-2-4: Tabla de transición de estados teniendo en cuenta la codificación de los mismos

Estado	Condición	Próximo estado	w ₁ w ₀	E ₃ E ₂ E ₁ E ₀	Operación	E _D	S. de control
S ₃ = 1 1 1 0 (14)	\bar{s}_1 s ₁	S ₄ = 1 1 1 1 S ₅ = 0 1 0 1	0 1 1 1	----- 0 1 0 1	DD L	1 -	-----
S ₄ = 1 1 1 1 (15)	---	S ₆ = 1 0 1 0	1 1	1 0 1 0	L	-	$\bar{C}_0, C_1, C_2, \bar{C}_5, C_8$
S ₅ = 0 1 0 1 (5)	---	S ₆ = 1 0 1 0	0 1	-----	DD	1	$\bar{C}_0, C_1, C_2, \bar{C}_5, \bar{C}_8$
S ₆ = 1 0 1 0 (10)	---	S ₂ = 1 1 0 0	1 1	1 1 0 0	L	-	C ₆ , \bar{C}_7
S ₇ = 0 1 1 1 (7)	---	S ₈ = 1 0 1 1	0 1	-----	DD	1	C ₁₀
S ₈ = 1 0 1 1 (11)	---	S ₉ = 1 1 0 1	0 1	-----	DD	1	C ₉
S ₉ = 1 1 0 1 (13)	---	S ₉ = 1 1 0 1	0 0	-----	---	-	-----

Tabla 99-2-4: Tabla de transición de estados teniendo en cuenta la codificación de los mismos

El esquema de la Unidad de Control se muestra en la Figura 99-2-4. Las expresiones lógicas de sus entradas se obtienen de la Tabla 99-2-4:

$$w_1 = S_2s_0 + S_3s_1 + S_4 + S_6$$

$$w_2 = \bar{S}_9$$

$$E_3 = S_4 + S_6$$

$$E_2 = S_2s_0 + S_3s_1 + S_6$$

$$E_1 = S_2s_0 + S_4$$

$$E_0 = S_2s_0 + S_3s_1$$

Estas expresiones se implementan fácilmente en la Unidad de Control (Figura 99-2-4) mediante puertas lógicas. La entrada E_D del registro está fija a 1 y la entrada E₁ no se utiliza.

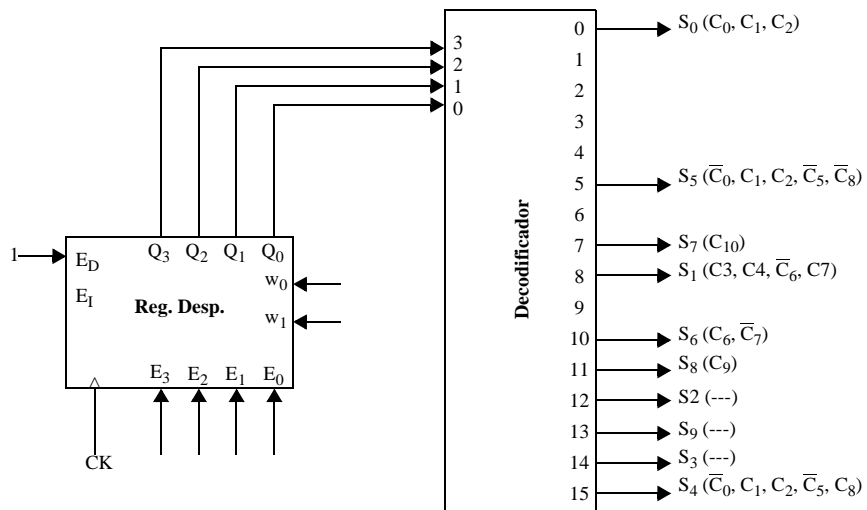


Figura 99-2-4: Unidad de Control mediante un registro de desplazamiento (faltan por implementar las señales E_i y w_i)