

```

3:   B ← Bus;
4:   for Cont=0 to 7 do
5:     if Cont es par then
6:       A ← A + B; A ← A / 2
7:     else
8:       B ← B - A; B ← B * 2
9:     endif
10:  endfor
11:  Bus ← A;
12:  Bus ← B;
13:  Parar;

```

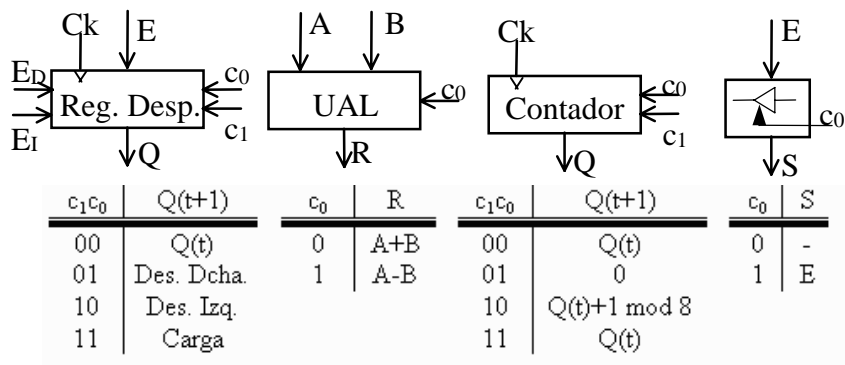


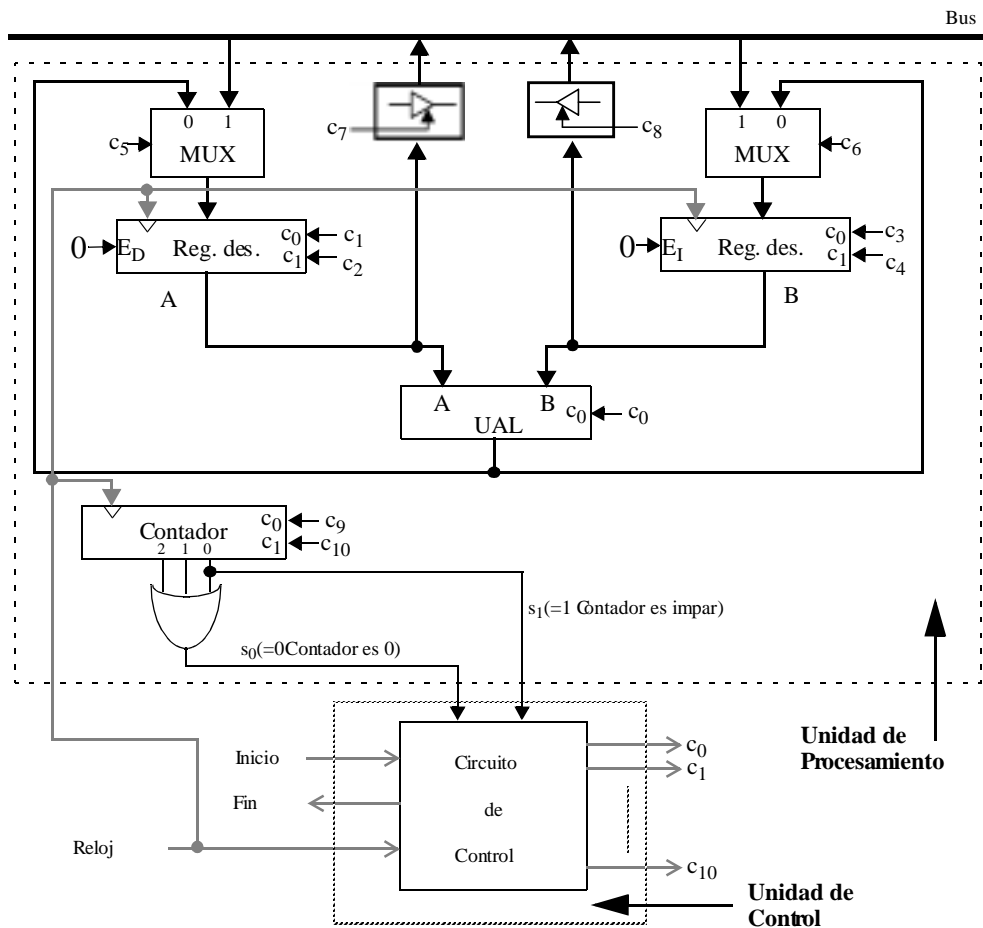
Figura 98-2-1 Módulos del problema con sus tablas de funcionamiento

### 3. Análisis

A) En la Figura 98-22 se muestra un posible diseño de la Unidad de Procesamiento y la Tabla 98-24 el significado de todas las señales de control utilizadas. Repasando en algoritmo vemos que permite realizar todos y cada uno de sus pasos:

- Los registros A y B pueden cargar valores desde el bus del sistema o desde la salida de la UAL. Un multiplexor a la entrada de cada uno de estos registros permite seleccionar qué dato es el que se va a cargar.
- Los registros A y B pueden volcar sus valores en el bus mediante sendos circuitos triestado de conexión unidireccional con control de 8 bits.
- Existe camino de los registros A y B a la entrada de la UAL.
- Un contador módulo 8 permite gobernar el bucle *for* del algoritmo.
- A partir del valor del contador se generan dos condiciones cuyo valor puede ser consultado por la Unidad de Control en cualquier instante:
  - $s_0$ : es la suma lógica de todos los bits del sumador. Su valor es cero cuando el contador está a cero.

- $s_1$ : es el bit menos significativo del contador. Su valor es 0 cuando el contador tiene valor par, y es 1 cuando el contador tiene valor impar.



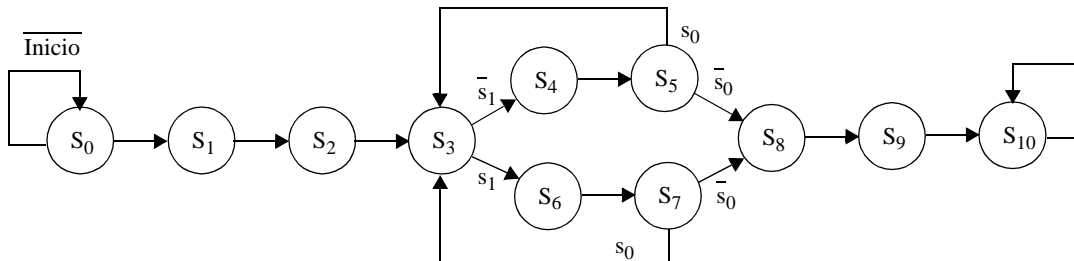
**Figura 98-2-2** Diseño de la Unidad de Proesamiento

Señal de Control	Operación controlada
$c_0$	Control de la UAL: Suma (0) y Resta (1),
$c_2$ y $c_1$	Control registro A: Nada (00), Des. Dcha.(01), Des. Izq. (10) y Carga (11)
$c_4$ y $c_3$	Control registro B: Nada (00), Des. Dcha. (01), Des. Izq. (10) y Carga (11)
$c_5$	Selección MUX entrada de A: UAL (0) y Bus (1)
$c_6$	Selección MUX entrada de B: UAL (0) y Bus (1)
$c_7$	Puerta triestado que conecta la salida de A con el Bus: Nada (0) y Conexión (1)
$c_8$	Puerta triestado que conecta la salida de B con el Bus: Nada (0) y Conexión (1)
$c_{10}$ y $c_9$	Contador: Nada (00), Reset (01), Incrementar (10) y Nada (11)

**Tabla 98-2-1:** Descripción de la señales de control de la Unidad de Procesamiento

**B)** Para describir el funcionamiento de la Unidad de Control, diseñamos el diagrama de transición de estados de la Figura 98-2-3 donde la descripción detallada de las acciones a realizar en cada uno de estos estados viene dada en la Tabla 98-2-2.

Este diagrama de transición de estados cumple todos los requisitos para ejecutar el algoritmo propuesto en el enunciado del problema utilizando la Unidad de Procesamiento diseñada en el apartado anterior. Se puede comprobar, por ejemplo, que ejecuta el bucle *for* 8 veces.

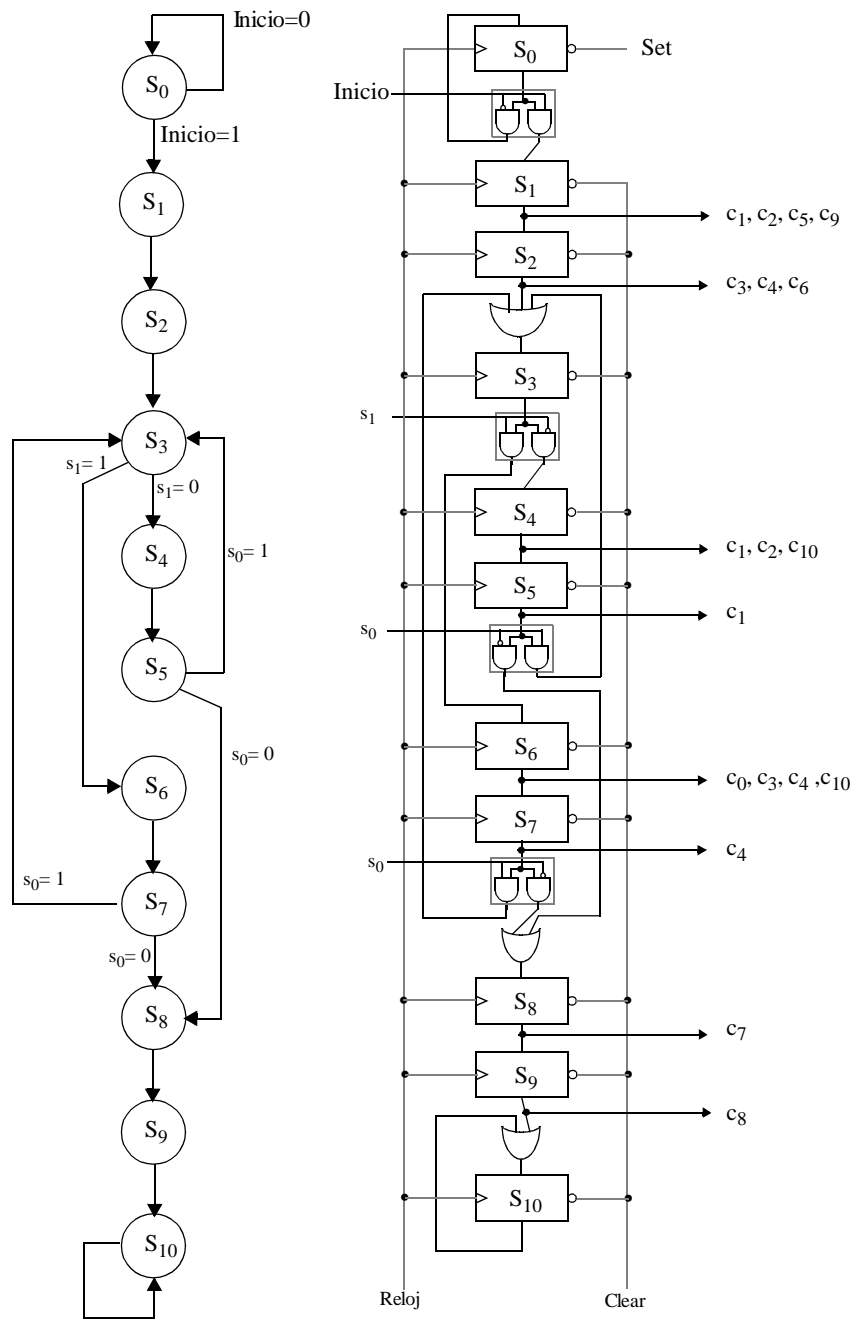


**Figura 98-2-3:** Diagrama de estados de la Unidad de Control

Estado de la Unidad de Control	Microoperaciones efectuadas	Señales de control a activar
S <sub>0</sub>	Ninguna	Ninguna
S <sub>1</sub>	A ← Bus Reset Cont	c <sub>1</sub> , c <sub>2</sub> , c <sub>5</sub> , c <sub>9</sub> , (c <sub>10</sub> =0)
S <sub>2</sub>	B ← Bus	c <sub>3</sub> , c <sub>4</sub> , c <sub>6</sub>
S <sub>3</sub>	Ninguna	Ninguna
S <sub>4</sub>	A ← A+B Incrementar Cont	(c <sub>0</sub> =0), c <sub>1</sub> , c <sub>2</sub> , (c <sub>5</sub> =0), c <sub>10</sub> , (c <sub>9</sub> =0)
S <sub>5</sub>	Desplazar Derecha A	(c <sub>2</sub> =0), c <sub>1</sub>
S <sub>6</sub>	B ← B - A Incrementar Cont	c <sub>0</sub> , c <sub>3</sub> , c <sub>4</sub> , (c <sub>6</sub> =0), c <sub>10</sub> , (c <sub>9</sub> =0)
S <sub>7</sub>	Desplazar Izquierda B	c <sub>4</sub> , (c <sub>3</sub> =0)
S <sub>8</sub>	Bus ← A	c <sub>7</sub>
S <sub>9</sub>	Bus ← B	c <sub>8</sub>
S <sub>10</sub>	Ninguna	Ninguna

**Tabla 98-22:** Acciones tomadas por la Unidad de Control en cada estado

Para implementar esta Unidad de Control vamos a emplear el método de los elementos de retardo. El diseño correspondiente se muestra en la Figura 98-2-4.



**Figura 98-2-4** Unidad de Control