
Diseñe un circuito digital (Unidad de Procesamiento + Unidad de Control) que realice el algoritmo que se muestra en el recuadro. Para ello siga los siguientes apartados:

- A) Diseñe razonadamente la Unidad de Procesamiento, utilizando los recursos que considere necesarios.
- B) Describa todas las señales de control de la Unidad de Procesamiento diseñada en A).
- C) Dibuje el diagrama de estados de una Unidad de Control que realice el algoritmo propuesto. Describa, en forma de tabla, las microoperaciones y las señales de control activadas en cada uno de los estados.
- D) Diseñe razonadamente la Unidad de Control, empleando cualquiera de las técnicas de diseño estudiadas a lo largo del curso. Indique claramente todos los pasos seguidos.

Solución

A) A la vista del algoritmo propuesto, la Unidad de Procesamiento que se diseñe ha de ser capaz de:

- 1) Transferir el contenido del bus de entrada a ambos registros (X y A).
- 2) Incrementar/decrementar el contenido del registro A.
- 3) Transferir el contenido del registro A al bus de salida.
- 4) Comparar el contenido del registro X con 255 (11111111).

Para realizar la Unidad de Procesamiento utilizaremos registros convencionales, sin capacidad de incremento/decremento, por lo que hará falta un circuito combinacional adicional capaz de realizar esta operación. Bajo estas consideraciones la Figura 97-3-1 muestra la posible realización de una Unidad de Procesamiento que puede ejecutar el algoritmo propuesto. Se ha utilizado un sumador/restador binario convencional para las operaciones de incremento/decremento.

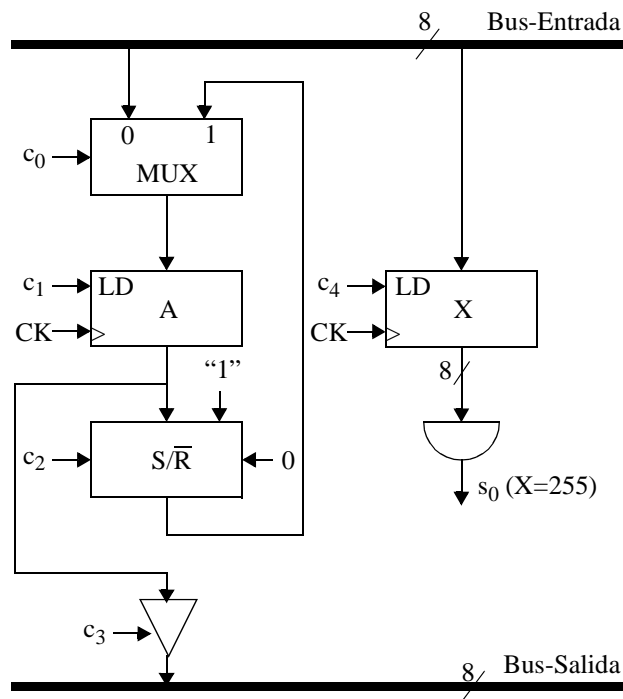


Figura 97-3-1 Unidad de Procesamiento

Se ha supuesto que los registros son disparados por el flanco de bajada de la señal de reloj CK por lo que no se producirán problemas a la hora de realimentar la salida del sumador/restador a la entrada del registro A. También se supone que las operaciones de suma y resta no producen problemas de desbordamiento. Para evitar que la salida del registro A se vuelque en el bus de salida indebidamente se ha utilizado una puerta triestado gobernada por la señal de control c_3 . La puerta lógica AND compara la salida del registro X con 255: si todos sus bits están a 1 el valor de X es 255 y se genera la señal de condición s_0 .

B)

Señal	Descripción
c_0	Selecciona una de las entradas del multiplexor
c_1	Carga del registro A
c_2	Suma (1) o resta (0)
c_3	Salida del registro A al bus de salida
c_4	Carga del registro X

Tabla 97-3-1 Descripción de las señales de control utilizadas

C)

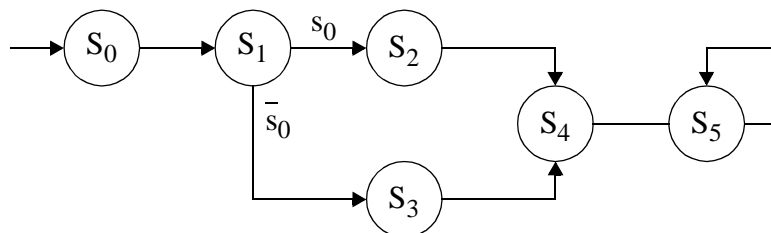


Figura 97-3-2 Diagrama de estados

Estado	Microoperación	Señales de control
S_0	$X \leftarrow \text{Bus-Entrada}$	c_4
S_1	$A \leftarrow \text{Bus-Entrada}$	\bar{c}_0, c_1
S_2	$A \leftarrow A + 1$	c_0, c_1, c_2
S_3	$A \leftarrow A - 1$	c_0, c_1, \bar{c}_2

Tabla 97-3-2 Descripción de los estados y sus microoperaciones asociadas

Estado	Microoperación	Señales de control
S ₄	Bus-Salida ← A	c ₃
S ₅	Parar	-----

Tabla 97-3-2 Descripción de los estados y sus microoperaciones asociadas

D) Utilizaremos la técnica de la Unidad de Control cableada con biestables tipo D. (Un ejercicio muy recomendable que puede realizar el alumno es repetir este apartado utilizando otras técnicas de diseño, comparando las características y dificultad de cada una de ellas.)

Ya que hay 6 estados harán falta 3 biestables tipo D. Una posible codificación de los estados es la mostrada en la Tabla 97-3-3.

Estado	Q ₂ Q ₁ Q ₀
S ₀	0 0 0
S ₁	0 0 1
S ₂	0 1 0
S ₃	0 1 1
S ₄	1 0 0
S ₅	1 0 1

Tabla 97-3-3 Tabla de codificación de los estados

Del diagrama de estados de la Figura 97-3-2 y la codificación elegida en la Tabla 97-3-3 se obtiene directamente la tabla de transición de estados (Tabla 97-3-4), y a partir de ella las funciones lógicas de las entradas de los biestables mediante mapas de Karnaugh.

Est. actual $Q_2Q_1Q_0$	Condición	Próx. estado $Q_2Q_1Q_0$	S. control
0 0 0	---	0 0 0	c_4
0 0 1	$\underline{s_0}$ $\overline{s_0}$	0 1 0 0 1 1	$\overline{c_0}, c_1$
0 1 0	---	1 0 0	c_0, c_1, c_2
0 1 1	---	1 0 0	$c_0, c_1, \overline{c_2}$
1 0 0	---	1 0 1	c_3
1 0 1	---	1 0 1	-----

Tabla 97-3-4 Tabla de transición de estados

		Q_1Q_0			
	s_0Q_2	00	01	11	10
D_2	00	0	0	1	1
	01	1	1	X	X
	11	1	1	X	X
	10	0	0	1	1

		Q_1Q_0			
	s_0Q_2	00	01	11	10
D_1	00	0	1	0	0
	01	0	0	X	X
	11	0	0	X	X
	10	0	1	0	0

		Q_1Q_0			
	s_0Q_2	00	01	11	10
D_0	00	0	1	0	0
	01	1	1	X	X
	11	1	1	X	X
	10	0	0	0	0

$$D_2 = Q_2 + Q_1; \quad D_1 = \overline{Q_2} \overline{Q_1} Q_0; \quad D_0 = Q_2 + s_0 \overline{Q_1} Q_0.$$

A partir de aquí se construye fácilmente la Unidad de Control siguiendo la técnica de diseño correspondiente (Figura 97-3-3). Para general las señales de control se puede utilizar un decodificador, a partir de la codificación del estado $Q_2Q_1Q_0$.

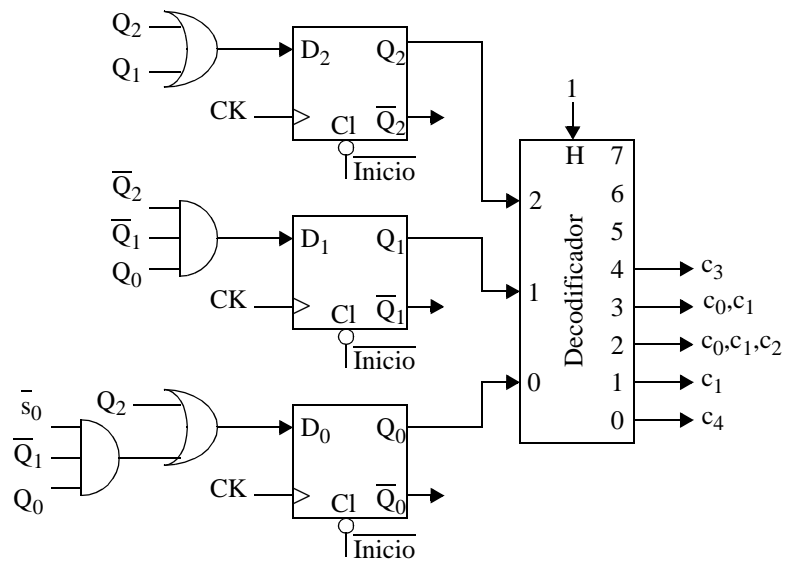


Figura 97-3-3 Unidad de Control