

## UNIDAD CONTROL DISEÑADA UTILIZANDO UN REGISTRO DE ESTADO Y UNA MEMORIA ROM

TIPO	ROM	ESTADO	CAMPO
ROM	$2^{n+q} \cdot (n+m)$	$2^{n+1} \cdot (n+m)$	$2^{n+1} \cdot (n+m+h)$
MUX		$2^n$	$2^h$
REG	$n$	$n$	$n+h$

Elementos de retardo → tantos como estados

Diseño con contador → modulo  $2^n$

**5.1** Se desea diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Indicar cual de las siguientes afirmaciones es cierta : Si en el diseño interesa minimizar, sobre todo, el tamaño del multiplexor a utilizar, se emplearía. I. Un MUX con selección por estado. II. Un MUX con selección por campo.

Puesto que en cada estado se consulta una señal de condición como máximo, es posible utilizar para el diseño de la Unidad de Control las siguientes configuraciones:

- Memoria ROM + registro + multiplexor de selección por estado.
- Memoria ROM + registro + multiplexor de selección por campo.

De los datos del enunciado se deduce que:

variables de estado  $n=8$  ya que  $2^8=256 > 200$  estados

señales de control :  $m=37$

señales de condición :  $q=9 \leq (2^h=16) \rightarrow h=4$

En la configuración a) según lo estudiado en teoría, el multiplexor utilizado tiene  $2^n=2^8=256$  entradas y  $n=8$  señales de selección.

En la configuración b) según lo estudiado en teoría, el multiplexor utilizado tiene  $2^h=2^4=16$  entradas y  $h=4$  señales de control. Luego es en la configuración b) donde se minimiza el tamaño del multiplexor .

Afirmación I: **Falsa**

Afirmación II: **Verdadera**

**5.2** Se desea diseñar una Unidad de Control con 18 estados, que genere 30 señales de control totalmente independientes y reciba 4 señales de condición, utilizando memoria ROM pero minimizando la capacidad necesaria de ésta, ya que en cada estado se utiliza, como máximo, una única condición. Utilizando un multiplexor con *selección por campo* para diseñar esta Unidad de Control, explicar razonadamente el tamaño del *registro*, del *multiplexor* y de la *memoria ROM* que sería necesario utilizar.

Se tienen 18 estados luego es necesario  $n=5$  variables de estado para codificarlos. La capacidad de la ROM necesario es:

$$2^{n+1} \cdot (n+m+h) = 2^{5+1} \cdot (5+30+2)$$

El registro tiene la siguiente estructura:  $\log_2 q$  bits  $n$  bits Luego debe de tener una capacidad de  $C_R = \log_2 q + n = 2 + 5 = 7$  bits

El multiplexor al ser del tipo de selección por campo, tiene  $q=4$  entradas y requiere de  $\log_2 q=2$  señales de selección.

**5.4** Se desea diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Utilizando en el diseño un multiplexor con *selección por campo* haría falta una memoria ROM con tamaño de:

- $2^8$  palabras  $\times$  45 bits
- $2^9$  palabras  $\times$  45 bits
- $2^9$  palabras  $\times$  49 bits
- Ninguna de la anteriores

Del enunciado se deduce que se debe diseñar una Unidad de Control con los siguientes componentes:

Memoria ROM + registro + multiplexor de selección por campo.

Además de los datos del enunciado se deduce que:

variables de estado  $n=8$  ya que  $2^8=256 > 200$  estados

señales de control :  $m=37$

señales de condición :  $q=9 \leq 2^h \rightarrow h=4$

El número de entradas totales del multiplexor es  $2^h = 2^4 = 16$ , de las cuales sólo se utilizan 9 (entradas 0 a 8), una para cada señal de condición, el resto ( desde la entrada 9 hasta la 15) se colocan a 0. La capacidad de la ROM sería :

$$C = 2^{n+1} \cdot (\log_2 q + n + m) = 2^9 \cdot (4 + 8 + 37)$$

$$C = 2^9 \text{ palabras} \times 49 \text{ (bits/palabra)}$$

**5.6** Se desea diseñar una Unidad de Control con 18 estados, que genere 30 señales de control totalmente independientes y reciba 4 señales de condición, utilizando memoria ROM pero minimizando la capacidad necesaria de ésta, ya que en cada estado se utiliza, como máximo, una única condición. Utilizando un multiplexor con *selección por estado*, para diseñar esta Unidad de Control sería necesario utilizar:

- A) Un registro de 5 bits, un MUX 32:1 y una ROM de  $2^6$  palabras  $\times$  35 bits/palabra.
- B) Un registro de 18 bits, un MUX 8:1 y una ROM de  $2^5$  palabras  $\times$  48 bits/palabra.
- C) Un registro de 5 bits, un MUX 8:1 y una ROM de  $2^6$  palabras  $\times$  30 bits/palabra.
- D) Ninguna de las anteriores es cierta.

Del enunciado se deduce que se debe diseñar una Unidad de Control con los siguientes componentes:

Memoria ROM + registro + multiplexor de selección por estado.

Además de los datos del enunciado se deduce que:

variables de estado  $n=5$  ya que  $2^5=32 > 18$  estados

señales de control :  $m=30$

señales de condición :  $q=4$

- La capacidad de la ROM necesario es: 1
- El registro tiene que almacenar las variables de estado luego debe de tener una capacidad de  $n=5$  bits.
- El multiplexor al ser del tipo de selección por estado, tiene  $2^5$  entradas y requiere de 5 señales de selección. Es decir es un MUX 32 :1.

La respuesta correcta es la **A**.

**5.7** A la hora de diseñar una Unidad de Control con 32 estados, que genere 4 señales de control, reciba 2 señales de condición y en un estado se puedan consultar las dos condiciones simultáneamente, decir si las siguientes afirmaciones son ciertas:

- A) Diseñándola con “elementos de retardo” sería necesario utilizar 5 biestables ( $2^5=32$ ).
- B) Diseñándola con memoria ROM haría falta un módulo de  $2^7$  palabras  $\times$  5 bits/palabra.
- C) Diseñándola con un contador haría falta un contador módulo-5.
- D) Ninguna de las anteriores es cierta.

De los datos del enunciado se deduce lo siguiente ;

variables de estado  $n=5$  ya que  $2^5=32$  estados

señales de control :  $m=4$

señales de condición :  $q=2$

Vamos a ir analizando cada una de las afirmaciones:

- A) Si se utiliza la técnica de los elementos de retardo sería necesario utilizar 32 elementos de retardo, uno por cada estado y no 5 como dice el enunciado. Luego la afirmación es **falsa**.
- B) Si se utiliza una memoria ROM se requiere que tenga una capacidad de  $C = 2^{n+q} \times (n+m) = 2^7$  palabras  $\times$  9 bits/palabra. Luego la afirmación es **falsa**.
- C) Si se utiliza un contador, este debe ser de módulo-  $2^5$ . Luego la afirmación es **falsa**.

La respuesta correcta es la **D**.

**5.8** A la hora de diseñar una Unidad de Control con 64 estados, que genere 30 señales de control totalmente independientes, reciba 5 señales de condición que pueden ser consultadas simultáneamente en cualquier estado, decir si las siguientes afirmaciones son ciertas:

- A) Diseñándola con “elementos de retardo” sería necesario utilizar 6 biestables ( $2^6=64$ ).
- B) Diseñándola con memoria ROM haría falta un módulo de  $2^{11}$  palabras  $\times$  30 bits/palabra.
- C) Diseñándola con un contador haría falta un contador módulo-64.
- D) Ninguna de las anteriores es cierta.

De los datos del enunciado se deduce lo siguiente ;

variables de estado  $64=2^6 \Rightarrow n=6$

señales de control :  $m=30$

señales de condición :  $q=5$

Vamos a ir analizando cada una de las afirmaciones:

- A) Si se utiliza la técnica de los elementos de retardo sería necesario utilizar 64 elementos de retardo, uno por cada estado y no 6 como dice el enunciado. Luego la afirmación es **falsa**.

B) Si se utiliza una memoria ROM se requiere que tenga una capacidad mínima de  $C = 2^{n+q} \times (n+m) = 2^{11}$  palabras  $\times$  36 bits/palabra. La afirmación es **falsa**

C) Si se utiliza un contador, este debe ser de módulo-  $2^6$ . Luego la afirmación es **Verdadera**.

La respuesta correcta es la **C**.

**5.13** Se desea diseñar con memoria ROM una Unidad de Control con 200 estados, que genere 37 señales de control totalmente independientes, y que reciba 9 señales de condición pero en cada estado va a ser consultada como máximo una de ellas. Utilizando en el diseño un multiplexor con selección por campo ¿Cuántas entradas de datos tendría el multiplexor utilizado?

Se tiene una Unidad de Control diseñada con Memoria ROM + registro + multiplexor de selección por campo.

De los datos del enunciado se deduce que:

variables de estado  $n=8$  ya que  $2^8=256 > 200$  estados

señales de control :  $m=37$

señales de condición :  $q=9 \leq 2^h \rightarrow h=4$

En este diseño según lo estudiado en teoría, se necesitará un multiplexor con  $2^h = 2^4 = 16$  entradas de las cuales sólo se utilizan 9 una para cada señal de condición. el resto se conectan a 0.

Luego la respuesta es **16 entradas de datos**.

**5.14** Se desea diseñar con una memoria ROM una unidad de control con 128 estados, que genere 244 señales de control totalmente independientes y que reciba 20 señales de condición pero en cada estado van a ser consultadas como máximo una de ellas. La memoria ROM usada tiene un coste de 10 ptas/Kbit. Indicar si las siguientes afirmaciones son verdaderas o falsas:

I) Si se utiliza un diseño con selección por estado el coste de la ROM es de 640 ptas.

II) Si se utiliza un diseño con selección por campo el coste de la ROM es de 640 ptas.

De los datos del enunciado se deduce que:

variables de estado  $n=7$  ya que  $2^7=127$  estados

señales de control :  $m=244$

señales de condición :  $q=20 \leq 2^h \rightarrow h=5$

Afirmación I: Se tiene una Unidad de Control diseñada con Memoria ROM + registro + multiplexor de selección por estado. La Capacidad de la ROM es:  $C = 2^{n+1}$  palabras  $\times$   $(n+m)$  bits/palabras

Luego sustituyendo valores se tiene:  $C = 2^8 \cdot 251 \text{ bits} = (2^8 \cdot 251 \cdot 2^{10}) / 2^{10} = (251/4) \text{ Kbits}$

Luego el coste es  $\$ = (251/4) \text{ Kbits} \cdot 10 \text{ ptas/Kbits} = 2510/4 = 627.5 \text{ ptas}$ .

Luego la afirmación es **FALSA**.

Afirmación II:

Se tiene una Unidad de Control diseñada con Memoria ROM + registro + multiplexor de selección por campo. La Capacidad de la ROM es:  $C = 2^{n+1}$  palabras  $\times$   $(h+ n+m)$  bits/palabras

Luego sustituyendo valores se tiene:

$C = 2^8 \cdot (5+7+244) = 2^8 \cdot 256 \text{ bits} = 2^8 \cdot 2^8 = 2^{16} = 2^6 \cdot 2^{10} = 64 \text{ Kbits}$

Luego el coste es  $\$ = 64 \text{ Kbits} \cdot 10 \text{ ptas/Kbits} = 640 \text{ ptas}$ .

Luego la afirmación es **VERDADERA**.