

MATERIAL PERMITIDO: los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

INSTRUCCIONES: ENTREGUE ESTA HOJA con el resto de hojas de su examen. Complete **TODOS** los datos que se piden en la hoja de lectura óptica. La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos**. El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.

1.- Un computador con 15 líneas de direcciones tiene una memoria de 3×2^{13} palabras y utiliza *E/S localizada en memoria*. ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno de ellos utiliza 8 direcciones?

- A) 2^{13} B) 2^{10} C) 2^{12} D) Ninguna de las anteriores.

2.- Un procesador que opera a 200 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina en ejecutarse ($CPI = 4$) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes utilizando una rutina de servicio que ejecuta 20 instrucciones. Teniendo en cuenta que 1 Mbyte = 10^6 bytes, la capacidad de entrada de datos (ancho de banda) máxima en Mbytes/s a través del sistema de interrupciones es:

- A) 8 Mbytes/s B) 12 Mbytes/s C) 16 Mbytes/s D) Ninguna de las anteriores.

3.- Considerando un procesador que tiene 8 registros de 8 bits cada uno para uso general, cuyo formato de instrucción es el que se muestra en la siguiente figura:

Código de operación (6 bits)	Dirección (3 bits)	Base (14 bits)
------------------------------	--------------------	----------------

¿Qué rango de direccionamiento tiene cuando realiza un direccionamiento indexado a través de registros?

- A) Desde 0 hasta 16383 B) Desde 0 hasta 16638 C) Desde 0 hasta 8192 D) Ninguna de las anteriores.

4.- La memoria de un computador consta de N módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 ns. Durante los 80 ns siguientes, el módulo de memoria seleccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. La velocidad máxima de transferencia cuando el número de módulos N es mayor que 4 es:

- A) 0,05 palabras/ns B) 0,03 palabras/ns C) 0,07 palabras/ns D) Ninguna de las anteriores.

5.- Se considera un procesador que dispone de 16 líneas de direcciones $A_{15} - A_0$. Para la construcción de su unidad de memoria se dispone de módulos de 8K palabras, utilizándose las líneas más significativas ($A_{15} - A_{13}$) para la selección de cada módulo. En el mapa de memoria, la dirección base (o primera dirección) del módulo número 5 en notación hexadecimal es:

- A) 8000 B) A000 C) 8FFF D) Ninguna de las anteriores.

Nota: Los sucesivos módulos de memoria se comienzan a numerar desde el módulo 0 que corresponde a las direcciones más bajas de memoria.

6.- Indique cuantos módulos de memoria ROM de 2^{3n} palabras \times 1 bit/palabra serán necesarios para diseñar un circuito combinacional que sume dos números de $3n$ bits cada uno:

- A) $2^{3n+1} \times 3n$ B) $2^{6n} \times 3n$ C) $2^{3n} \times (3n + 1)$ D) Ninguna de las anteriores.

7.- Haciendo uso de una memoria ROM, se desea diseñar una Unidad de Control con 256 estados, que genere 200 señales de control totalmente independientes y que reciba 10 señales de condición, aunque en cada estado va a ser consultada como máximo una de ellas. Si la memoria ROM usada tiene un coste de 1 euro/Kbit indicar si las siguientes afirmaciones son verdaderas o falsas:

I. Si se utiliza un diseño con *selección por estado* el coste de la ROM es inferior a 100 euros.

II. Si se utiliza un diseño con *selección por campo* el coste de la *ROM* es superior a 100 euros.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

8.- La Unidad de Control microprogramada de un computador tiene un tamaño de microinstrucción de 32 bits. La parte de control del formato de una microinstrucción emplea 14 bits para seleccionar independientemente las microoperaciones que se llevan a cabo. Esta unidad de control tiene un campo para indicar el tipo de bifurcación a realizar (condicional, incondicional o no bifurcar) y un campo para seleccionar una única señal de condición de las 16 señales disponibles. ¿Cuál es el tamaño máximo de la memoria de control?

A) 2^{16} palabras B) 2^{20} palabras C) 2^{42} palabras D) 2^{12} palabras

Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.

Cuestión 1 (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

Cuestión 2 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

Cuestión 3 (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):

Sea el siguiente algoritmo:

- 1: **Declaración de registros** $A [5], B [3], R [5]$;
- 2: **Declaración de buses**
 Bus-Entrada [5], Bus-Salida [5];
- 3: Inicio: $A \leftarrow$ Bus-Entrada; número binario
- 4: $B \leftarrow$ Bus-Entrada; número binario
- 5: Bucle: $A \leftarrow A \times B$;
- 6: $B \leftarrow B - 1$;
- 7: **if** $B \neq 1$ **then go to** Bucle;
- 8: $R \leftarrow A$;
- 9: Bus-salida $\leftarrow R$;
- 10: Parar;

A) (1 pto) Si inicialmente en A se carga el valor 00001 y en B se carga el valor 100 ¿Cuál es el valor de R al finalizar el algoritmo? ¿Qué operación realiza este algoritmo?.

B) (1,5 pts) Diseñar la Unidad de Procesamiento y la Unidad de Control que realiza este algoritmo.

C) (1,5 pts) Especificar el diagrama de flujo que realice el algoritmo, el diagrama de estados de la Unidad de Control y las acciones que tiene que efectuar cuando se encuentra en cada uno.

SOLUCIONES

1.- Un computador con 15 líneas de direcciones tiene una memoria de 3×2^{13} palabras y utiliza *E/S localizada en memoria*. ¿Cuál es el número máximo de periféricos que pueden conectarse, suponiendo que cada uno de ellos utiliza 8 direcciones?

- A) 2^{13} B) 2^{10} C) 2^{12} D) Ninguna de las anteriores.

Solución

Un computador con las 15 líneas de direcciones puede direccionar 2^{15} direcciones de memoria distintas. No obstante, como la memoria ocupa 3×2^{13} de estas direcciones, quedan libres $2^{15} - (3 \times 2^{13}) = 2^{13}$ direcciones para gestionar la *E/S*.

Como cada periférico utiliza 8 (2^3) de estas direcciones, es posible conectar un máximo de $2^{13}/2^3 = 2^{10}$ periféricos.

Respuesta: B (2^{10})

2.- Un procesador que opera a 200 MHz y en el que en promedio una instrucción emplea 4 ciclos máquina en ejecutarse ($CPI = 4$) dispone de un sistema de interrupciones con un tiempo de reconocimiento de interrupción de 100 ns. Este procesador se conecta a un disco magnético con 128 sectores/pista y 1024 bytes/sector a través del sistema de interrupciones. En cada interrupción se transmiten 8 bytes utilizando una rutina de servicio que ejecuta 20 instrucciones. Teniendo en cuenta que 1Mbyte = 10^6 bytes, la capacidad de entrada de datos (ancho de banda) máxima en Mbytes/s a través del sistema de interrupciones es:

- B) 8 Mbytes/s B) 12 Mbytes/s C) 16 Mbytes/s D) Ninguna de las anteriores

Solución

A partir de la frecuencia del procesador se calcula el tiempo de ciclo (t_c) del mismo, que es la inversa de dicha frecuencia. Por tanto con una frecuencia de 200 MHz, se tiene un $t_c = 5$ ns.

El tiempo que dura una operación de *E/S* por interrupción (t_{int}) es la suma del tiempo que se emplea en el reconocimiento de la interrupción (100 ns) más el tiempo empleado en ejecutar la rutina que gestiona dicha interrupción. Esta rutina consta de 20 instrucciones, cada una de ellas de 4 ciclos y sabemos que el tiempo empleado por ciclo es de 5 ns. Por tanto, el tiempo de una operación de *E/S* por interrupción es el siguiente:

$$t_{int} = 100 \text{ ns} + (20 \text{ instrucciones} \times 4 \text{ ciclos/instrucción} \times 5 \text{ ns/ciclo}) = 500 \text{ ns}$$

Durante este tiempo se transmiten 8 bytes, por lo que el *ancho de banda* (bytes/s) a través del sistema de interrupciones será el número de bytes transmitido entre el tiempo que se tarda en transmitir:

$$\text{Ancho de banda} = 8 \text{ bytes} / (500 \times 10^{-9} \text{ s}) = 16 \times 10^6 \text{ bytes/s} = 16 \text{ Mbytes/s}$$

Respuesta: C (16 Mbytes/s)

3.- Considerando un procesador que tiene 8 registros de 8 bits cada uno para uso general, cuyo formato de instrucción es el que se muestra en la siguiente figura:

Código de operación (6 bits)	Dirección (3 bits)	Base (14 bits)
------------------------------	--------------------	----------------

¿Qué rango de direccionamiento tiene cuando realiza un direccionamiento indexado a través de registros?

- A) Desde 0 hasta 16383 B) Desde 0 hasta 16638 C) Desde 0 hasta 8192 D) Ninguna de las anteriores.

Solución

La dirección efectiva en un direccionamiento indexado a través de registros se obtiene como la suma de una dirección base de memoria contenida en el campo de dirección de la instrucción y un desplazamiento,

contenido en el registro índice. Como los registros son de 8 bits, con ellos se puede referenciar desde 0 hasta 255 (2^8-1), y como el campo de dirección base es de 14 bits se puede representar desde 0 hasta 16383 ($2^{14}-1$). Por tanto, el rango de direccionamiento va desde 0 (= 0+0) hasta 16638 (= 255 + 16383).

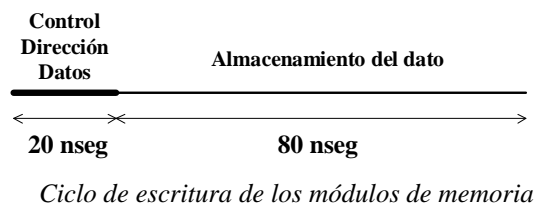
Respuesta: B (Desde 0 hasta 16638)

4.- La memoria de un computador consta de N módulos independientes conectados a un bus de memoria común. Al comienzo de una operación de escritura en memoria, el bus está ocupado por las señales de datos, dirección y control durante 20 ns. Durante los 80 ns siguientes, el módulo de memoria seleccionado completa el ciclo de escritura, aceptando y almacenando el dato. Las operaciones de los módulos de memoria pueden solaparse, pero sólo puede haber una petición en un instante de tiempo. La velocidad máxima de transferencia cuando el número de módulos N es mayor que 4 es:

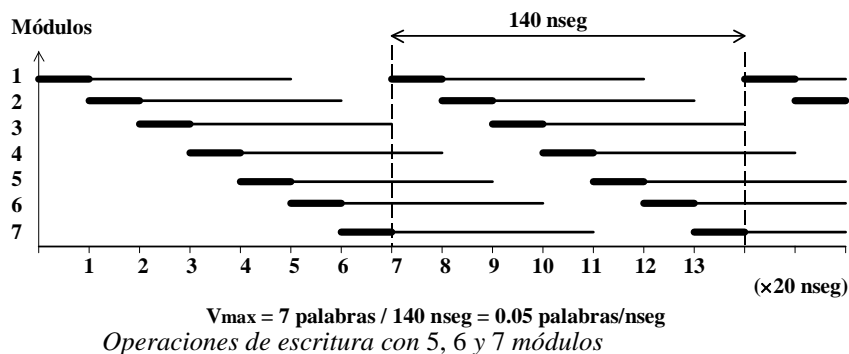
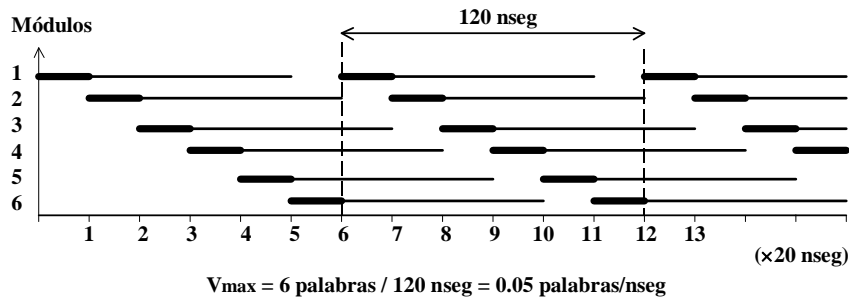
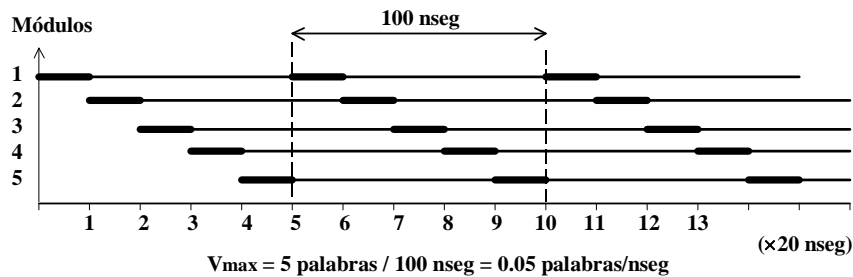
- A) 0,05 palabras/ns B) 0,03 palabras/ns C) 0,07 palabras/ns D) Ninguna de las anteriores

Solución

El ciclo de escritura de los módulos de memoria se muestra gráficamente en la siguiente figura.



El tiempo de ciclo de escritura es $t_c = 100$ ns. El módulo de memoria usa el bus en exclusiva durante los primeros 20 ns del ciclo, mientras que durante los restantes 80 ns cualquier otro módulo puede hacer uso del bus. Si se considera que los ciclos de escritura se solapan al máximo, en la siguiente figura se muestra la situación correspondiente a las operaciones de escritura cuando se tienen 5, 6 y 7 módulos.



Como se puede observar, cuando se tienen 5 módulos todos están continuamente activos. Con 6 módulos cada

módulo está “ocioso” durante $(120 - t_c)$ ns después de cada operación de escritura. Mientras que con 7 módulos el tiempo “ocioso” de cada módulo es de $(140 - t_c)$. Sin embargo, la velocidad de transferencia sigue siendo la misma en los tres casos. Con 5 módulos cada 100 ns comienzan (o finalizan) 5 operaciones de escritura. Con 6 y 7 módulos cada 120 ns y 140 ns comienzan (o finalizan) 6 ó 7 operaciones de escritura respectivamente. Por ello, las velocidades máximas con 5, 6 y 7 módulos es:

$$V_{\max 5} = \frac{5}{100} \text{ palabras / ns} = 0,05 \text{ palabras / ns}$$

$$V_{\max 6} = \frac{6}{120} \text{ palabras / ns} = 0,05 \text{ palabras / ns}$$

$$V_{\max 7} = \frac{7}{140} \text{ palabras / ns} = 0,05 \text{ palabras / ns}$$

Generalizando el resultado a N módulos (con N mayor que 4), la velocidad máxima de transferencia viene dada por:

$$V_{\max N} = \frac{N}{N \times 20} \text{ palabras / ns} = 0,05 \text{ palabras / ns}$$

Respuesta: A (0,05 palabras/ns)

5.- Se considera un procesador que dispone de 16 líneas de direcciones $A_{15} - A_0$. Para la construcción de su unidad de memoria se dispone de módulos de 8K palabras, utilizándose las líneas más significativas ($A_{15} - A_{13}$) para la selección de cada módulo. En el mapa de memoria, la dirección base (o primera dirección) del módulo número 5 en notación hexadecimal es:

- A) 8000 B) A000 C) 8FFF D) Ninguna de las anteriores.

Nota: Los sucesivos módulos de memoria se comienzan a numerar desde el módulo 0 que corresponde a las direcciones más bajas de memoria.

Solución

La dirección base de un módulo es la dirección de memoria principal que hay que emplear para acceder a la primera posición de dicho módulo. En este caso concreto las sucesivas direcciones base de cada módulo las generaremos con valores sucesivos de los bits $A_{15} - A_{13}$, que son los empleados para seleccionar cada módulo, y el resto de los bits de la dirección, $A_{12} - A_0$, con el valor cero. Una vez generada la codificación, para dar la dirección base en hexadecimal se agrupan los bits de la dirección de 4 en 4 y se codifican.

En la tabla siguiente se muestra el resultado.

	Dirección base en binario	Dir. base en hexadecimal
	$A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 A_8 A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$	
Módulo 0	0 0	0 0 0 0
Módulo 1	0 0 1 0	2 0 0 0
Módulo 2	0 1 0	4 0 0 0
Módulo 3	0 1 1 0	6 0 0 0
Módulo 4	1 0	8 0 0 0
Módulo 5	1 0 1 0	A 0 0 0
Módulo 6	1 1 0	C 0 0 0
Módulo 7	1 1 1 0	E 0 0 0

Respuesta: B (A000).

6.- Indique cuantos módulos de memoria ROM de 2^{3n} palabras \times 1 bit/palabra serán necesarios para diseñar un circuito combinacional que sume dos números de $3n$ bits cada uno:

- A) $2^{3n+1} \times 3n$ B) $2^{6n} \times 3n$ C) $2^{3n} \times (3n + 1)$ D) Ninguna de las anteriores.

Solución

El número de módulos se calcula teniendo en cuenta que la memoria *ROM* resultante deberá tener $3n + 3n = 6n$ líneas de dirección, es decir 2^{6n} palabras. El resultado de sumar dos números de $3n$ bits cada uno es un número de $3n + 1$ bits, por lo que cada palabra de la memoria *ROM* resultante deberá tener $3n + 1$ bits.

Como consecuencia la memoria *ROM* resultante debe tener una capacidad total de: 2^{6n} palabras \times ($3n + 1$) bits/palabra.

Ahora bien, como dicha memoria debe construirse usando módulos de 2^{3n} palabras \times 1 bit/palabra, es preciso emplear un total de:

$$(2^{6n} \text{ palabras} \times (3n + 1) \text{ bits/palabra}) / (2^{3n} \text{ palabras/módulo} \times 1 \text{ bit/palabra}) = 2^{3n} \times (3n + 1) \text{ módulos}$$

Respuesta: C ($2^{3n} \times (3n + 1)$ módulos)

7.- Haciendo uso de una memoria *ROM*, se desea diseñar una Unidad de Control con 256 estados, que genere 200 señales de control totalmente independientes y que reciba 10 señales de condición, aunque en cada estado va a ser consultada como máximo una de ellas. Si la memoria *ROM* usada tiene un coste de 1 euro/Kbit indicar si las siguientes afirmaciones son verdaderas o falsas:

I. Si se utiliza un diseño con *selección por estado* el coste de la *ROM* es inferior a 100 euros.

II. Si se utiliza un diseño con *selección por campo* el coste de la *ROM* es superior a 100 euros.

A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

Solución

[Ver la página 307 y ss. del texto de teoría.] Para codificar los 256 estados hacen falta 8 bits. Las 200 señales de control, al ser totalmente independientes, no pueden ser codificadas. De las 10 señales de condición sólo se consulta, a lo sumo, una de ellas, por lo que la salida del multiplexor será de un único bit.

Harán falta, por tanto, $8 + 1 = 9$ bits para seleccionar una palabra de la memoria *ROM*, cuya capacidad será de $2^9 = 512$ palabras.

I. Al tratarse de un diseño con selección por estado, cada palabra de la memoria *ROM* tendrá dos campos: uno de 8 bits para el estado presente y otro de 200 bits para las señales de control. El ancho de palabra será por tanto de $200 + 8 = 208$ bits.

La capacidad de la memoria *ROM* es por tanto de $512 \text{ palabras} \times 208 \text{ bits/palabra} = 106496 \text{ bits} = 106,5 \text{ Kbits}$. Y por consiguiente su coste será de 106,5 euros, lo que implica que la afirmación es falsa.

II. Al tratarse de un diseño de selección por campo, cada palabra de la memoria tendrá tres campos: uno de selección de 4 bits ($2^4 = 16$ para las 10 señales de condición), uno de estado presente de 8 bits (puesto que hay 256 estados) y otro de 200 bits para las señales de control. El ancho de palabra será de $200 + 8 + 4 = 212$ bits. Por tanto, la capacidad de la memoria *ROM* es ahora de $512 \text{ palabras} \times 212 \text{ bits/palabra} = 108544 \text{ bits}$. Su coste será de 108,5 euros, lo que implica que la afirmación es verdadera.

Respuesta: C (I: no, II: sí)

8.- La Unidad de Control microprogramada de un computador tiene un tamaño de microinstrucción de 32 bits. La parte de control del formato de una microinstrucción emplea 14 bits para seleccionar independientemente las microoperaciones que se llevan a cabo. Esta unidad de control tiene un campo para indicar el tipo de bifurcación a realizar (condicional, incondicional o no bifurcar) y un campo para seleccionar una única señal de condición de las 16 señales disponibles. ¿Cuál es el tamaño máximo de la memoria de control?

A) 2^{16} palabras B) 2^{20} palabras C) 2^{42} palabras D) 2^{12} palabras

Solución

[Véase el Problema 7.2 del libro de problemas]. La microinstrucción tiene 32 bits de longitud, de los cuales 14 bits se emplean para seleccionar las microoperaciones, 2 bits para codificar el tipo de bifurcación y 4 ($2^4 = 16$) para seleccionar una única señal de condición. Por lo tanto, para la dirección quedan disponibles $32 - 14 - 2 - 4 = 12$ bits. De esta forma, el tamaño máximo de la memoria de control es 2^{12} palabras.

Respuesta: D (2^{12} palabras)

PROBLEMA

Sea el siguiente algoritmo:

- 1: **Declaración de registros** $A [5], B [3], R [5]$;
- 2: **Declaración de buses**
Bus-Entrada [5], Bus-Salida [5];
- 3: Inicio: $A \leftarrow$ Bus-Entrada; número binario
- 4: $B \leftarrow$ Bus-Entrada; número binario
- 5: Bucle: $A \leftarrow A \times B$;
- 6: $B \leftarrow B - 1$;
- 7: **if** $B \diamond 1$ **then go to** Bucle;
- 8: $R \leftarrow A$;
- 9: Bus-salida $\leftarrow R$;
- 10: Parar;

A) (1 pto) Si inicialmente en A se carga el valor 00001 y en B se carga el valor 100 ¿Cuál es el valor de R al finalizar el algoritmo? ¿Qué operación realiza este algoritmo?.

B) (1,5 ptos) Diseñar la Unidad de Procesamiento y la Unidad de Control que realiza este algoritmo.

C) (1,5 ptos) Especificar el diagrama de flujo que realice el algoritmo, el diagrama de estados de la Unidad de Control y las acciones que tiene que efectuar cuando se encuentra en cada uno.

A) Según el enunciado, los valores en binario que se cargan inicialmente en A y en B son 00001 (1 en decimal) y 100 (4 en decimal) respectivamente. En la siguiente tabla se muestra la evolución de los registros A , B y R a lo largo de la ejecución del algoritmo. En dicha tabla, si no aparece el valor almacenado en el registro es porque no es relevante para el problema.

Nº	Instrucción	A	B	R
3:	$A \leftarrow$ Bus-Entrada;	00001	- -	- -
4:	$B \leftarrow$ Bus-Entrada;	00001	100	- -
5:	$A \leftarrow A \times B$;	00100	100	- -
6:	$B \leftarrow B - 1$;	00100	011	- -
7:	if $B \diamond 1$ then go to Bucle;	00100	011	- -
5:	$A \leftarrow A \cdot B$;	01100	011	- -
6:	$B \leftarrow B - 1$;	01100	010	- -
7:	if $B \diamond 1$ then go to Bucle;	01100	010	- -
5:	$A \leftarrow A \cdot B$;	11000	010	- -
6:	$B \leftarrow B - 1$;	11000	001	- -
7:	if $B \diamond 1$ then go to Bucle;	11000	001	- -
8:	$R \leftarrow A$;	11000	001	11000

Evolución de los registros al ejecutarse el algoritmo

Como se puede observar el valor almacenado en el registro R tras la ejecución del algoritmo es 11000 (24 en decimal).

Analizando el algoritmo se puede ver que la operación que se efectúa es el factorial de B , tal y como se muestra en la siguiente expresión:

$$\prod_{i=0}^{B-1} (B - i) = B \cdot (B - 1) \cdot (B - 2) \cdot \dots \cdot 1 = B!$$

Que para el caso particular de los valores de A y B que se proponen en el enunciado queda efectivamente 24.

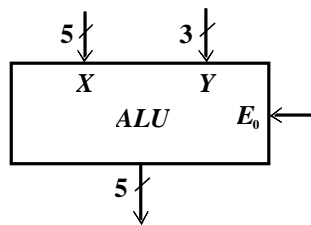
$$\prod_{i=0}^{4-1} (B - i) = 4 \cdot (4 - 1) \cdot (4 - 2) \cdot (4 - 3) = 4! = 24$$

B) Para el diseño de la Unidad de Procesamiento se necesita: 1 registro *A* de 5 bits, 1 registro *B* de 3 bits, 1 registro *R* de 5 bits, 1 Bus de entrada de 5 bits de longitud y 1 Bus de salida de 5 bits de longitud, además de algunos otros elementos auxiliares como multiplexores. .

Como la Unidad de Procesamiento necesita realizar dos tipos de operaciones (resta y multiplicación), se va disponer de una Unidad Aritmético Lógica (*ALU*) como la mostrada en la siguiente figura donde con 1 señal de control se selecciona el modo de funcionamiento necesario siguiendo el esquema de la siguiente tabla.

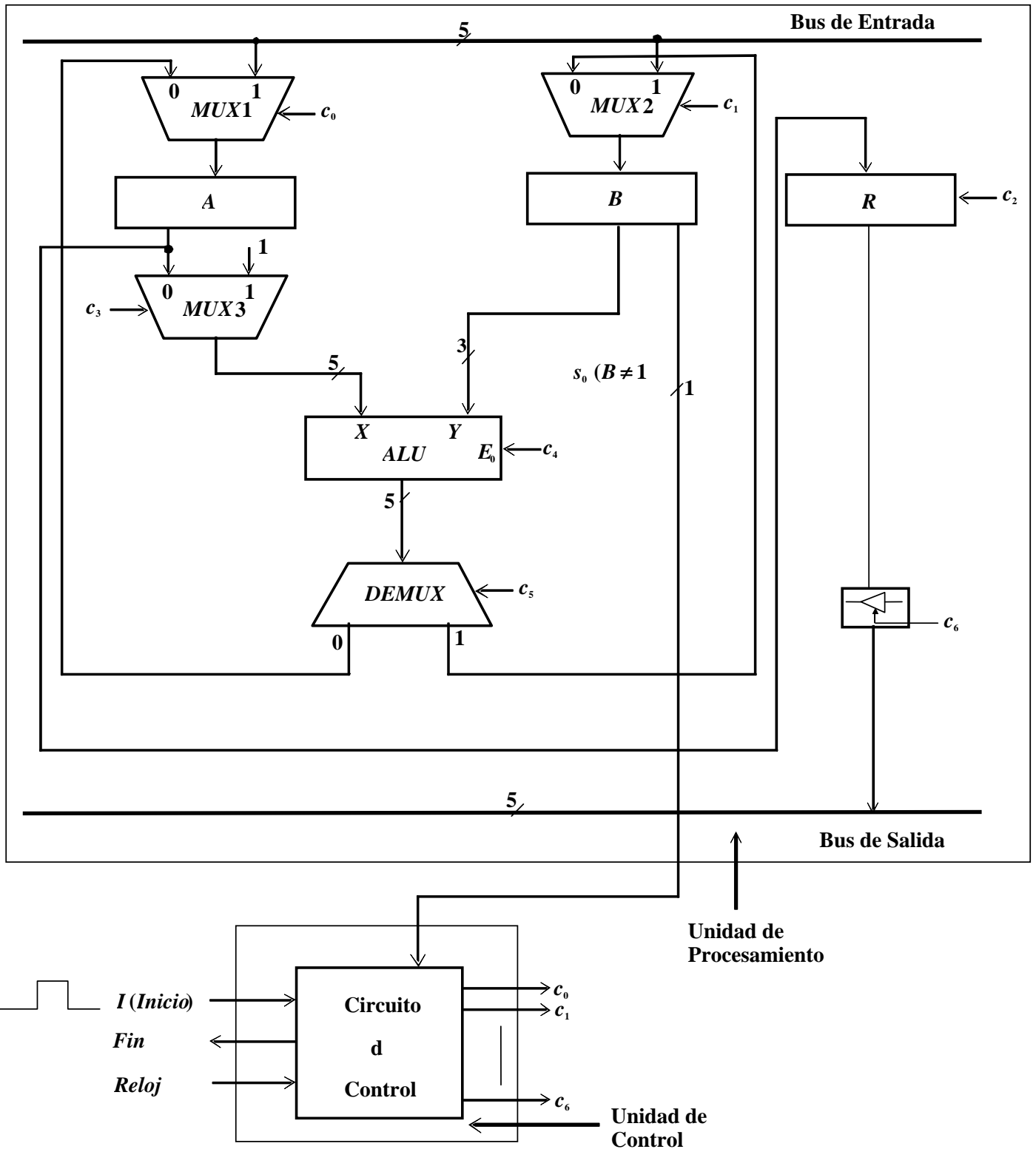
Operación	Entradas de selección E_0
$X \cdot Y$	0
$X - Y$	1

Operaciones de la ALU



Módulo de la Unidad Arimético Lógica empleada

Con estos elementos se puede proponer la arquitectura mostrada en la siguiente figura, que es capaz de ejecutar el algoritmo propuesto. Se han introducido en el esquema los diferentes puntos de control que se necesitan. El multiplexor a la entrada de *A* y *B* permite seleccionar dos fuentes de datos a almacenar en ellos: el Bus de Entrada y la salida de la *ALU*. También existe un camino de la salida del registro *A* al registro *R*, con el fin de poder almacenar el resultado en dicho registro como exige el paso 8 del algoritmo. Además hay otro camino desde el registro *R* al Bus de Salida, para poder realizar la transferencia indicada en el paso 9 del algoritmo. Se muestra también la señal de condición s_0 que si su valor es 1 representa que el contenido del registro *B* es distinto de 1.



En la siguiente tabla se describen las operaciones que gobiernan cada una de las señales de control mostradas en la figura anterior:

Señal de Control	Operación controlada
c_0	Selección del multiplexor 1: Bus-Entrada / DEMUX
c_1	Selección del multiplexor 2: Bus-Entrada / DEMUX
c_2	Cargar R desde A ($R \leftarrow A$)
c_3	Selección del multiplexor 3: 1 / A
c_4	Selección de la operación de la ALU
c_5	Selección del demultiplexor (salida de la ALU hacia A ó B)
c_6	Transferir R al Bus de Salida

C) En la siguiente figura se muestra el diagrama de flujo del algoritmo y el diagrama de estados asociados a la Unidad de

Control. Y en la Tabla posterior se dan las acciones tomadas en cada uno de los estados con las señales de control que hay que activar.

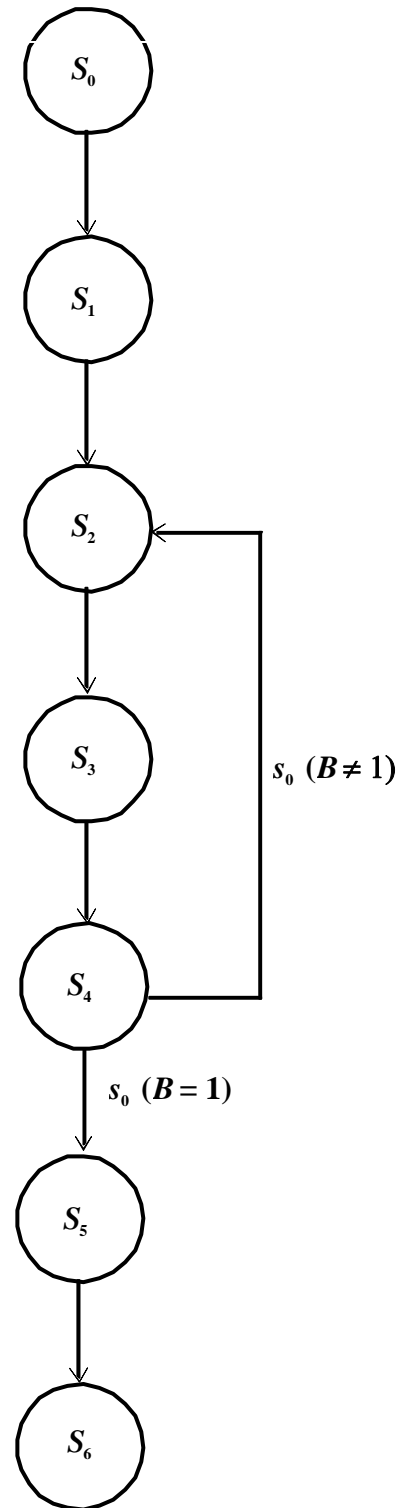
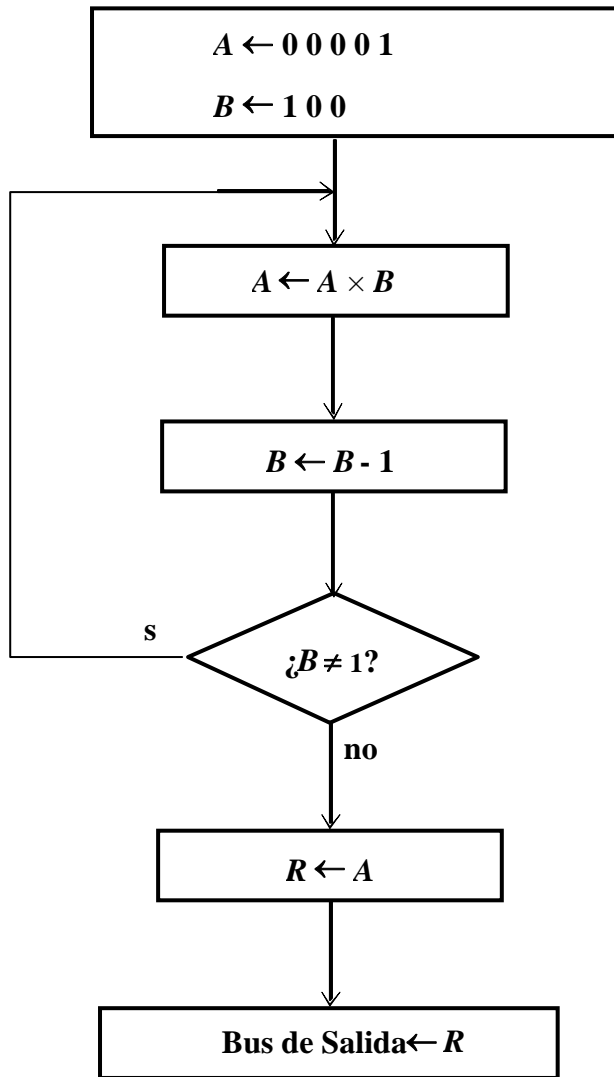


Diagrama de flujo del algoritmo y diagrama de estados de la Unidad de Control

Estado de la Unidad de Control	Microoperaciones efectuadas	Señales de control a activar
--------------------------------	-----------------------------	------------------------------

S_0	$A \leftarrow 00001$	c_0
S_1	$B \leftarrow 100$	c_1
S_2	$A \leftarrow A \times B$	c_4
S_3	$B \leftarrow B - 1$	c_3, c_5
S_4	---	---
S_5	$R \leftarrow A$	c_2
S_6	Bus-salida $\leftarrow R$ Parar	c_6

Acciones tomadas por la Unidad de Control