

**MATERIAL PERMITIDO:** los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

**INSTRUCCIONES:** ENTREGUE ESTA HOJA con el resto de hojas de su examen. Complete **TODOS** los datos que se piden en la hoja de lectura óptica. La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos**. El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

**Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es C**

1.- Un controlador de *DMA* está transmitiendo palabras a memoria mediante la estrategia *transparente*. Cuando la *CPU* dispone en exclusiva del bus, las instrucciones emplean en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 2 de ellos no se requiere el acceso al bus. El controlador de *DMA* tarda 1 ciclo de reloj en transmitir una palabra. Si la frecuencia de reloj del computador es de  $10^7$  ciclos/s, ¿cuánto tiempo tardará el controlador de *DMA* en mover un bloque de datos compuesto por  $10^7$  palabras?

- A) 0,5s                      B) 1s                      C) 2s                      D) Ninguna de las anteriores.

2.- Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción y microprogramación horizontal tiene una memoria de control con  $2K$  palabras  $\times$  32 bits/palabra de capacidad. Indicar el número máximo de puntos de control en la ruta de datos asociada.

- A) 10                      B) 12                      C) 22                      D) Ninguna de las anteriores.

3.- Una memoria caché asociativa por conjuntos consta de 16 conjuntos con 4 bloques por conjunto. La memoria principal tiene una capacidad de  $1M$  ( $2^{20}$ ) palabras dividida en bloques de 128 palabras. A la dirección de memoria principal, expresada en binario, 10100001100100110000, le corresponde el conjunto, expresado en decimal:

- A) 7                      B) 3                      C) 2                      D) Ninguna de las anteriores.

4.- Se dispone de un bus síncrono que tiene un tiempo de ciclo de 50 ns y cada transacción del bus requiere un ciclo de reloj. Este bus multiplexa las direcciones y los datos por un conjunto de 32 líneas. Si la memoria tiene 200 ns de tiempo de acceso, el ancho de banda en el proceso de lectura de dicha memoria es de:

- A) 10,5 Mbytes/s      B) 20,2 Mbytes/s      C) 13,3 Mbytes/s      D) Ninguna de las anteriores.

5.- Sea una *CPU* con 4 líneas de interrupción  $PI_1$ ,  $PI_2$ ,  $PI_3$  y  $PI_4$ , numeradas en orden creciente de prioridad, es decir,  $PI_1$  tiene la prioridad mínima y  $PI_4$  la máxima. Se supone que se producen 4 peticiones de interrupción en este orden:  $PI_3$ ,  $PI_1$ ,  $PI_4$  y  $PI_2$ . Teniendo en cuenta que las tres últimas se producen simultáneamente mientras se está ejecutando el programa de servicio de  $PI_3$ , si el sistema no permite anidamiento de interrupciones, el orden en que se tratan las interrupciones es:

- A)  $PI_3$ ,  $PI_2$ ,  $PI_4$  y  $PI_1$       B)  $PI_3$ ,  $PI_4$ ,  $PI_2$  y  $PI_1$       C)  $PI_3$ ,  $PI_1$ ,  $PI_2$  y  $PI_4$       D) Ninguna de las anteriores.

6.- ¿Cuántos sumadores binarios completos de 1 bit (*SBC*'s) harían falta para construir un sumador binario paralelo de  $2n$  bits?

- A)  $n$                       B)  $2n$                       C)  $\log_2 n$                       D) Ninguna de las anteriores.

7.- En la figura se muestra la tabla de transición de estados de un circuito secuencial síncrono con dos estados y dos entradas ( $x$ ,  $y$ ), donde  $Q$  es la variable de estado necesaria para la representación de los dos estados. Si el circuito se diseña empleando un elemento de memoria tipo  $D$ , indicar cuál de las siguientes expresiones de entrada al elemento de memoria es correcta:

Estado presente $Q$	Próximo Estado			
	$\bar{x}\bar{y}$	$\bar{x}y$	$x\bar{y}$	$xy$
0	0	0	1	0
1	1	0	1	1

A)  $D = \bar{Q} \cdot x \cdot \bar{y} + Q \cdot \bar{x} \cdot y$

B)  $D = Q \cdot (\bar{y} + x) + x \cdot \bar{y}$

C)  $D = Q \cdot x \cdot \bar{y}$

D) Todas las afirmaciones anteriores son falsas.

8.- En un procesador con instrucciones de cero direcciones (procesador con pila), ¿qué expresión calcula la secuencia de instrucciones: Push M[C]; Push M[D]; Mult; Push M[C]; Push M[D]; Mult; Add; Pop M[A]?

- A)  $A = (C+D) \times 2$       B)  $A = (C+D+D) \times C$       C)  $A = 2 \times (C \times D)$       D) Ninguna de las anteriores.

**Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.**

**Cuestión 1** (0.5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

**Cuestión 2** (0.75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

**Cuestión 3** (0.75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

**Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):**

El siguiente algoritmo describe una operación que se realiza en un sistema digital:

```
1:      Declaración de registros   A, B, C;
2:      Inicio: A ← Entrada1;
3:      B ← Entrada2;
4:      C ← Entrada3;
5:      Bucle: if (C > 0) then go to Operar;
6:      else go to Final;
7:      Operar: A ← A + B;
8:      C ← C - 1;
9:      go to Bucle;
10:     Final: if (A > 25) then Salida ← A;
11:     go to Final;
```

A) (2 pts) Obtener su diagrama ASM.

B) (2 pts) Diseñar una ruta de datos o unidad de procesamiento para este algoritmo.

**SOLUCIONES**

1.- Un controlador de *DMA* está transmitiendo palabras a memoria mediante la estrategia *transparente*. Cuando la *CPU* dispone en exclusiva del bus, las instrucciones emplean en promedio, 4 ciclos de reloj en ser ejecutadas, aunque en 2 de ellos no se requiere el acceso al bus. El controlador de *DMA* tarda 1 ciclo de reloj en transmitir una palabra. Si la frecuencia de reloj del computador es de  $10^7$  ciclos/s, ¿cuánto tiempo tardará el controlador de *DMA* en mover un bloque de datos compuesto por  $10^7$  palabras?

- A) 0,5s                      B) 1s                      C) 2s                      D) Ninguna de las anteriores.

**Solución**

En la estrategia de *DMA transparente* no se produce ninguna interferencia entre el controlador de *DMA* y la *CPU*. El controlador de *DMA* aprovecha los ciclos de reloj en los que la *CPU* no utiliza el bus para realizar la transmisión.

Según el enunciado del problema, el controlador de *DMA* transmite una palabra durante los 2 ciclos de reloj en los que la *CPU* no utiliza el bus cuando ejecuta una instrucción. Por tanto, en los 4 ciclos de reloj que tarda la *CPU* en ejecutar una instrucción, el controlador de *DMA* transmite 2 palabras.

La velocidad de transferencia resultante, si el reloj del computador tiene una frecuencia de  $10^7$  ciclos/s, es de:

$$(10^7 \text{ ciclos/s}) \times (2/4 \text{ palabras/ciclo}) = 0,5 \times 10^7 \text{ palabras/s}$$

Con esta velocidad de transferencia, para mover un bloque de  $10^6$  palabras el controlador de *DMA* tardará:

$$(10^7 \text{ palabras}) / (0,5 \times 10^7 \text{ palabras/s}) = 2 \text{ s}$$

**Respuesta: C**

2.- Una unidad de control microprogramada con direccionamiento explícito con dos direcciones por microinstrucción y microprogramación horizontal tiene una memoria de control con  $2K$  palabras  $\times$  32 bits/palabra de capacidad. Indicar el número máximo de puntos de control en la ruta de datos asociada.

- A) 10                      B) 12                      C) 22                      D) Ninguna de las anteriores.

**Solución**

[Ver el apartado 7.2.3 y 7.2.4 del texto base de teoría].

La memoria de control almacenará las posibles microinstrucciones que se pueden ejecutar en el sistema, la anchura de esta memoria y por tanto de una microinstrucción según el enunciado es de 32 bits.

Por otra parte puesto que hay  $2K$  palabras, el número de bits necesarios para codificar una dirección de esta memoria de control es 10, ya que  $2K = 2^{11}$ . Luego como se utiliza un direccionamiento explícito con dos direcciones por microinstrucción se requieren  $2 \times 11 = 22$  bits para especificar ambas direcciones.

Como la anchura de una microinstrucción es de 32 bits, eso significa que se utilizan 10 bits  $(32 - 22) = 10$  para el campo de control. Es decir, la estructura de la microinstrucción sería:

Control: 10 bits	Dirección 1: 11 bits	Dirección 2: 11 bits
------------------	----------------------	----------------------

Como el enunciado indica que se usa microprogramación horizontal, eso significa que se asigna un bit a cada una de las señales de control existentes en la unidad de procesamiento. En consecuencia puesto que el campo de control de la microinstrucción tiene un tamaño de 10 bits, como máximo podrán existir 10 señales de control. Puesto que cada señal de control se aplica a un determinado punto físico de control como máximo existirán **10 puntos de control**.

**Respuesta A**

3.- Una memoria caché asociativa por conjuntos consta de 16 conjuntos con 4 bloques por conjunto. La memoria principal tiene una capacidad de  $1M$  ( $2^{20}$ ) palabras dividida en bloques de 128 palabras. A la dirección de memoria principal, expresada en binario, 10100001100100110000, le corresponde el conjunto, expresado en decimal:

- A) 7                      B) 3                      C) 2                      D) Ninguna de las anteriores.

## Solución

Hay que determinar el número de bits que contienen los 3 campos (etiqueta, conjunto y palabra) en los que se divide el formato de la dirección de  $M_p$  en una memoria caché asociativa por conjuntos.

Como la capacidad de la memoria principal es de  $1M$  palabras ( $2^{20}$ ), esto implica que el número total de bits para direccionar a la  $M_p$  es de:  $n = 20$  bits.

Como la memoria caché asociativa por conjuntos consta de 16 conjuntos ( $2^4$ ), esto implica que el número de bits que necesita el campo conjunto es de:  $c = 4$  bits.

Como cada bloque en los que se divide la  $M_p$  consta de 128 palabras ( $2^7$ ), esto implica que el número de bits que necesita el campo palabra es de:  $p = 7$  bits.

A partir de estos datos podemos ya determinar el número de bits que contiene el campo etiqueta que es de:  $e = n - p - c = 20 - 7 - 4 = 9$  bits.

A la dirección de memoria principal, expresada en binario, 10100001100100110000, le corresponderán entonces los contenidos siguientes en los diferentes campos de la dirección:

- etiqueta (los 9 bits más significativos de la dirección): 101000011
- conjunto (los 4 bits siguientes de la dirección): 0010
- palabra (los 7 bits menos significativos de la dirección): 0110000

Luego el conjunto expresado en decimal es el 2.

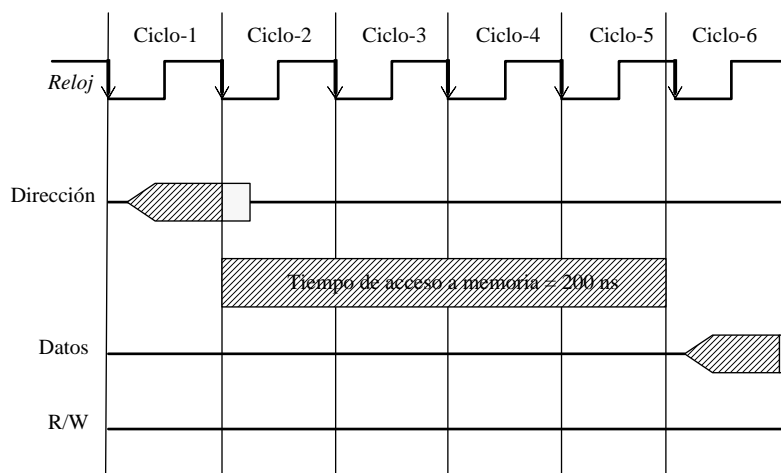
## Respuesta: C

4.- Se dispone de un bus síncrono que tiene un tiempo de ciclo de 50 ns y cada transacción del bus requiere un ciclo de reloj. Este bus multiplexa las direcciones y los datos por un conjunto de 32 líneas. Si la memoria tiene 200 ns de tiempo de acceso, el ancho de banda en el proceso de lectura de dicha memoria es de:

- A) 10,5 Mbytes/s    B) 20,2 Mbytes/s    C) 13,3 Mbytes/s    D) Ninguna de las anteriores.

## Solución

En la figura siguiente se muestra el cronograma correspondiente al proceso de escritura utilizando el bus síncrono:



Cronograma del proceso de lectura con bus síncrono

Como se puede observar, los distintos tiempos significativos para la resolución del problema son los siguientes:

Envío de dirección a memoria = 50 ns

Lectura de memoria = 200 ns

Envío de datos a CPU = 50 ns

Por lo tanto se tarda un total de 300 ns en leer 32 bits (= 4 bytes), luego el ancho de banda será:

$$\text{Ancho de banda} = 4 \text{ bytes} / 300 \text{ ns} = 4 \text{ Mbytes} / 0,3 \text{ s} = 13,3 \text{ Mbytes/s}$$

## Respuesta: C

5.- Sea una CPU con 4 líneas de interrupción  $PI_1, PI_2, PI_3$  y  $PI_4$ , numeradas en orden creciente de prioridad, es decir,  $PI_1$  tiene la prioridad mínima y  $PI_4$  la máxima. Se supone que se producen 4 peticiones de interrupción en este orden:  $PI_3, PI_1, PI_4$  y  $PI_2$ . Teniendo en cuenta que las tres últimas se producen simultáneamente mientras se está ejecutando el programa de servicio de  $PI_3$ , si el sistema no permite anidamiento de interrupciones, el orden en que se tratan las interrupciones es:

- A)  $PI_3, PI_2, PI_4$  y  $PI_1$       B)  $PI_3, PI_4, PI_2$  y  $PI_1$       C)  $PI_3, PI_1, PI_2$  y  $PI_4$       D) Ninguna de las anteriores.

**Solución**

Como el sistema no permite anidamiento se trata de un sistema con un único nivel de interrupciones. Por lo tanto, una vez que se inicia la ejecución del programa de servicio de una interrupción continúa hasta que finalice antes de que la CPU pueda aceptar una segunda petición de interrupción.

La secuencia de petición de interrupciones es la siguiente: Llega  $PI_3$  y comienza a ejecutarse el programa de servicio de  $PI_3$ . A continuación, de forma simultánea llegan  $PI_1, PI_4$  y  $PI_2$ . Cuando llegan estas tres peticiones se continúa ejecutando el programa de servicio de  $PI_3$ . Al finalizar este programa de atención a  $PI_3$ , se procede a ejecutar el programa de servicio de  $PI_4$  que es la interrupción recibida con mayor prioridad. Cuando éste finaliza, se procede a ejecutar el programa servicio de  $PI_2$ , la siguiente que debe ser atendida según órdenes de prioridades. Por último, cuando termina el programa de servicio de la interrupción  $PI_2$ , se procede a ejecutar el programa de gestión de  $PI_1$ .

Por lo tanto, el orden de ejecución de las interrupciones es:  $PI_3, PI_4, PI_2$  y  $PI_1$ .

**Respuesta: B**

6.- ¿Cuántos sumadores binarios completos de 1 bit (SBC's) harían falta para construir un sumador binario paralelo de  $2n$  bits?

- A)  $n$       B)  $2n$       C)  $\log_2 n$       D) Ninguna de las anteriores.

**Solución**

Como la longitud de palabra es de  $2n$  bits y se trata de implementar un sumador binario paralelo serán necesarios  $2n$  SBC's (1 por cada bit) [ver apartado 4.1.4 y Figura 4.10 del libro de texto - página 194].

**Respuesta: B**

7.- En la figura se muestra la tabla de transición de estados de un circuito secuencial síncrono con dos estados y dos entradas ( $x, y$ ), donde  $Q$  es la variable de estado necesaria para la representación de los dos estados. Si el circuito se diseña empleando un elemento de memoria tipo  $D$ , indicar cuál de las siguientes expresiones de entrada al elemento de memoria es correcta:

Estado presente $Q$	Próximo Estado			
	$\bar{x}\bar{y}$	$\bar{x}y$	$x\bar{y}$	$xy$
0	0	0	1	0
1	1	0	1	1

- A)  $D = \bar{Q} \cdot x \cdot \bar{y} + Q \cdot \bar{x} \cdot y$   
 B)  $D = Q \cdot (\bar{y} + x) + x \cdot \bar{y}$   
 C)  $D = Q \cdot x \cdot \bar{y}$   
 D) Todas las afirmaciones anteriores son falsas.

**Solución**

[Ver las secciones 5.5.5, B.3.3, B.6.5, B.6.6 y B.6.11 del texto base de teoría, así como el problema 5-2 del libro de problemas]. La forma más adecuada de resolver este ejercicio consiste en construir la tabla de la verdad de cada una de las soluciones propuestas y compararlas con los valores de  $D(t)$  obtenidos de la tabla de estados del enunciado. Se observa que la solución correcta es la B).

Q	x	y	D(t)	A)	B)	C
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	1	1	1	0
0	1	1	0	0	0	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	1	0	1	0	1	1
1	1	1	1	0	1	0

### Respuesta B

8.- En un procesador con instrucciones de cero direcciones (procesador con pila), ¿qué expresión calcula la secuencia de instrucciones: Push M[C]; Push M[D]; Mult; Push M[C]; Push M[D]; Mult; Add; Pop M[A]?

A)  $A = (C+D) \times 2$       B)  $A = (C+D+D) \times C$       C)  $A = 2 \times (C \times D)$       D) Ninguna de las anteriores.

### Solución

[Ver apartado 6.1.4 del texto base de teoría y el problema 6-4 del libro de problemas]. La evolución del contenido de la pila según se van ejecutando las instrucciones se muestra a continuación:

Contenido de la pila

Push M [C]; C

Push M[D]; C, D

Mult  $C \times D$

Push M[C];  $C \times D$ , C

Push M[D];  $C \times D$ , C, D

Mult;  $C \times D$ ,  $C \times D$

Add;  $(C \times D) + (C \times D)$

Pop M[A];

### Respuesta: C

## PROBLEMA

El siguiente algoritmo describe una operación que se realiza en un sistema digital:

- 1:           **Declaración de registros**     $A, B, C$ ;
- 2:           Inicio:  $A \leftarrow \text{Entrada1}$ ;
- 3:                        $B \leftarrow \text{Entrada2}$ ;
- 4:                        $C \leftarrow \text{Entrada3}$ ;
- 5:           Bucle: **if** ( $C > 0$ ) **then go to** Operar;
- 6:                       **else go to** Final;
- 7:           Operar:  $A \leftarrow A + B$ ;
- 8:                        $C \leftarrow C - 1$ ;
- 9:                       **go to** Bucle;
- 10:          Final: **if** ( $A > 25$ ) **then**  $\text{Salida} \leftarrow A$ ;
- 11:                       **go to** Final;

A) (2 pts) Obtener su diagrama ASM.

B) (2 pts) Diseñar una ruta de datos para este algoritmo.

## Solución

Para resolver este problema se necesitan cuatro variables:  $A$ ,  $B$ ,  $C$  y  $\text{Salida}$ . El algoritmo comienza introduciendo desde tres puertos de entrada ( $\text{Entrada1}$ ,  $\text{Entrada2}$  y  $\text{Entrada3}$ ) valores en  $A$ ,  $B$  y  $C$  respectivamente. A continuación se entra en un bucle que se repite hasta que  $C$  sea menor que cero. En el caso en que  $C > 0$ , se suman los contenidos de  $A$  y  $B$  (almacenando el resultado en  $A$ ), se decreenta en uno el valor de  $C$  y se ejecuta el bucle de nuevo. En caso contrario, se analiza el valor almacenado en  $A$  y si es mayor que 25 se carga el valor almacenado en  $A$  en la variable  $\text{Salida}$ .

En la Figura 1 se muestra un diagrama ASM para este algoritmo. Tiene tres estados. En el  $S_0$  se inicializan  $A$ ,  $B$  y  $C$ . En el  $S_1$  se realizan las dos operaciones sobre los valores contenidos en  $A$  y  $C$ . En  $S_2$ , si se satisface la condición  $A > 25$  se carga el valor de  $A$  en la variable  $\text{Salida}$ .

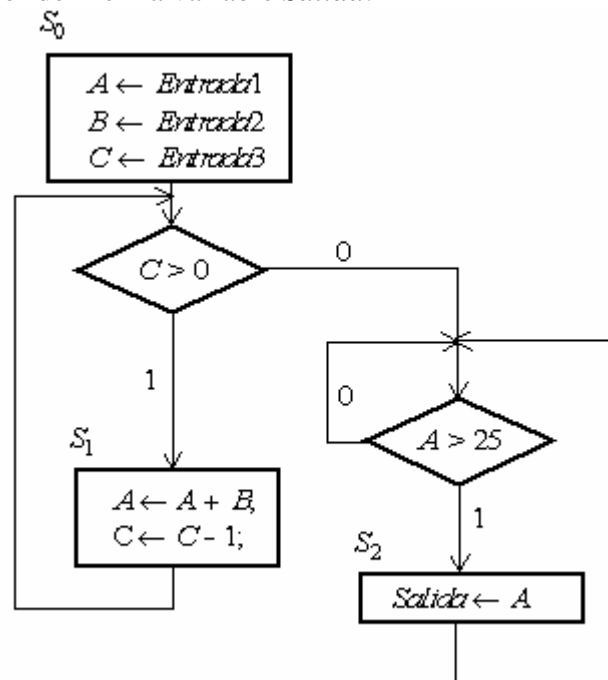


Figura 1: Diagrama ASM para el algoritmo propuesto.

En la Figura 2 se muestra la Unidad de Procesamiento propuesta para este algoritmo. Con relación a esta

arquitectura se pueden realizar los siguientes comentarios:

- Se dispone de tres registros *A*, *B* y *Salida* que se cargan con las señales de control  $c_1$ ,  $c_2$  y  $c_3$  respectivamente.
- Se dispone de un *Contador C*, que se carga con la señal  $c_4$  y se puede decrementar en uno activando la señal  $c_5$ .
- La señal de selección del multiplexor,  $c_6$ , sirve para cargar en *A* el valor de *Entrada1* o la salida del sumador.
- El sumador genera una señal *MayorA25* en caso de que el valor contenido en *A* sea mayor que 25.
- El *Contador C* genera una señal *zeroC* cuando su valor sea cero.

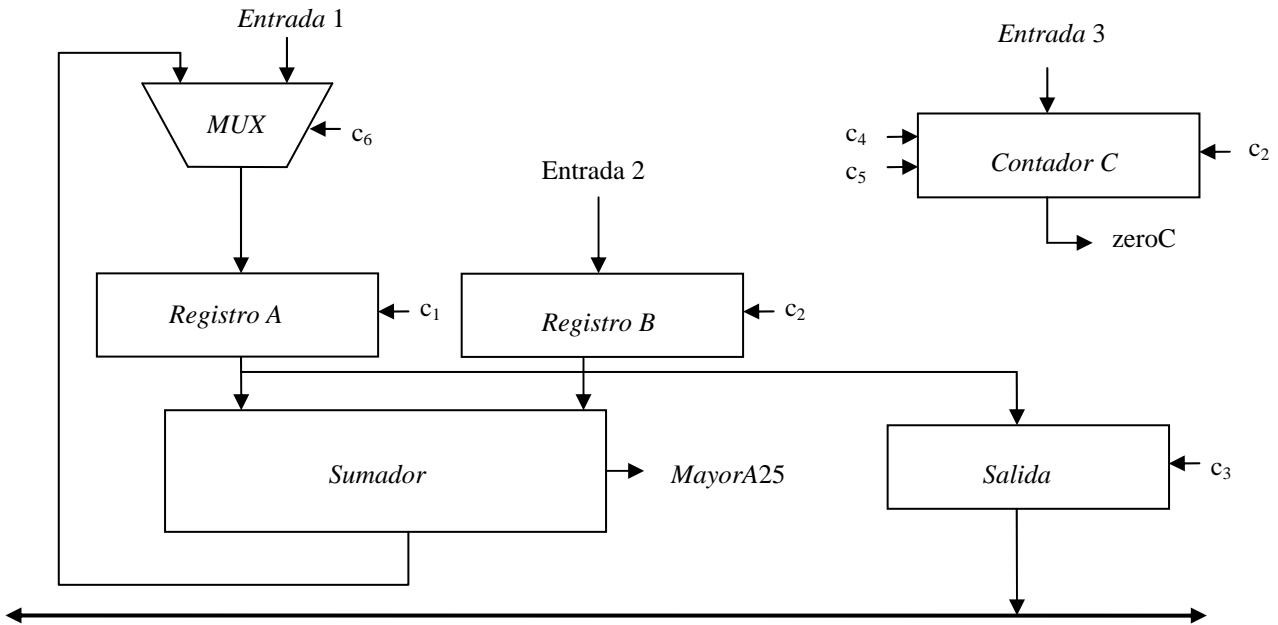


Figura 2: Ruta de datos para el algoritmo propuesto