

**MATERIAL PERMITIDO:** los libros “Estructura y tecnología de computadores” y “Problemas de estructura y tecnología de computadores”, ed. Sanz y Torres, y calculadora. **NO SE PERMITEN FOTOCOPIAS.**

**INSTRUCCIONES:** ENTRÉGUE ESTA HOJA con el resto de hojas de su examen. Complete **TODOS** los datos que se piden en la hoja de lectura óptica. La puntuación del examen es la siguiente: el test vale 4 puntos, las cuestiones teóricas 2 puntos y el problema 4 puntos. Las respuestas correctas del test puntúan 0.5 puntos y las respuestas erróneas del test **descuentan 0.1 puntos**. El test es **eliminador**, debiendo obtener una calificación mínima de **1.6 puntos** para superarlo (con 4 preguntas correctas se supera).

**Test: Conteste exclusivamente en HOJA DE LECTURA ÓPTICA. No olvide marcar que su tipo de examen es A.**

1.- Se dispone de un computador que emplea dos niveles de memoria caché y una memoria principal. Los tiempos medios de acceso a la memoria caché de primer nivel, a la de segundo nivel y a la memoria principal son de 4 ns, 10 ns y 122 ns respectivamente. La tasa de acierto de la memoria caché de primer nivel es 0,9 y la tasa de acierto combinada de ambas cachés es 0,8. Calcular el tiempo de acceso medio al sistema conjunto de memoria.

A) 24,4 ns                      B) 29 ns                      C) 32,6 ns                      D) Ninguna de las anteriores.

2.- En un computador que funciona a una velocidad de  $10^5$  ciclos/s, una instrucción emplea, en promedio, 5 ciclos máquina en ser ejecutada y en 2 de esos ciclos no hace uso del bus. Este computador tiene un controlador de *DMA* que emplea 2 ciclos en la transferencia de una palabra.

I. Utilizando *DMA* transparente, la máxima velocidad de transferencia de datos es de 20.000 palabras/s.

II. Empleando *DMA* por robo de ciclos, la máxima velocidad de transferencia de datos es superior a 15.000 palabras/s.

A) I: sí, II: sí.                      B) I: sí, II: no.                      C) I: no, II: sí.                      D) I: no, II: no.

3.- Se desea diseñar un circuito sumador/restador de dos números binarios sin signo de  $n$  bits cada uno utilizando una memoria *ROM*. Una señal de control indica el tipo de operación a realizar. El tamaño mínimo de la memoria *ROM* será de:

A)  $2^{2n+1} \times 2n$                       B)  $2^{2n} \times 4$                       C)  $2^{n+1} \times 2n$                       D) Ninguna de las anteriores.

4.- La *CPU* de un computador ejecuta instrucciones de 32 bits de longitud. Si el bus tiene una anchura de 8 líneas de datos y 16 de dirección, indicar cual es la respuesta correcta:

A) La *CPU* deberá acceder a la memoria 4 veces para ejecutar cada instrucción.

B) La *CPU* accederá a la memoria 2 veces para ejecutar cada instrucción.

C) El número de accesos a memoria depende de cuantas líneas de control tenga el bus.

D) Ninguna de las respuestas anteriores es correcta.

5.- En el diseño de una Unidad de Control de 64 estados con una memoria *ROM*, un registro y un multiplexor, empleando el método de selección por campo, y siendo posible consultar en cada estado una única condición de las 12 existentes, es necesario que el registro tenga una capacidad de:

A) 5 bits.                      B) 10 bits.                      C) Faltan datos para calcularlo.                      D) Ninguna de las anteriores.

6.- El formato de instrucción de un procesador utiliza 6 bits para el código de operación y 14 bits para el campo de dirección. Considerando que el procesador tiene 8 registros de 8 bits cada uno para uso general, ¿cuántos campos y de cuántos bits cada uno es necesario añadir al formato de instrucción inicial para poder realizar un direccionamiento indexado a través de registros?

A) 1 campo de 3 bits.                      B) 2 campos de 3 bits.                      C) 1 campo de 2 bits.                      D) Ninguna de las anteriores.

7.- El formato de instrucción de un procesador de una dirección tiene 6 bits para el código de operación y 10 bits para la dirección del operando. Indicar cuál es la codificación en binario de una instrucción de bifurcación, con direccionamiento relativo al contador de programa, almacenada en la posición 500 (en decimal), que origina un salto a la posición 590 (en decimal), cuyo código de operación es 1110011:

A) 1110111110100101                      B) 1110110001011010                      C) 0000110001011010                      D) Ninguna de las anteriores.

8.- Indique si las siguientes afirmaciones son verdaderas. En un bus con arbitraje distribuido:

I. La posición de conexión de los dispositivos a la línea de arbitraje determina la prioridad de aquellos en el uso del bus.

II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

A) I: sí, II: sí.

B) I: sí, II: no.

C) I: no, II: sí.

D) I: no, II: no.

**Cuestiones: Conteste únicamente en el espacio disponible debajo del enunciado de la pregunta.**

**Cuestión 1** (0,5 puntos): Justificar razonadamente el resultado de la pregunta 1 del test.

**Cuestión 2** (0,75 puntos): Justificar razonadamente el resultado de la pregunta 2 del test.

**Cuestión 3** (0,75 puntos): Justificar razonadamente el resultado de la pregunta 3 del test.

**Problema (Contestar el problema en hoja de examen aparte, no en la hoja de lectura óptica):**

Considérese un computador con un microprocesador cuyo juego de instrucciones permite 60 códigos de operación diferentes, y que realiza las operaciones de entrada/salida mediante interrupciones.

- A) (1 pto) ¿Cuál será el formato de instrucción y el número de bits necesarios para poder direccionar 16.384 posiciones de memoria directamente?
- B) (1 pto) Si la palabra de memoria es de 32 bits, ¿cuántas posiciones de memoria se podrán direccionar utilizando direccionamiento indirecto?
- C) (1 pto) Considerando que el microprocesador tiene 8 registros de 8 bits cada uno para uso general, ¿qué campo y con cuántos bits es necesario añadir al formato de instrucción del **apartado A)** para poder realizar un direccionamiento indexado a través de registros?
- D) (0,5 ptos) ¿Cuál será el rango de direccionamiento en este último caso?
- E) (0,5 ptos) Al llevarse a cabo una operación de entrada/salida, ¿cuál será el tiempo máximo para que el procesador reconozca una interrupción?

## SOLUCIÓN

### TEST

1.- Se dispone de un computador que emplea dos niveles de memoria caché y una memoria principal. Los tiempos medios de acceso a la memoria caché de primer nivel, a la de segundo nivel y a la memoria principal son de 4 ns, 10 ns y 122 ns respectivamente. La tasa de acierto de la memoria caché de primer nivel es 0,9 y la tasa de acierto combinada de ambas cachés es 0,8. Calcular el tiempo de acceso medio al sistema conjunto de memoria.

- A) 24.4 ns                      B) 29 ns                      C) 32,6 ns                      D) Ninguna de las anteriores.

### Solución

El tiempo de acceso a un sistema con caché de primer y segundo nivel se puede determinar mediante la expresión mostrada en la página 94 del libro de teoría:

$$t_a = [h_1 \times t_{ca1} + (1 - h_1) \times t_{ca2}] + (1-h_2) \times t_p$$

Donde:  $t_{ca1}$  es el tiempo de acceso medio a la caché de primer nivel,  $t_{ca2}$  es el tiempo de acceso medio a la caché de segundo nivel,  $t_p$  es el tiempo de acceso medio a la memoria principal,  $h_1$  es la tasa de acierto de la memoria caché de primer nivel y  $h_2$  la tasa de acierto combinada de ambas cachés.

Por lo tanto, sustituyendo los datos del problema

$$t_a = [0,9 \times 4 + 0,1 \times 10] + 0,2 \times 122 = 3,6 + 1 + 24,4 = 29 \text{ ns}$$

### Respuesta: B

2.- En un computador que funciona a una velocidad de  $10^5$  ciclos/s, una instrucción emplea, en promedio, 5 ciclos máquina en ser ejecutada y en 2 de esos ciclos no hace uso del bus. Este computador tiene un controlador de *DMA* que emplea 2 ciclos en la transferencia de una palabra.

- I. Utilizando *DMA* transparente la máxima velocidad de transferencia de datos es de 20.000 palabras/s.
- II. Empleando *DMA* por robo de ciclos la máxima velocidad de transferencia de datos es superior a 15.000 palabras/s.

- A) I: sí, II: sí.                      B) I: sí, II: no.                      C) I: no, II: sí.                      D) I: no, II: no.

### Solución

Con *DMA* transparente, se transmite cuando no se está utilizando el bus. Por tanto, la velocidad de transferencia se calcula como sigue:

$$((10^5 \text{ ciclos/s}) / (2 \text{ ciclos/palabra})) / ((5 \text{ ciclos/instr.}) / (2 \text{ ciclos/instr.})) = 2 \times 10^4 \text{ palabras/s}$$

Por tanto la primera afirmación es cierta.

Con *DMA* por robo de ciclos se transmite en el ciclo de instrucción y además durante el tiempo que se tarda en transmitir una palabra, por lo tanto:

$$(10^5 \text{ ciclos / s}) / (5 \text{ ciclos/instr.} + 2 \text{ ciclos/palabra}) = (10/7) \times 10^4 \text{ palabras /s}$$

Por tanto la segunda afirmación es falsa.

### Respuesta: B

3.- Se desea diseñar un circuito sumador/restador de dos números binarios sin signo de  $n$  bits cada uno utilizando una memoria *ROM*. Una señal de control indica el tipo de operación a realizar. El tamaño mínimo de la memoria *ROM* será de:

A)  $2^{2n+1} \times 2n$

B)  $2^{2n} \times 4$

C)  $2^{n+1} \times 2n$

D) Ninguna de las anteriores.

**Solución**

La memoria *ROM* deberá tener  $n + n + 1 = 2n + 1$  líneas de dirección, ya que los números a sumar son de  $n$  bits cada uno (requieren cada uno  $n$  líneas de dirección) y además hay que considerar la línea correspondiente a la señal de control (suma/resta).

Por otra parte la suma de dos números sin signo de  $n$  bits cada uno da un resultado que como máximo tiene  $n + 1$  bits. Como consecuencia de lo anterior la *ROM* resultante debe tener la siguiente capacidad total:

$$2^{2n+1} \text{ palabras} \times (n + 1) \text{ bits/palabra}$$

La respuesta correcta es la D: Ninguna de las anteriores.

**Respuesta: D**

4.- La *CPU* de un computador ejecuta instrucciones de 32 bits de longitud. Si el bus tiene una anchura de 8 líneas de datos y 16 de dirección, indicar cual es la respuesta correcta:

- A) La *CPU* deberá acceder a la memoria 4 veces para ejecutar cada instrucción.
- B) La *CPU* accederá a la memoria 2 veces para ejecutar cada instrucción.
- C) El número de accesos a memoria depende de cuantas líneas de control tenga el bus.
- D) Ninguna de las respuestas anteriores es correcta.

**Solución**

Si el bus tiene únicamente 8 líneas de datos, tendrá que realizar 4 accesos a memoria para completar cada instrucción, puesto que las instrucciones son de 32 bits. (Ver página 23 del libro de teoría).

Téngase en cuenta que: 8 líneas de datos  $\times$  4 accesos = 32 bits de instrucción.

**Respuesta: A**

5.- En el diseño de una Unidad de Control de 64 estados con una memoria *ROM*, un registro y un multiplexor, empleando el método de selección por campo, y siendo posible consultar en cada estado una única condición de las 12 existentes, es necesario que el registro tenga una capacidad de:

- A) 5 bits.
- B) 10 bits.
- C) Faltan datos para calcularlo.
- D) Ninguna de las anteriores.

**Solución**

[Ver los problemas 5-10 y 5-22, o la página 311 del texto de teoría]. El registro almacena el estado y unos bits adicionales seleccionan la(s) condición(es). Para codificar el estado hacen falta 6 bits ( $2^6 = 64$ ). Para seleccionar la condición son necesarios otros 4 bits ( $2^4 = 16 > 12$ ). Por lo tanto, el registro tiene que tener:

$$6 + 4 = 10 \text{ bits}$$

**Respuesta: B**

6.- El formato de instrucción de un procesador utiliza 6 bits para el código de operación y 14 bits para el campo de dirección. Considerando que el procesador tiene 8 registros de 8 bits cada uno para uso general, ¿cuántos campos y de cuántos bits cada uno es necesario añadir al formato de instrucción inicial para poder realizar un direccionamiento indexado a través de registros?

- A) 1 campo de 3 bits.
- B) 2 campos de 3 bits.
- C) 1 campo de 2 bits.
- D) Ninguna de las anteriores.

## Solución

La dirección efectiva en un direccionamiento indexado a través de registros se obtiene como la suma de una dirección base de memoria contenida en el campo de dirección de la instrucción y un desplazamiento (contenido en el registro índice). Por tanto, es necesario añadir un campo de registro con 3 bits para poder referenciar cualquiera de los 8 ( $2^3$ ) registros diferentes del procesador. El formato de instrucción será:

<b>Código de operación (6 bits)</b>	<b>Dirección (registros)(3 bits)</b>	<b>Base(14 bits)</b>
-------------------------------------	--------------------------------------	----------------------

## Respuesta: A

7.- El formato de instrucción de un procesador de una dirección tiene 6 bits para el código de operación y 10 bits para la dirección del operando. Indicar cuál es la codificación en binario de una instrucción de bifurcación, con direccionamiento relativo al contador de programa, almacenada en la posición 500 (en decimal), que origina un salto a la posición 590 (en decimal), cuyo código de operación es 1110011:

- A) 1110111110100101      B) 1110110001011010      C) 0000110001011010      D) 1110111110100110

## Solución

El operando de la instrucción codifica el valor del salto a realizar. Como se salta de la posición 500 a la posición 590, el valor del salto es 90 ( $= 590 - 500$ ). Codificando 90 en binario con 10 bits se obtiene: 0001011010. En resumen, la instrucción tiene el código de operación 111011, propuesto en el enunciado, y como operando el valor calculado antes 0001011010.

Por tanto la codificación en binario de esta instrucción es: **1110110001011010**

## Respuesta: B

**Nota:** Al haberse detectado que al código de operación del enunciado le sobra un dígito, se ha dado por buena tanto la respuesta B como la D. Si se considera que el código de operación es de 6 dígitos, la respuesta correcta es la B. En el caso de considerar el código de operación de 7 dígitos, la respuesta correcta es la D.

8.- Indique si las siguientes afirmaciones son verdaderas. En un bus con arbitraje distribuido:

- I. La posición de conexión de los dispositivos a la línea de arbitraje determina la prioridad de aquellos en el uso del bus.
- II. El uso del bus por un dispositivo se interrumpe cuando otro dispositivo con mayor prioridad solicita el uso del bus.

- A) I: sí, II: sí.                      B) I: sí, II: no.                      C) I: no, II: sí.                      D) I: no, II: no.

## Solución

[Ver apartado 1.4.4 del libro de teoría, en concreto en la página 29, figura 1.25 se trata sobre los buses de arbitraje distribuido]

I. Cierta, puesto que el dispositivo más cercano es el de máxima prioridad.

II. Falsa. Mientras la línea de bus ocupado está activada, ningún otro módulo puede acceder al bus, aunque sea más prioritario.

## Respuesta: B

## PROBLEMA

Considérese un computador con un microprocesador cuyo juego de instrucciones permite 60 códigos de operación diferentes, y que realiza las operaciones de entrada/salida mediante interrupciones.

- A) (1 pto) ¿Cuál será el formato de instrucción y el número de bits necesarios para poder direccionar 16.384 posiciones de memoria directamente?
- B) (1 pto) Si la palabra de memoria es de 32 bits, ¿cuántas posiciones de memoria se podrán direccionar utilizando direccionamiento indirecto?
- C) (1 pto) Considerando que el microprocesador tiene 8 registros de 8 bits cada uno para uso general, ¿qué campo y con cuántos bits es necesario añadir al formato de instrucción del **apartado A)** para poder realizar un direccionamiento indexado a través de registros?
- D) (0,5 ptos) ¿Cuál será el rango de direccionamiento en este último caso?
- E) (0,5 ptos) Al llevarse a cabo una operación de entrada/salida, ¿cuál será el tiempo máximo para que el procesador reconozca una interrupción?

## SOLUCIÓN

A) Para poder disponer de un juego de instrucciones con 60 códigos de operación diferentes es necesario un campo para el código de operación de 6 bits, ya que  $2^6 = 64 > 60$ .

Por otro lado, para poder direccionar 16.384 posiciones de memoria directamente es necesario un campo de dirección de 14 bits, ya que  $2^{14} = 16.384$ . Por tanto, el formato de instrucción será:

<b>Código de operación (6 bits)</b>	<b>Dirección (14 bits)</b>
-------------------------------------	----------------------------

B) En el direccionamiento indirecto la dirección efectiva se encuentra en la posición de memoria referenciada en el campo de dirección de la instrucción. Por tanto, dado que la palabra de memoria es de 32 bits, se podrán direccionar  $2^{32}$  posiciones de memoria utilizando direccionamiento indirecto.

C) La dirección efectiva en un direccionamiento indexado a través de registros se obtiene como la suma de una dirección base de memoria y el contenido del registro índice del banco de registros. Por tanto, es necesario añadir un campo de registro con 3 bits para poder referenciar cualquiera de los 8 ( $2^3$ ) registros diferentes del procesador. El formato de instrucción será:

<b>Código de operación (6 bits)</b>	<b>Dirección (3 bits)</b>	<b>Base (14 bits)</b>
-------------------------------------	---------------------------	-----------------------

D) Como los registros son de 8 bits, con ellos se puede referenciar desde la dirección 0 hasta la dirección 255 ( $2^8-1$ ), y como el campo de dirección es de 14 bits se puede representar desde la dirección 0 hasta la dirección 16.383 ( $2^{14}-1$ ).

Por tanto, el rango de direccionamiento utilizando direccionamiento indexado a través de registros es desde 0 (0+0) hasta 16.638 (255+16.383).

E) Dado que el procesador termina la instrucción en curso antes de atender una interrupción, el tiempo máximo de reconocimiento de una interrupción será el tiempo de la instrucción que más tarde en ejecutarse.