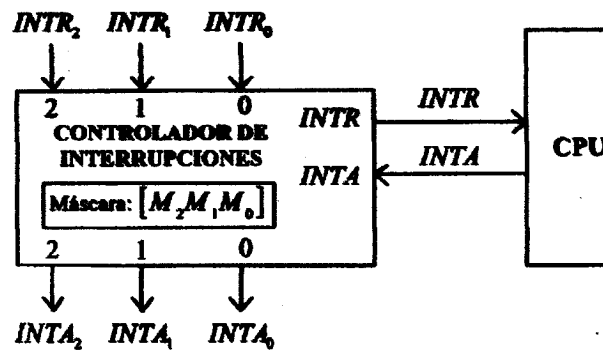


Problema:

Una CPU dispone de una única línea de petición de interrupción ($INTR$) y de una única línea de aceptación de interrupción. Diseñe para esa CPU un controlador de interrupciones, de manera que se puedan atender interrupciones generadas por 3 dispositivos externos mediante líneas de petición de interrupción (ver la Figura adjunta). Cuando se reciben peticiones de interrupción simultáneas, sólo se reconoce la más prioritaria. La máxima prioridad la tiene $INTR_0$ y la mínima $INTR_2$. Además, cada una de estas líneas de interrupción se ha de poder enmascarar de manera individual mediante un registro de máscara ($M_2M_1M_0$) del controlador de interrupciones (el mecanismo de acceso de la CPU a este registro no es relevante para este problema). Cuando $M_j = 0$, la correspondiente señal $INTR_j$ está enmascarada y no debe ser atendida. Cuando la CPU activa su línea de aceptación, $INTA$, se debe informar al periférico correspondiente, de manera individual, que su petición ha sido aceptada, mediante las líneas de aceptación $INTA_2 \dots INTA_0$.



- Obtenga la tabla de la verdad del controlador de interrupciones.
- Obtenga la función lógica de las tres líneas $INTA_2$, $INTA_1$, $INTA_0$ en función de las líneas $INTR_0$, $INTR_1$, $INTR_2$, $INTA$ y de los bits del registro de máscara.
- Diseñe el circuito lógico del controlador de interrupciones, usando para ello puertas AND, OR y NOT.
- Explique razonadamente cómo podrían conectarse varios controladores de interrupciones de 3 entradas, como el diseñado en el apartado anterior, para poder atender las peticiones de interrupción de 6 periféricos externos.

<i>INTA</i>	<i>M</i> ₀	<i>M</i> ₁	<i>M</i> ₂	<i>INTR</i> ₀	<i>INTR</i> ₁	<i>INTR</i> ₂	<i>INTR</i>	<i>INTA</i> ₀	<i>INTA</i> ₁	<i>INTA</i> ₂
0	X	X	X	X	X	X	X	0	0	0
1	1	X	X	1	X	X	1	1	0	0
1	0	1	X	X	1	X	1	0	1	0
1	X	1	X	0	1	X	1	0	1	0
1	0	0	1	X	X	1	1	0	0	1
1	0	X	1	X	0	1	1	0	0	1
1	X	0	1	0	X	1	1	0	0	1
1	X	X	1	0	0	1	1	0	0	1
1	0	0	0	X	X	X	0	0	0	0
1	0	0	X	X	X	0	0	0	0	0
1	0	X	0	X	0	X	0	0	0	0
1	0	X	X	X	0	0	0	0	0	0
1	X	0	0	0	X	X	0	0	0	0
1	X	0	X	0	X	0	0	0	0	0
1	X	X	0	0	0	X	0	0	0	0
1	X	X	X	0	0	0	0	0	0	0

Tabla 2: Tabla de la verdad del controlador (X representa 0 ó 1 indistintamente)

B) Obtenga la función lógica de las tres líneas *INTA*₂, *INTA*₁, *INTA*₀ en función de las líneas *INTR*₀, *INTR*₁, *INTR*₂, *INTA* y de los bits del registro de máscara.

De la Tabla 1, se deduce que:

- $INTA_0 = INTA \overline{INTR}_0$
- $INTA_1 = INTA \overline{INTR}_1 \overline{INTR}_0$
- $INTA_2 = INTA \overline{INTR}_2 \overline{INTR}_1 \overline{INTR}_0$

Sustituyendo \overline{INTR}_i por $(M_i \overline{INTR}_i)$, se obtienen las tres funciones lógicas pedidas (que igualmente podían haber sido obtenidas de la Tabla 2):

- $INTA_0 = INTA M_0 \overline{INTR}_0$
- $INTA_1 = INTA M_1 \overline{INTR}_1 \overline{(M_0 \overline{INTR}_0)}$
- $INTA_2 = INTA M_2 \overline{INTR}_2 \overline{(M_1 \overline{INTR}_1)} \overline{(M_0 \overline{INTR}_0)}$

C) Diseñe el circuito lógico del controlador de interrupciones, usando para ello puertas AND, OR y NOT.

En la Figura 8 se muestra un posible diseño.

A) Obtenga la tabla de la verdad del controlador de interrupciones.

En el enunciado del problema (al contrario que en los problemas 3-9 y 3-13) se realiza la suposición de que todas las líneas de petición están enmascaradas. Por este motivo, es preciso tener en cuenta el enmascaramiento de las líneas de petición al plantear la tabla de la verdad.

Un posible procedimiento para ello consiste en construir primeramente la tabla de la verdad en función de variables auxiliares, $INTR'_i$, las cuales representan tanto a la señal de petición de interrupción como a su mecanismo de enmascaramiento (ver Tabla 1):

$$INTR'_i = INTR_i M_i \quad \text{donde } i: 0, 1, 2$$

La señal $INTR$ es el "or lógico" de las señales $INTR'_1$, $INTR'_2$ e $INTR'_3$. De esta forma en cuanto haya una petición de interrupción por una línea no enmascarada, se genera una petición a la CPU.

$INTA$	$INTR'_0$	$INTR'_1$	$INTR'_2$	$INTR$	$INTA_0$	$INTA_1$	$INTA_2$
0	X	X	X	X	0	0	0
1	1	X	X	1	1	0	0
1	0	1	X	1	0	1	0
1	0	0	1	1	0	0	1
1	0	0	0	0	0	0	0

Tabla 1: Tabla de la verdad del controlador (X representa 0 ó 1 indistintamente).

A continuación, se sustituye en la Tabla 1 cada conjunto de valores de $INTR'_0$, $INTR'_1$ e $INTR'_2$ por las combinaciones de valores de M_0 , M_1 , M_2 , $INTR_0$, $INTR_1$ e $INTR_2$ que lo producen. Para ello se tiene en cuenta que:

M_i	$INTR_i$	$INTR'_i$
1	1	1
0	X	0
X	0	0

La tabla de la verdad obtenida realizando las sustituciones anteriormente indicadas se muestra en la Tabla 2.

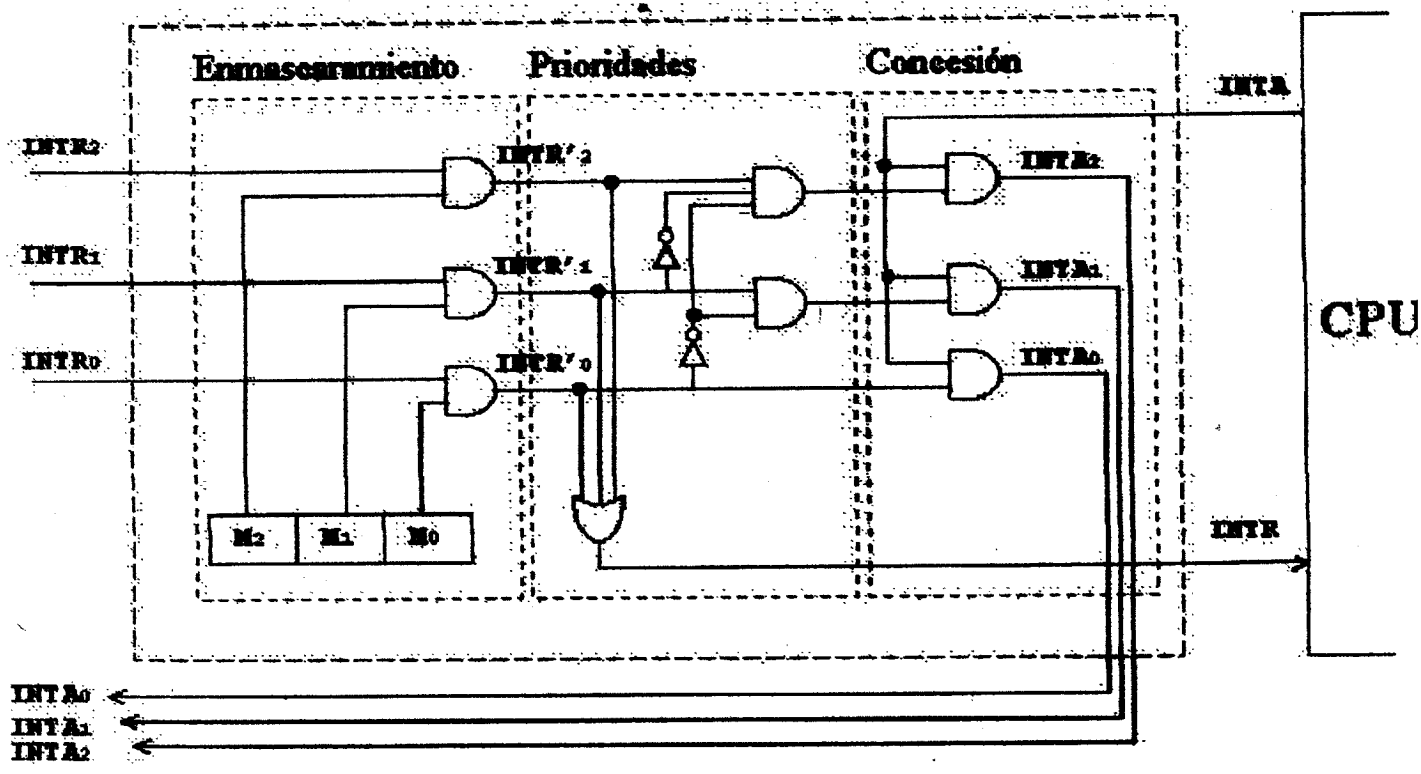


Figura 8: Controlador de interrupciones

D) Explique razonadamente cómo podrían conectarse varios controladores de interrupciones de 3 entradas, como el diseñado en el apartado anterior, para poder atender las peticiones de interrupción de 6 periféricos externos.

Este apartado es análogo al apartado f) del problema 3-13. La conexión de los controladores puede realizarse como se muestra en la Figura 9. Aunque el dispositivo obtenido de la conexión de los tres controladores permitiría gestionar 7 periféricos, sólo se señala en la Figura 9 la conexión de 6 de ellos, tal como se pide en el enunciado.

Con la estructura mostrada en la Figura 9, cuando se produce una petición de interrupción por cualquiera de las líneas $INTR_i$, ésta se transmite a la CPU. Las peticiones realizadas por los dos controladores más alejados de la CPU generan peticiones en la línea $INTR_0$ del controlador situado inmediatamente delante de ellos. Asimismo, cuando la CPU activa la línea de aceptación, $INTA$, los dos controladores no conectados directamente a la CPU no pueden activar ninguna de sus salidas hasta que los controladores más próximos que ellos a la CPU no transmitan por sus respectivas líneas de aceptación $INTA_0$.

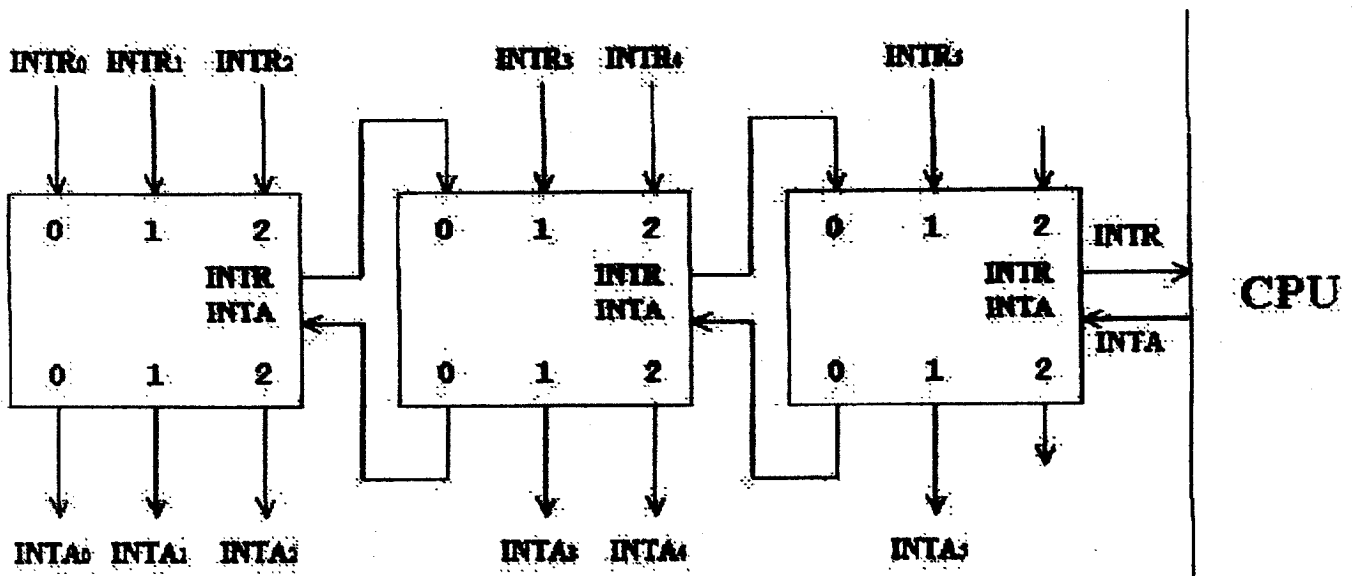


Figura 9: Controlador de interrupciones capaz de atender a 6 periféricos.