

Problema - Junio 1ª semana:

- A) (1.5 puntos) Diseñar el registro de desplazamiento de 4 bits de la figura de la izquierda. E0, E1, E2, E3 representan la entrada paralelo; S0, S1, S2, S3 la salida paralelo; C1, C2 las líneas de control; y CK la señal de reloj. El registro debe ser capaz de realizar los dos desplazamientos siguientes: LICS (Lógico-Izquierda-Cerrado-Simple) y LDCS (Lógico-Derecha-Cerrado-Simple). Además, el circuito debe permitir la carga en paralelo de la entrada y mantener la información almacenada sin modificar (no operación: NOP). La codificación de las entradas de control se muestra en la tabla adjunta.
- B) (1 punto) Diseñar el mismo registro del apartado A) pero con la estructura entrada serie / salida serie que se muestra en la figura de la derecha.
- C) (1.5 puntos) Diseñar el mismo registro del apartado A) pero de modo que en lugar de realizar desplazamientos lógicos (LICS y LDCS) realice desplazamientos algebraicos (también llamados aritméticos) cerrados simples: AICS (Algebraico-Izquierda-Cerrado-Simple) y ADCS (Algebraico-Derecha - Cerrado - Simple).

En los diseños deben utilizarse multiplexores y elementos de memoria D. Explicar detalladamente cada paso.

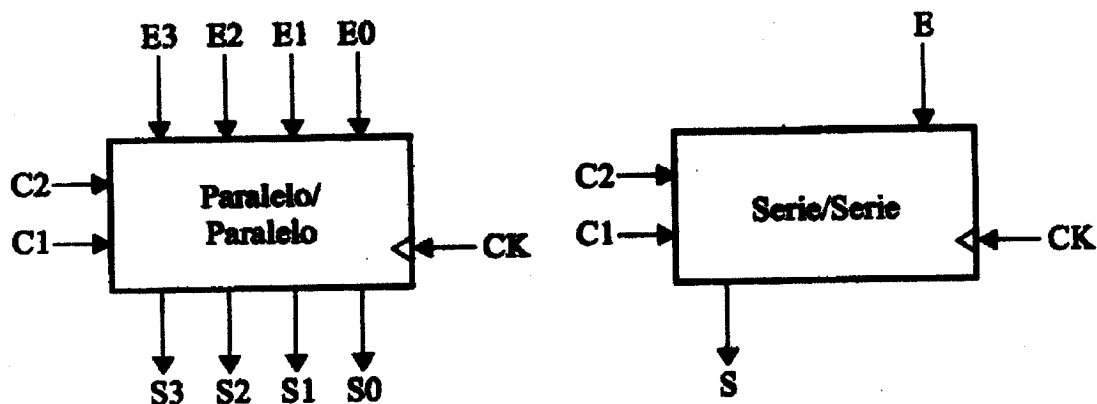


Figura 1: Registros de desplazamiento

Operación	C2	C1
NOP	0	0
LICS	0	1
LDCS	1	0
CARGA	1	1

Tabla 1: Codificación de las entradas de control

Solución

Para resolver este problema conviene ver las páginas 255 y ss. del texto base de teoría, así como los problemas 4-37 y 4-38 de la primera edición del libro de problemas o los problemas 4-39 y 4-40 de la segunda edición.

- A) Las dos operaciones de desplazamiento a realizar por el registro de desplazamiento son LICS (Lógico-Izquierda-Cerrado-Simple) y LDCS (Lógico-Derecha-Cerrado-Simple). La Figura 2 muestra estos dos tipos de desplazamientos para un registro de 4 bits como el que pide diseñar el enunciado del problema.

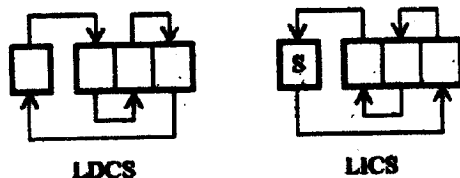


Figura 2: Representación gráfica de los desplazamientos LDCS y LICS

Por tanto, la descripción del comportamiento de la salida del circuito es la siguiente:

$$Q(t+1) = \begin{cases} Q(t) & \text{si Control} = \text{NOP} \\ (Q_2, Q_1, Q_0, Q_3) & \text{si Control} = \text{LICS} \\ (Q_0, Q_3, Q_2, Q_1) & \text{si Control} = \text{LDCS} \\ (E_3, E_2, E_1, E_0) & \text{si Control} = \text{CARGA} \end{cases}$$

donde $Q(t)$ representa el vector de salidas (Q_3, Q_2, Q_1, Q_0) del registro en el instante t . Análogamente $Q(t+1)$ representa el vector de salidas (Q_3, Q_2, Q_1, Q_0) del registro en el instante $t+1$.

Para diseñar el registro se van a utilizar 4 biestables tipo D. En la entrada de cada uno de estos 4 biestables se coloca un multiplexor que, en función de las señales de control C1 y C2 del registro, seleccione el valor adecuado a introducir en cada registro para que se comporte según la descripción mencionada antes. El resultado del diseño se muestra en la Figura 3.

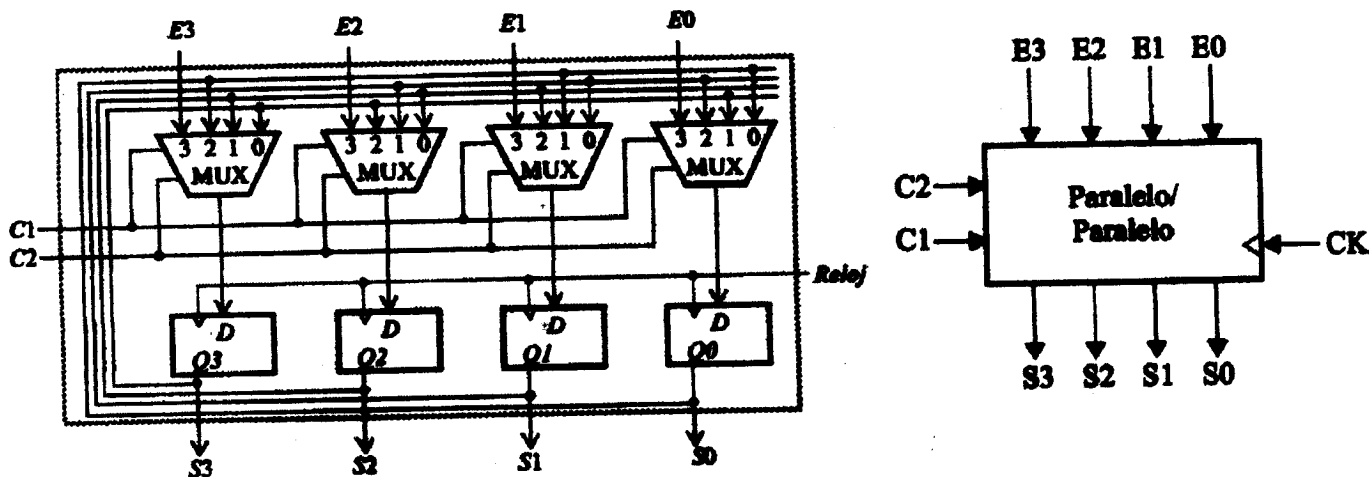


Figura 3: Registro LDCS y LICS con entrada paralelo / salida paralelo

B) En este segundo apartado, el enunciado pide diseñar el mismo registro de antes, con desplazamientos LDCS y LICS, pero con entrada serie / salida serie. Ni en el módulo de la Figura 1 ni el enunciado se menciona en qué bit se comienza la carga serie, ni en qué bit se efectúa la lectura serie. Siguiendo el criterio del libro de texto, para resolver este problema se supone que se sigue el esquema de la Figura 4 para estas operaciones.

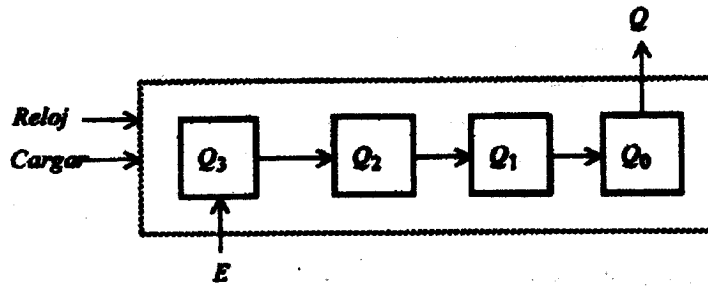


Figura 4: Registro de 4 bits con entrada serie / salida serie

Por tanto, la descripción del comportamiento del estado del circuito es la siguiente:

$$Q(t+1) = \begin{cases} Q(t) & \text{si Control} = \text{NOP} \\ (Q_2, Q_1, Q_0, Q_3) & \text{si Control} = \text{LICS} \\ (Q_0, Q_3, Q_2, Q_1) & \text{si Control} = \text{LDCS} \\ (E, Q_3, Q_2, Q_1) & \text{si Control} = \text{CARGA} \end{cases}$$

Haciendo las modificaciones oportunas en el diseño de la Figura 3 para contemplar los cambios pedidos, el resultado se muestra en la Figura 5.

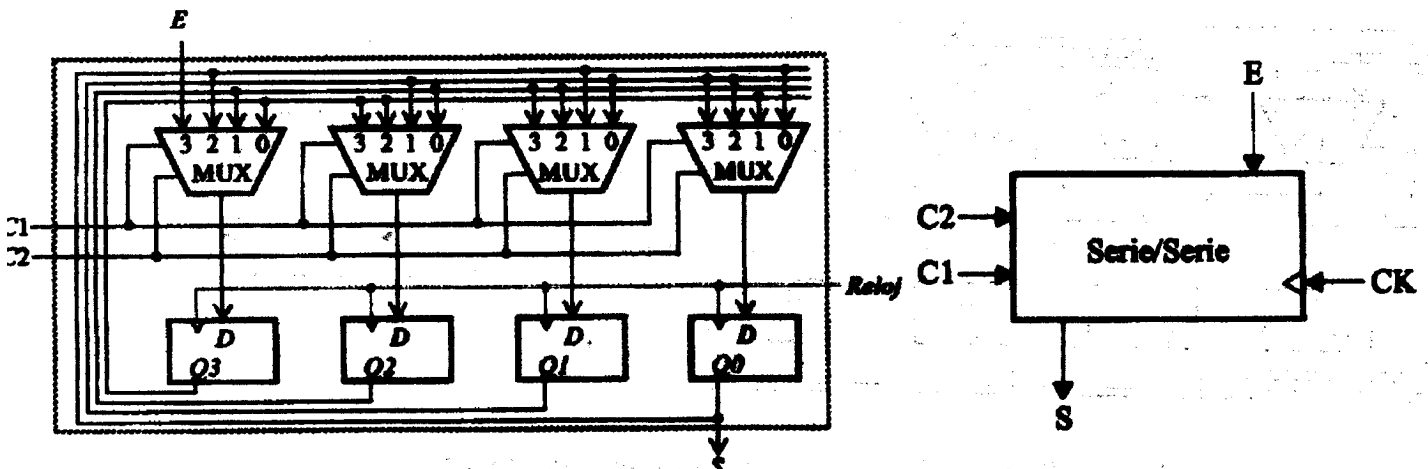


Figura 5: Registro LDCS y LICS con entrada serie / salida serie

C) En este último caso, se va a suponer que la codificación de las entradas de control es la mostrada en la Tabla 2. En la Figura 6 se muestra la representación gráfica de los dos tipos de desplazamientos solicitados en este apartado, AICS (Algebraico-Izquierda-Cerrado-Simple) y ADCS (Algebraico- Derecha - Cerrado - Simple), para un registro de 4 bits.

Operación	C2	C1
NOP	0	0
AICS	0	1
ADCS	1	0
CARGA	1	1

Tabla 2: Codificación de las entradas de control

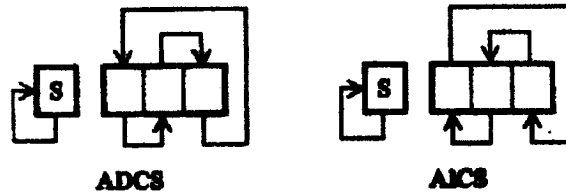


Figura 6: Representación gráfica de los desplazamientos ADCS y AICS

Por tanto, la descripción en este caso del comportamiento de la salida del circuito es la siguiente:

$$Q(t+1) = \begin{cases} Q(t) & \text{si Control = NOP} \\ (Q_3, Q_1, Q_0, Q_2) & \text{si Control = AICS} \\ (Q_3, Q_0, Q_2, Q_1) & \text{si Control = ADCS} \\ (E3, E2, E1, E0) & \text{si Control = CARGA} \end{cases}$$

Siguiendo el mismo procedimiento de antes, la Figura 7 contiene el diseño pedido.

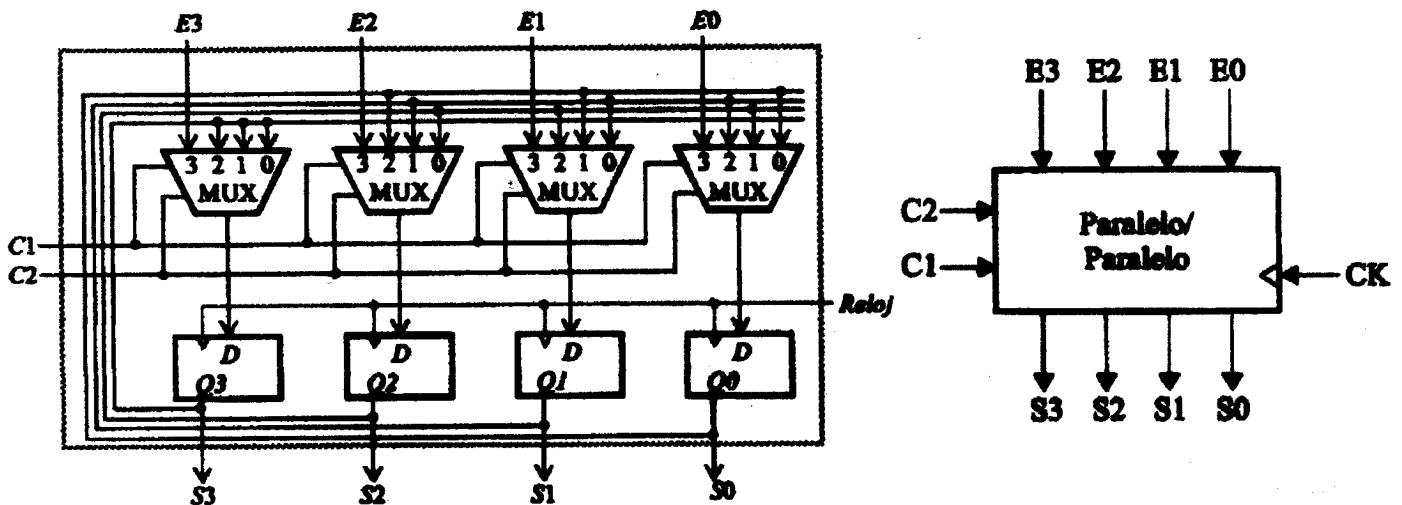


Figura 7: Registro LDCS y LICs con entrada paralelo / salida paralelo