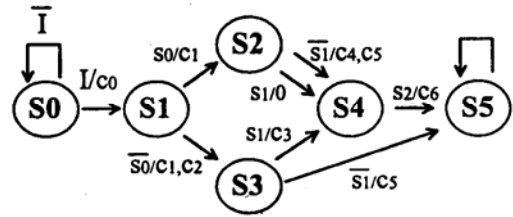


1.- En la figura adjunta se muestra el diagrama de estados de una unidad de control. Indique cuál de las siguientes afirmaciones, acerca de las señales de control (c_i), es correcta.

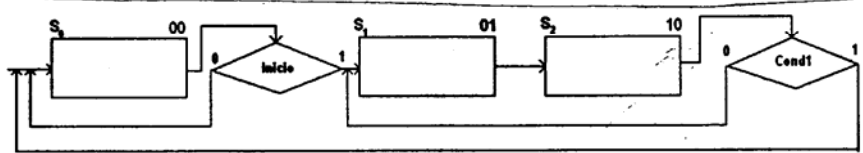


- A) $c_1 = S_1$
- B) $c_5 = S_2 \cdot \bar{S}_1$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

$$c_1 = S_1 \cdot s_0 + S_1 \cdot \bar{s}_0 = S_1 (s_0 + \bar{s}_0) = S_1 \Rightarrow \underline{A}$$

$$c_5 = S_2 \bar{s}_1 + S_3 \bar{s}_1$$

6.- Dado el diagrama ASM de la figura, y suponiendo que para cada estado se debe generar una sola señal de control (c_0 en S_0 , c_1 en S_1 y c_2 en S_2). Indicar cuál de las siguientes afirmaciones es verdadera.



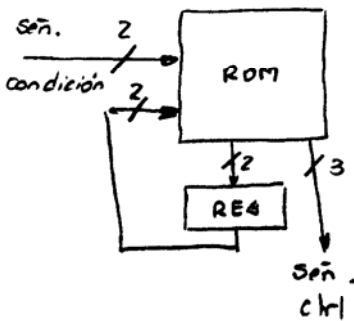
- I. Para implementarlo se puede usar un registro de 4 bits y una ROM de 16 de palabras de 4 bits.
 - II. Para implementarlo se puede usar la técnica de selección por estado con lo que el multiplexor asociado tiene 4 entradas con 2 entradas de selección y la ROM un tamaño de 8 palabras de 5 bits.
- A) I: sí, II: sí. B) I: sí, II: no. C) I: no, II: sí. D) I: no, II: no.

Estados = 3 \Rightarrow 2 bits

Variables condición \Rightarrow "Inicio" y "Cond1"

Señales ctrl = 3 \Rightarrow $c_0 \div c_2$

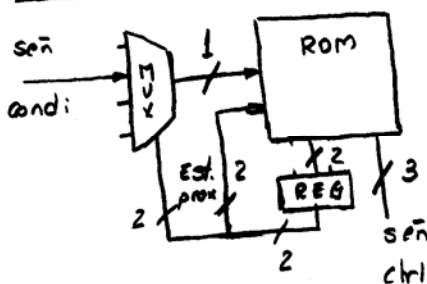
ROM y registro



DIR ROM		CONTENIDO			
Estado presente	Jni	Cond1	Próximo estado	Señales ctrl	
0 0	0	0	0 0	0 0 0	0
...

ROM = $2^4 \times 5 \Rightarrow$ I = Falso

Selecc. por estado

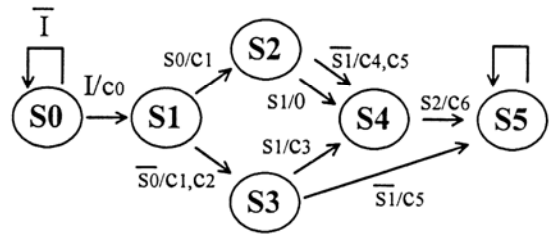


DIR ROM		CONTENIDO		
Est. actual	Señ. condici	Proxi estado	Señales ctrl	
2 bit	1 bit	2 bit	3 bit	

ROM $\Rightarrow 2^3 \times 5 \Rightarrow$ II = cierto \Rightarrow C

1.- En la figura adjunta se muestra el diagrama de estados de una unidad de control. Indique cuál de las siguientes afirmaciones es correcta.

- A) Puede realizarse la síntesis de la unidad de control empleando un registro de 3 bits y una memoria ROM de 27 palabras, con 16 bits por palabra.
- B) Puede realizarse la síntesis de la unidad de control empleando un registro de 3 bits, un multiplexor de 8 a 1, y una memoria ROM de 16 palabras, con 16 bits por palabra.
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

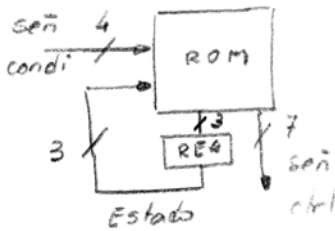


Estados = 6 \Rightarrow 3 bits

Señales condición = $I + S_0 \div S_2 = 4$

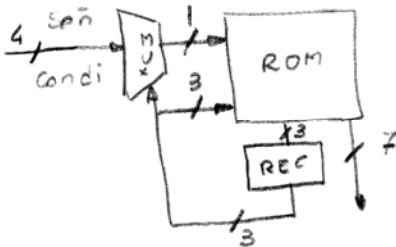
" control = $C_0 \div C_6 = 7$

ROM y registro



\Rightarrow ROM = $2^7 \times 10 = 128 \times 10 \Rightarrow$ J = Falso

selec. estado



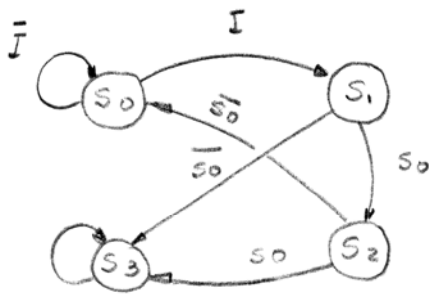
\Rightarrow ROM = $2^4 \times 10 = 16 \times 10 \Rightarrow$ II = cierto

4.- Una unidad de control, cuya tabla de estados del modelo de Huffman-Mealy se muestra a continuación, se implementa usando dos elementos de memoria tipo D. Para ello, se realiza la asignación de estados siguiente: $S_0: \{Q_1=0, Q_0=0\}$, $S_1: \{Q_1=0, Q_0=1\}$, $S_2: \{Q_1=1, Q_0=0\}$ y $S_3: \{Q_1=1, Q_0=1\}$. Indique si las siguientes afirmaciones, acerca de las funciones de entrada a los elementos de memoria, son correctas:

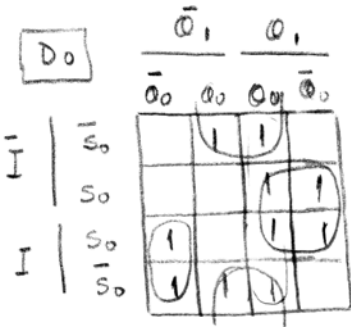
- A) $D_1 = Q_0 + Q_1 \cdot s_0$
- B) $D_0 = Q_0 \cdot \bar{s}_0 + Q_1 \cdot s_0 + \bar{Q}_0 \cdot \bar{Q}_1 \cdot I$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.

Estado presente	Próximo estado			
	$\bar{I} \cdot \bar{s}_0$	$\bar{I} \cdot s_0$	$I \cdot \bar{s}_0$	$I \cdot s_0$
S_0	S_0	S_0	S_1	S_1
S_1	S_3	S_2	S_3	S_2
S_2	S_0	S_3	S_0	S_3
S_3	S_3	S_3	S_3	S_3

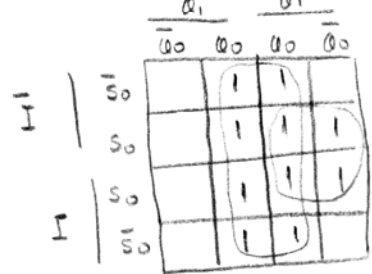
Con básculas D el valor del siguiente estado es el que hay que introducir en D.



J	\bar{D}_1, D_0	
	s_0	\bar{D}_1, D_0
0	x	0 0
1	x	0 0
x	0	0 1
x	1	0 1
x	0	1 0
x	1	1 0
x	x	1 1



$$D_0 = \bar{D}_1 s_0 + D_0 \bar{s}_0 + \bar{D}_1 \bar{D}_0 I$$



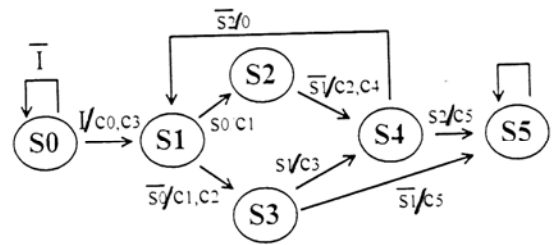
$$D_1 = \bar{D}_1 + D_1 s_0$$

\Downarrow
 \equiv

Sep. 2004.1. Origin

1.- En la figura adjunta se muestra el diagrama de estados de una unidad de control. Indique cuál de las siguientes afirmaciones, acerca de las señales de control (c_i), es correcta.

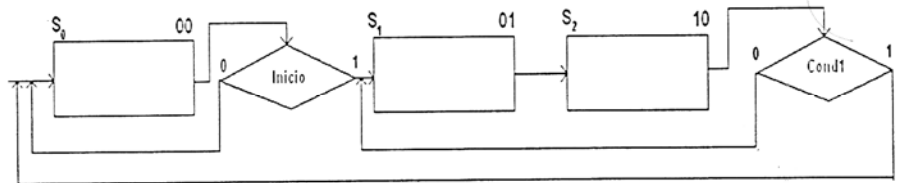
- A) $c_3 = S_3 \cdot s_1$
- B) $c_5 = S_2 \cdot \bar{s}_2 + S_3 \cdot \bar{s}_1$
- C) Las dos afirmaciones anteriores son correctas.
- D) Todas las afirmaciones anteriores son falsas.



$$\left. \begin{aligned} c_3 &= S_0 I + S_3 s_1 \\ c_5 &= S_3 \bar{s}_1 + S_4 s_2 \end{aligned} \right\} \Rightarrow D$$

Sep. 2004.5. Origin

5.- Dado el diagrama ASM de la Figura, indicar cuántos elementos de memoria tipo J-K son necesarios para implementarlo si se usa la técnica de diseño con un elemento de memoria por estado.

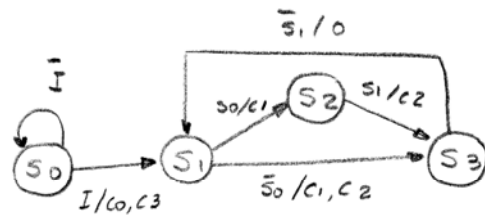
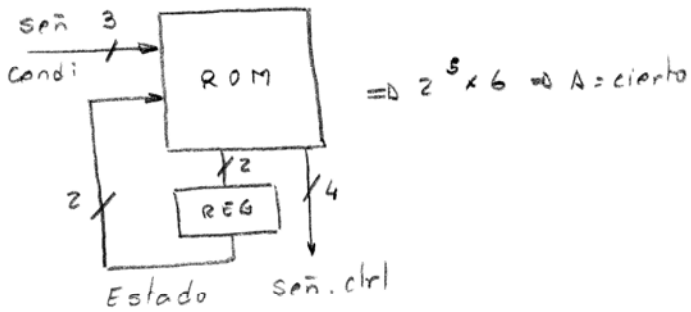


- A) 3
- B) 2
- C) No se puede deducir del diagrama
- D) Ninguna de las anteriores

Estados = 3 \Rightarrow Diseño de elemento de memoria por estado
 \Downarrow
3 elementos memoria \Rightarrow A

Diagrama estados unidad control

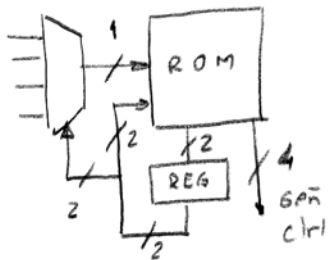
A) Puede sintetizarse empleando un registro de 2bits y una ROM de $2^5 \times 8$



Estados = 4 \Rightarrow 2 bits
 Señ. condici = I, s₀, s₁ = 3
 " ctrl = c₀ ÷ c₃ = 4

B) Puede sintetizarse empleando un registro de 2bits, un multiplexor de 4 a 1 y una ROM de 8×16 . Condición de paso única para cada paso de estado.

selección estado



\Rightarrow ROM $2^3 \times 6 \Rightarrow B = \text{cierto}$