

Estructura y Tecnología de Computadores II (Gestión y Sistemas)

Contenido del temario

El temario propuesto en la asignatura coincide con los siguientes apartados del texto base teórico “*Estructura y Tecnología de Computadores*” de la Editorial Sanz y Torres (2002):

1 Estructuras de interconexión de un computador

- 1.1 Componentes de un computador
- 1.2 Función de un computador
 - 1.2.1 Ciclos de búsqueda y ejecución
 - 1.2.2 Ejemplo: Ejecución de una instrucción
 - 1.2.3 Diagrama de flujo del ciclo de instrucción
 - 1.2.4 El ciclo de interrupción
 - 1.2.5 Función de E/S
- 1.3 Estructuras de interconexión
- 1.4 Interconexión mediante bus
 - 1.4.1 Diagramas de temporización
 - 1.4.2 Estructura de bus
 - 1.4.3 Estructura jerárquica de buses
 - 1.4.4 Elementos de diseño del bus
 - 1.4.5 Consideraciones prácticas en la conexión mediante bus

2 Unidad de memoria

- 2.1 Definiciones y conceptos básicos
 - 2.1.1 Localización
 - 2.1.2 Capacidad

2 Temario de Estructura y Tecnología de Computadores

- 2.1.3 Unidad de transferencia
- 2.1.4 Método de acceso
- 2.1.5 Tipos físicos
- 2.1.6 Características físicas
- 2.1.7 Velocidad
- 2.1.8 Organización
- 2.1.9 Resumen de características y propiedades de la memoria
- 2.2 Jerarquía de memorias
 - 2.2.1 Ejemplo: Sistema con dos niveles de memoria
- 2.3 Memorias de semiconductor
 - 2.3.1 Características generales de un CIM
 - 2.3.2 Ejemplo: Cálculo del número de ciclos de reloj en los accesos a memoria
 - 2.3.3 Estructura de la celda básica de memoria
 - 2.3.4 Organización interna
 - 2.3.5 Diseño de bloques de memoria
 - 2.3.6 Conexión de la unidad de memoria al bus del sistema
 - 2.3.7 Estructura y direccionamiento de la unidad de memoria
- 2.4 Memorias caché
 - 2.4.1 Rendimiento de una memoria caché
 - 2.4.2 Capacidad de la memoria caché
 - 2.4.3 Organización de la memoria caché
 - 2.4.4 Algoritmos de reemplazamiento
 - 2.4.5 Estrategia de escritura
 - 2.4.6 Tamaño del bloque
 - 2.4.7 Número de cachés
- 2.5 Memorias asociativas
 - 2.5.1 Ejemplo: Concepto de memoria asociativa
 - 2.5.2 Estructura de una memoria asociativa
 - 2.5.3 Determinación de la función lógica del registro de máscara
 - 2.5.4 Operación de lectura
 - 2.5.5 Operación de escritura
 - 2.5.6 Ejemplo: Diseño de una memoria asociativa
- 2.8 Discos magnéticos
 - 2.8.1 Estructura física
 - 2.8.2 Ejemplo: Tiempo de acceso a un archivo de acceso secuencial y aleatorio
 - 2.8.3 Controlador del disco
 - 2.8.4 Planificación del disco

3 Unidad de entrada-salida

- 3.1 Dispositivos externos
- 3.2 Controlador de E/S
 - 3.2.1 Funciones del controlador de E/S
 - 3.2.2 Estructura del controlador de E/S
 - 3.2.3 Estructura del sistema de E/S

- 3.3 E/S controlada por programa
 - 3.3.1 Órdenes de E/S
 - 3.3.2 Instrucciones de E/S
- 3.4 E/S por interrupciones
 - 3.4.1 Clasificación de las interrupciones
 - 3.4.2 Origen de las interrupciones
 - 3.4.3 Número de líneas de interrupción
 - 3.4.4 Control de la CPU sobre la interrupción
 - 3.4.5 Identificación de la fuente de la interrupción y gestión de su prioridad
 - 3.4.6 Niveles de interrupción
 - 3.4.7 Controlador de interrupciones
 - 3.4.8 Ejemplos de controladores de interrupciones
- 3.5 Acceso directo a memoria (DMA)
 - 3.5.1 Controlador de DMA
 - 3.5.2 Transferencia de datos mediante DMA
 - 3.5.3 Configuración del DMA
- 3.6 Procesador de E/S (PE/S)
 - 3.6.1 Características de los PE/S
 - 3.6.2 Clasificación de los PE/S

4 Unidad aritmético-lógica

- 4.1 Sumadores binarios
 - 4.1.1 Semisumador binario (SSB)
 - 4.1.2 Sumador binario completo (SBC)
 - 4.1.3 Sumador binario serie
 - 4.1.4 Sumador binario paralelo con propagación del arrastre
 - 4.1.5 Sumador-restador binario paralelo con propagación del arrastre
- 4.2 Sumadores de alta velocidad
 - 4.2.1 Características de los arrastres
 - 4.2.2 Sumadores con anticipación del arrastre
- 4.3 Sumadores en código BCD
 - 4.3.1 Organización de los sumadores en código BCD
- 4.4 Multiplicadores binarios
 - 4.4.1 Multiplicación de “lápiz y papel” de números sin signo
 - 4.4.2 Mejoras en el algoritmo de “lápiz y papel”
- 4.7 Estructura de la unidad aritmético-lógica (ALU)
 - 4.7.1 ALU’s integradas
- 4.9 Operaciones de desplazamiento
 - 4.9.1 Clasificación de las operaciones de desplazamiento
 - 4.9.2 Ejemplo: Diseño de un registro de desplazamiento de 4 bits
 - 4.9.3 Estructura de los registros de desplazamiento
- 4.10 Operaciones de comparación
 - 4.10.1 Utilizando un circuito combinacional
 - 4.10.2 Utilizando un circuito secuencial

4 Temario de Estructura y Tecnología de Computadores

4.10.3 Utilizando un sumador

5 Diseño de transferencia entre registros

- 5.1 Niveles de diseño de un sistema digital: diseño jerárquico
- 5.2 Nivel de transferencia entre registros
 - 5.2.1 Representación
 - 5.2.2 Expandibilidad de los componentes
- 5.3 Estructura de un sistema digital
 - 5.3.1 Componentes de un sistema digital
 - 5.3.2 Puntos de control
 - 5.3.3 Modelo de Glushkov
- 5.4 Diagramas de máquinas de estados algorítmicas (ASM)
- 5.5 Ejemplo de diseño: multiplicador binario
 - 5.5.1 Multiplicador binario
 - 5.5.2 Unidad de procesamiento o ruta de datos del multiplicador
 - 5.5.3 Diagrama ASM del multiplicador
 - 5.5.4 Unidad de control con lógica cableada
 - 5.5.5 Unidad de control diseñada con elementos de memoria tipo D
 - 5.5.7 Unidad de control diseñada con un elemento de memoria por estado
 - 5.5.8 Unidad de control diseñada utilizando un registro de estado y una memoria ROM
 - 5.5.10 Unidad de control diseñada utilizando un registro de estado y un PLA
 - 5.5.11 Resumen del procedimiento de diseño a nivel de registro

6 Diseño del procesador

- 6.1 Repertorio de instrucciones
 - 6.1.1 Procesadores de tres direcciones
 - 6.1.2 Procesadores de dos direcciones
 - 6.1.3 Procesadores de una dirección (procesadores con acumulador)
 - 6.1.4 Procesadores de cero direcciones (procesadores con pila)
 - 6.1.5 Procesadores sin ALU
 - 6.1.6 Análisis de las diferentes arquitecturas de procesadores
 - 6.1.7 Procesadores con banco de registros
 - 6.1.8 Arquitectura de carga/almacenamiento: Procesadores RISC
- 6.2 Modos de direccionamiento
- 6.3 Ciclo de ejecución de una instrucción
 - 6.3.1 Fase de búsqueda de la instrucción
 - 6.3.2 Fase de decodificación de la instrucción
 - 6.3.3 Fase de búsqueda de los operandos
 - 6.3.4 Fase de ejecución de la instrucción
 - 6.3.5 Transferencia a un subprograma
 - 6.3.6 Ciclo de interrupción
- 6.4 Fases en el diseño del procesador
- 6.5 Diseño de un procesador elemental

- 6.5.1 Especificación del procesador SIMPLE1
- 6.5.2 Repertorio de instrucciones
- 6.5.3 Diagrama de flujo del repertorio de instrucciones
- 6.5.4 Asignación de recursos a la unidad de procesamiento o ruta de datos
- 6.5.5 Obtención del diagrama ASM del procesador
- 6.5.6 Diseño de la unidad de control
- 6.5.7 Diseño de la unidad de procesamiento o ruta de datos

7 Microprogramación

- 7.1 Modelo original de Wilkes
- 7.2 Estructura de una unidad de control microprogramada
 - 7.2.1 Conceptos básicos
 - 7.2.2 Elementos de una unidad de control microprogramada
 - 7.2.3 Secuenciamiento de las microinstrucciones
 - 7.2.4 Organización de la memoria de control
 - 7.2.5 Ejecución de las microinstrucciones
- 7.3 Representación de los microprogramas
 - 7.3.1 Ejemplo: Desarrollo de un sencillo microprograma
- 7.4 Ejemplo de diseño microprogramado: multiplicador binario
- 7.5 Unidad de control microprogramada de un computador
 - 7.5.1 Estructura de SIMPLE2
 - 7.5.2 Formato de la microinstrucción de *ucmP*
 - 7.5.3 Fases en la ejecución de una microinstrucción
 - 7.5.4 Inicialización de SIMPLE2
 - 7.5.5 Búsqueda y decodificación de las instrucciones máquina
 - 7.5.6 Ejemplo: Microprogramación de un repertorio de instrucciones máquina de SIMPLE2

Los siguientes apartados del libro, que no aparecen en el listado anterior, **no** van a ser objeto de examen, aunque recomendamos su lectura:

- 1.4.6 Ejemplo de estructura de bus: El Unibus
- 2.6 Memorias compartidas (completo)
- 2.7 Memorias tipo pila (completo)
- 3.3.3 Ejemplo: Transferencia de E/S controlada por programa en el 68000
- 3.4.9 Estructura de interrupciones del 68000
- 4.2.3 Sumadores de suma condicional
- 4.2.4 Sumadores con selección del arrastre
- 4.2.5 Sumadores con detección de la finalización del arrastre
- 4.2.6 Sumadores que minimizan el número de arrastres
- 4.2.7 Sumadores con arrastre almacenado

6 Temario de Estructura y Tecnología de Computadores

- 4.3.2 Restador en código BCD
- 4.4.3 Multiplicación en complemento a 2: Algoritmo de Booth
- 4.4.4 Ejemplo: Algoritmo de Booth
- 4.5 Multiplicadores de alta velocidad (completo)
- 4.6 Divisores binarios (completo)
- 4.8 Aritmética en coma flotante (completo)
- 5.5.6 Unidad de control diseñada con un registro de secuencia y un decodificador
- 5.5.9 Unidad de control diseñada utilizando un contador y un decodificador

Comentarios al temario

Los apéndices no constituyen materia de examen. Simplemente están para que el texto sea lo más autocontenido posible y, como se indica en el prólogo, es muy conveniente que los alumnos de la especialidad de Gestión lo vean con cierto detenimiento, ya que desgraciadamente no tienen la asignatura de Electrónica Digital que es donde se explica con detenimiento la síntesis de circuitos secuenciales. Una Unidad de Control de un computador no es en el fondo más que un circuito secuencial y en este sentido para seguir sin dificultad los temas 5, 6 y 7 del texto conviene tener claros los conceptos que se exponen en el Apéndice B sobre "Circuitos secuenciales". El Apéndice A sobre "Circuitos combinacionales" no es nada más que un recordatorio de cosas que se deben de haber visto en ETC I.

El **libro de problemas**, "*Problemas de Estructura y Tecnología de Computadores*", también de la editorial Sanz y Torres (2002), incluye además de la solución a todos los problemas propuestos al final de cada capítulo del libro de teoría, problemas nuevos que los autores han considerado de interés. Los problemas se han clasificado en tres niveles: *Básico*, *Medio* y *Avanzado*. Debe prestar especial atención y dedicación al estudio de los problemas del nivel ***Básico*** y ***Medio***.
