

The background features several large, flowing, abstract shapes in shades of purple, green, and blue. Interspersed among these are numerous small, yellow, triangular shapes that resemble sun rays or sparks, scattered across the white background.

# **ESTRUCTURA Y TECNOLOGÍA DE LOS COMPUTADORES I**

## **TEMA 5**

### **Introducción a los Sistemas Digitales**



# TEMA 5. Introducción a los Sistemas Digitales

- 5.1 Sistemas Digitales
- 5.2 Sistemas Combinacionales
- 5.3 Sistemas Secuenciales
- 5.4 Registros y Contadores
- 5.5 Memorias de Semiconductor

# 5.1 Sistemas Digitales

- Es un conjunto de componentes digitales interconectados, y que presentan un comportamiento propio, descritos por funciones lógicas y representado en tablas de verdad y cronogramas

Tabla 5.1. Tabla de verdad de un elemento lógico.

<i>Entradas</i>	<i>Salidas</i>
<i>c b a</i>	<i>XY</i>
0 0 0	0 1
0 0 1	1 0
0 1 0	0 0
0 1 1	1 0
1 0 0	0 1
1 0 1	1 0
1 1 0	1 1
1 1 1	1 0

# Niveles de diseño:

- *Nivel de arquitectura:*
  - Identifica elementos de mayor nivel (CPU, memoria, periféricos, etc.)
- *Nivel lógico:*
  - Estructura interna de los componentes definidos en la arquitectura. (ALU, circuitos lógicos internos, etc.)
- *Nivel físico:*
  - Realización física de los subsistemas lógicos, agrupados en circuitos integrados.

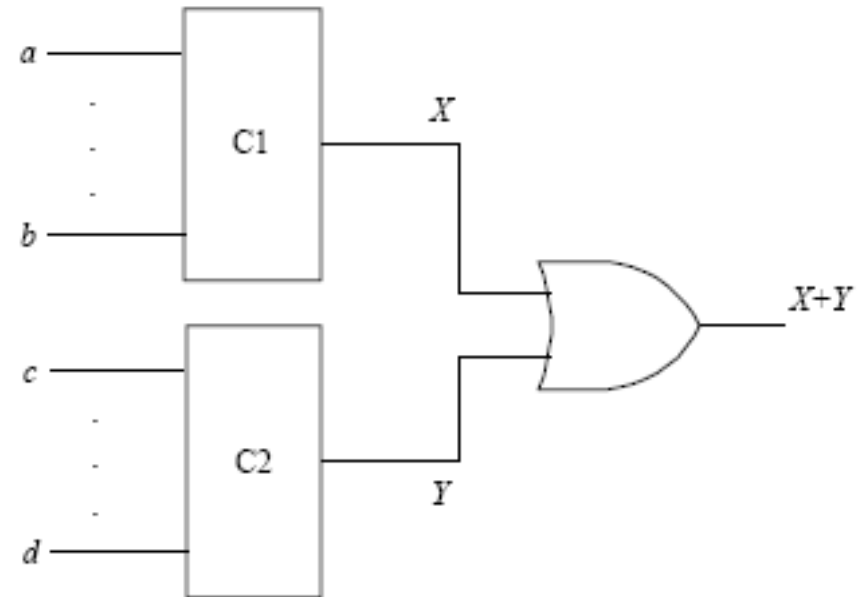


Figura 5.2. Diagrama o bloque de un elemento lógico.

# Niveles de integración de los circuitos integrados

- *SSI (Small Scaled Integration)*
  - Pequeño nivel
  - de 10 a 100 transistores
  - 1 a 12 puertas.
- *MSI (Medium Scaled Integration)*
  - Medio
  - 100 a 1.000 transistores
  - 13 a 99 puertas.
- *LSI (Large Scaled Integration)*
  - Grande
  - 1.000 a 10.000 transistores/mm<sup>2</sup>
- *VLSI (Very Large Scaled Integration)*
  - muy grande
  - Más de 10000 transistores/mm<sup>2</sup>
- *ULSI (Ultra Large Scaled Integration )*
  - ultra grande
  - Más de 100000 transistores/mm<sup>2</sup>
- *GLSI (Giga Large Scale Integration)*
  - Giga grande
  - mas de un millon de transistores

# Tipos de sistemas digitales

- *Sistemas combinacionales:*
  - Las variables de salida dependen en todo instante de los valores de las variables de entrada.
- *Sistemas secuenciales:*
  - Las variables de salida dependen de los valores de las variables de entrada, en ese instante y de los valores internos de instantes anteriores.

## 5.2. SISTEMAS COMBINACIONALES

- Se denomina circuito o sistema combinacional, a todo circuito cuyas variables de salida estén completamente determinadas en cualquier instante de tiempo por los valores aplicados a sus variables de entrada.

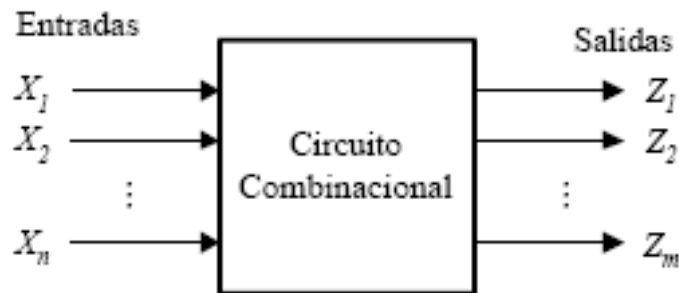
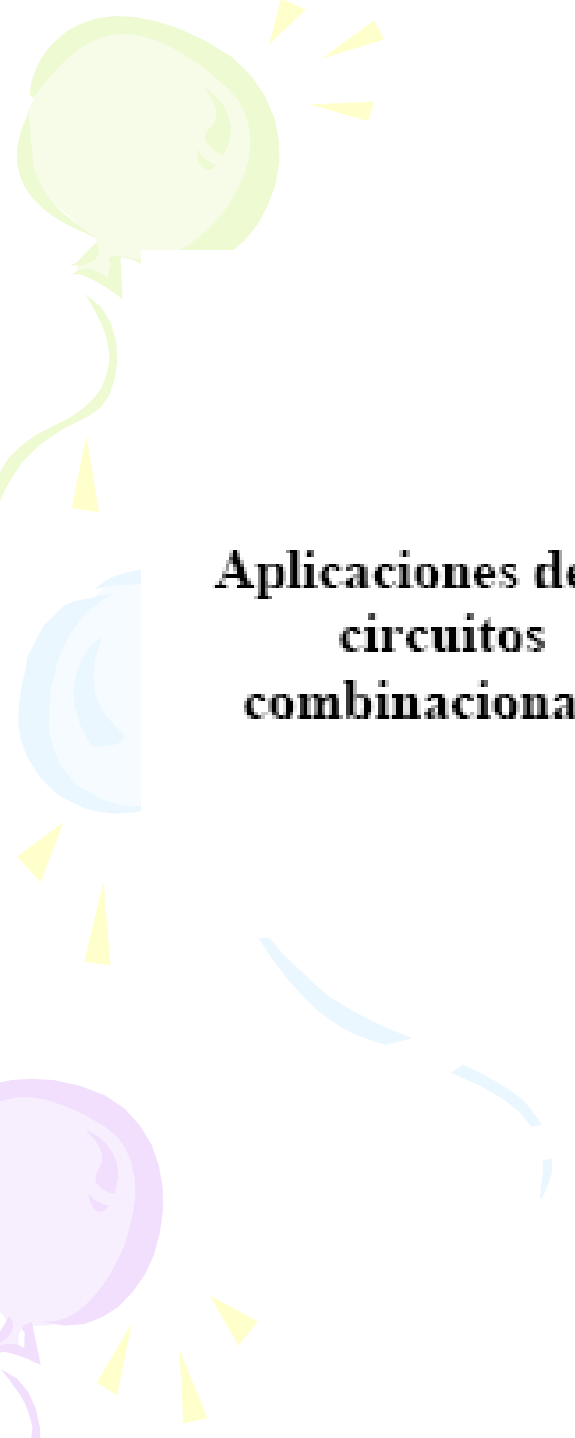


Figura 5.3. Circuito combinacional representado por bloques.



**Aplicaciones de los  
circuitos  
combinacionales**

- Codificadores.
- Decodificadores
- Multiplexores.
- Demultiplexores
- Comparadores.
- Generadores/detectores de paridad.
- Circuitos aritméticos.



## 5.2.1 Codificadores

- Circuito con  $m$  variables de entrada y  $n$  salidas, que hace corresponder el código de salida conformado por los  $n$  bits de salida a cada una de las entradas numeradas de la 0 a la  $m$ .
- En el caso de un codificador a binario natural se cumple que  $2^n = m$ .

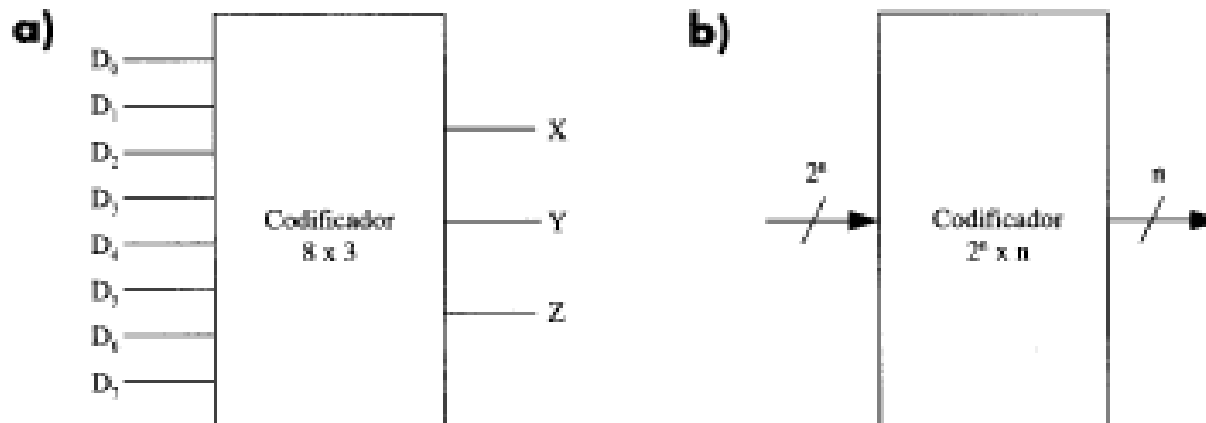


FIGURA 5.9. **a)** Símbolo lógico de un codificador de  $8 \times 3$ .  
**b)** Representación genérica.

# Codificadores prioritarios

- Las salidas representan el código binario correspondiente a la entrada activa que tenga mayor número de orden.
- Los codificadores sin prioridad:
  - Al activarse dos o más entradas simultáneamente, la salida será la unión (suma lógica) de las salidas correspondientes a cada entrada activada por separado.

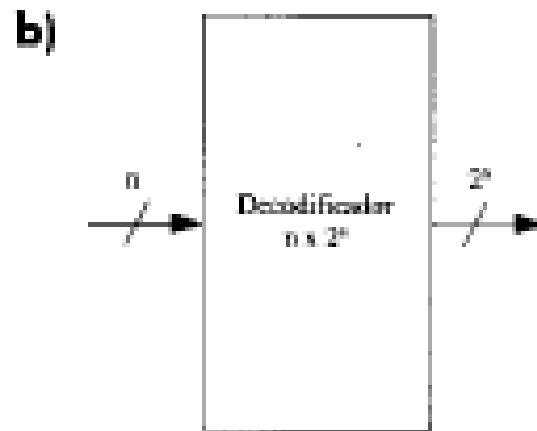
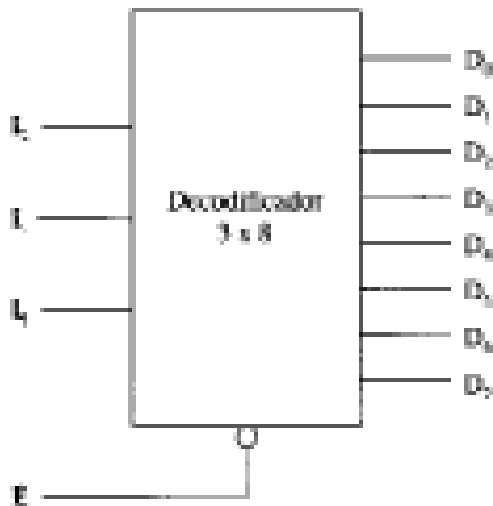
**TABLA 5.4**

Tabla de verdad de un codificador de 8 x 3 prioritario

$D_0$	$D_1$	$D_2$	$D_3$	$D_4$	$D_5$	$D_6$	$D_7$	X	Y	Z
1	0	0	0	0	0	0	0	0	0	0
x	1	0	0	0	0	0	0	0	0	1
x	x	1	0	0	0	0	0	0	1	0
x	x	x	1	0	0	0	0	0	1	1
x	x	x	x	1	0	0	0	1	0	0
x	x	x	x	x	1	0	0	1	0	1
x	x	x	x	x	x	1	0	1	1	0
x	x	x	x	x	x	x	1	1	1	1

## 5.2.2 Decodificadores

- Circuito combinacional con  $n$  entradas y  $m$  salidas, en las que a cada salida se le asigna un número de orden, que será activada al corresponder con el número codificado en la entrada.



**a)** Símbolo lógico de un decodificador de binario a octal con entrada de habilitación. **b)** Representación genérica.

TABLA 3.3

Tabla de verdad de un decodificador de octal a binario ( $x$  = entrada indiferente)

$E$	$I_2$	$I_1$	$I_0$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	1	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	1	0	0
0	1	0	1	0	0	0	0	0	1	0
0	1	1	0	0	0	0	0	0	0	1
0	1	1	1	0	0	0	0	0	0	0
1	x	x	x	0	0	0	0	0	0	0

**Ejemplo**

En la Figura 5.11 se muestra el diseño de un sistema combinacional con un decodificador que responde a la función lógica [5.3].

$$f(a,b,c) = m_2 + m_3 + m_7 \quad [5.3]$$

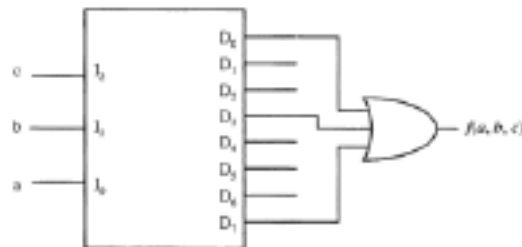


FIGURA 5.11. Solución al ejemplo propuesto.

## 5.2.3 Multiplexores

- Permiten dirigir la información digital procedente de diversas fuentes a una única línea de salida, de acuerdo a la combinación binaria aparecida en las patillas de selección ( $S_1$ ,  $S_0$ ).

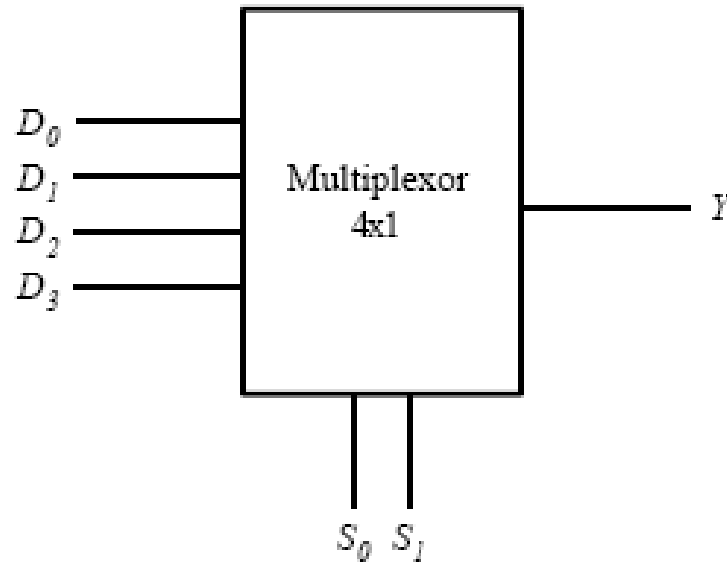


Tabla de verdad de un multiplexor de 4 entradas, en donde 1/0 indica un valor cualquiera en la entrada y x un valor indiferente

$s_0$	$s_1$	$D_0$	$D_1$	$D_2$	$D_3$	$Y$
0	0	1/0	x	x	x	$D_0$
0	1	x	1/0	x	x	$D_1$
1	0	x	x	1/0	x	$D_2$
1	1	x	x	x	1/0	$D_3$

Tabla de verdad de un multiplexor de 2 entradas,  
(«x» representar un valor indiferente)

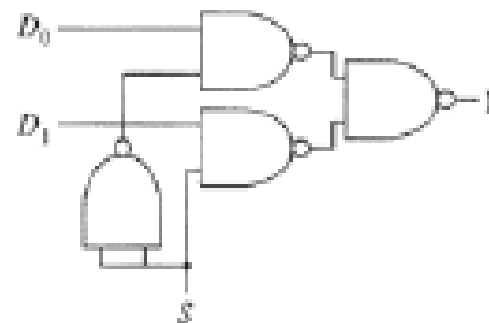
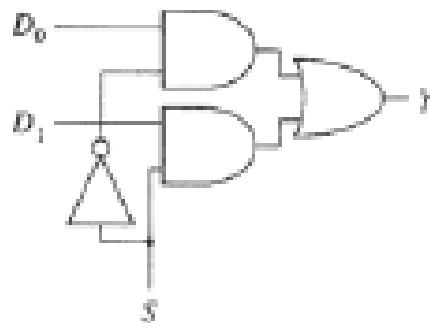
S	Entradas		Salida
	$D_0$	$D_1$	Y
0	0	x	0
0	1	x	1
1	x	0	0
1	x	1	1

TABLA 5.8

Mapa de Karnaugh para el multiplexor de 2 entradas

S	$D_0 D_1$			
	00	01	11	10
0	0	0	1	1
1	0	1	1	0

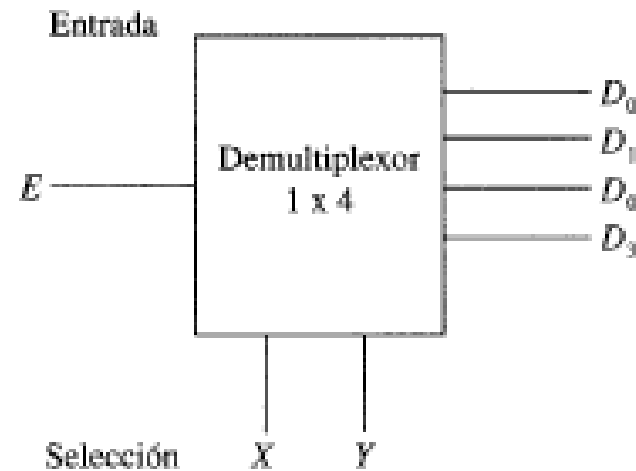
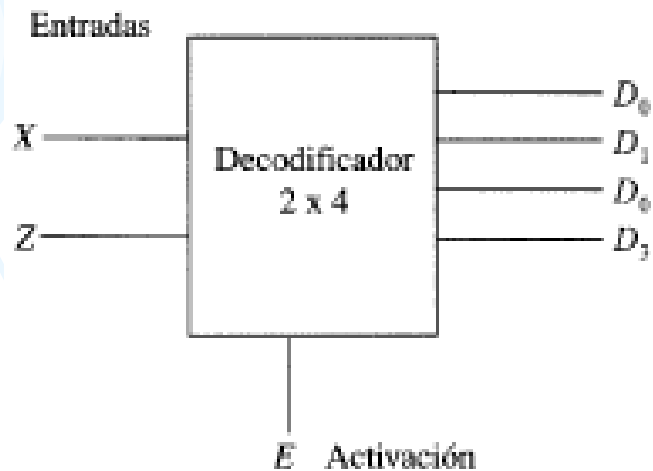
$$Y = \bar{S} D_0 + S D_1$$



Los dos esquemas lógicos equivalentes de un multiplexor de dos entradas.

## 5.2.4 Demultiplexores

- Operación inversa a los multiplexores; dirigen la señal que hay en la entrada (E) a la salida ( $D_i$ ) seleccionada por la combinación que aparece en las patillas de selección (X,Y).

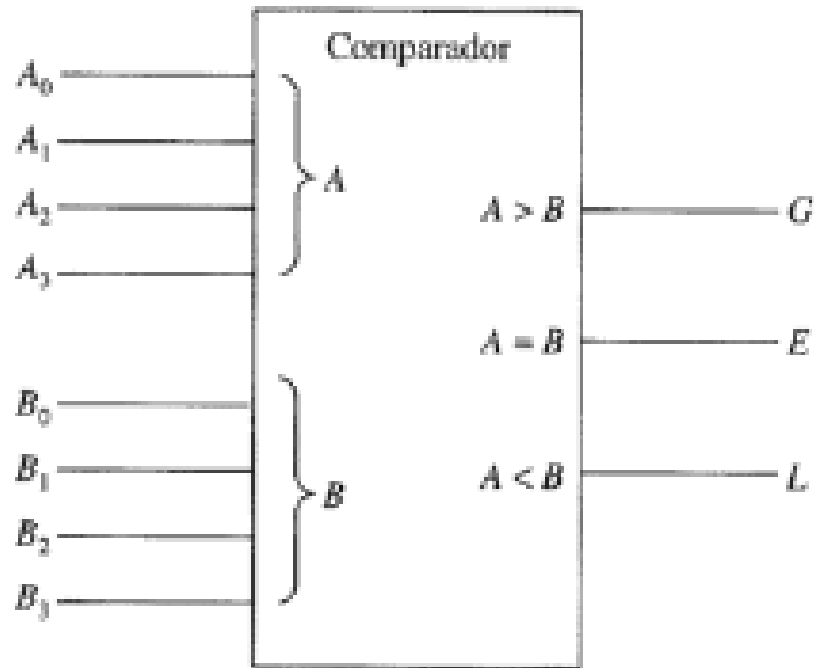


Demultiplexor a partir de un decodificador.



## 5.2.5 Comparadores

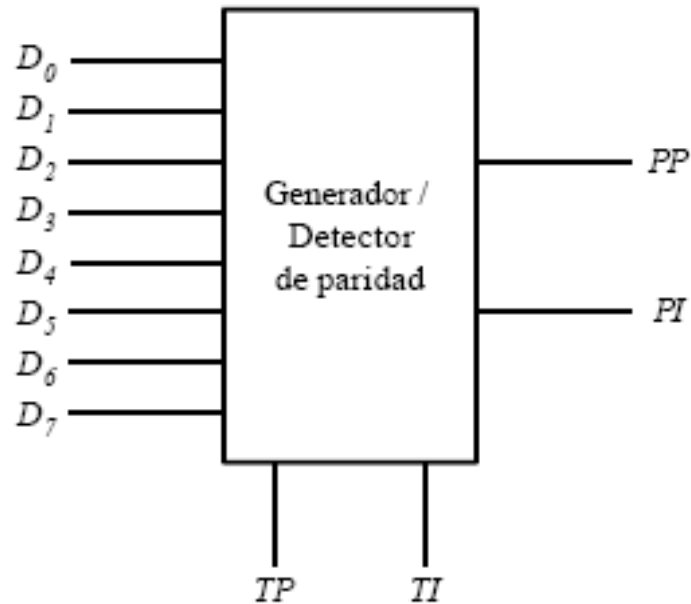
- Compara dos magnitudes de dos cantidades binarias para determinar su relación



Símbolo lógico de un comparador de 4 bits

## 5.2.6 Generadores / detectores de paridad

- Sirven para generar o detectar las paridades (tanto par como impar) en la transmisión de datos



## Tabla de verdad de generador/detector de paridad

Número de entradas ( $D_0 \dots D_n$ ) a nivel alto	Entradas		Salida	
	$TP$	$TI$	$PP$	$PI$
Par	1	0	1	0
Impar	1	0	0	1
Par	0	1	0	1
Impar	0	1	1	0
x	1	1	0	0
x	0	0	1	1

## 5.2.7 Circuitos aritméticos

- Circuitos combinatoriales que realizan operaciones aritméticas y lógicas con palabras de varios bits.

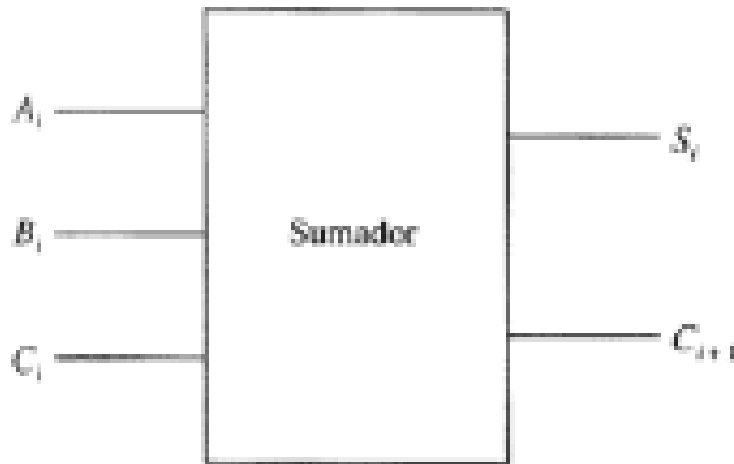


Diagrama de verdad de un sumador.

**TABLA 5.11**  
Tabla de verdad de un sumador

Entradas			Salidas	
$A_i$	$B_i$	$C_i$	$S_i$	$C_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

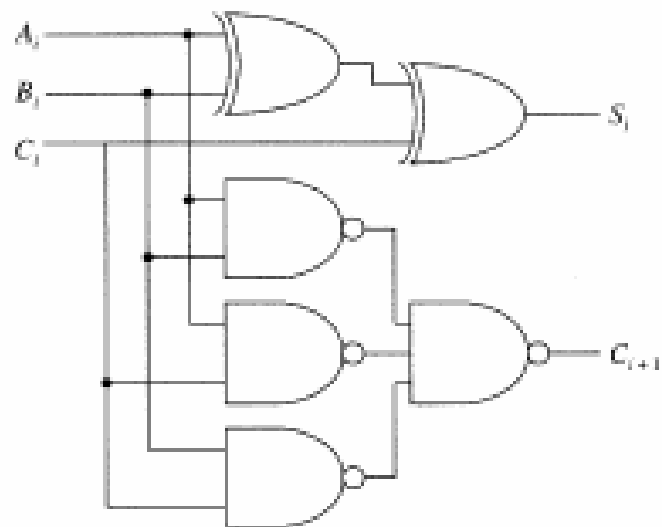
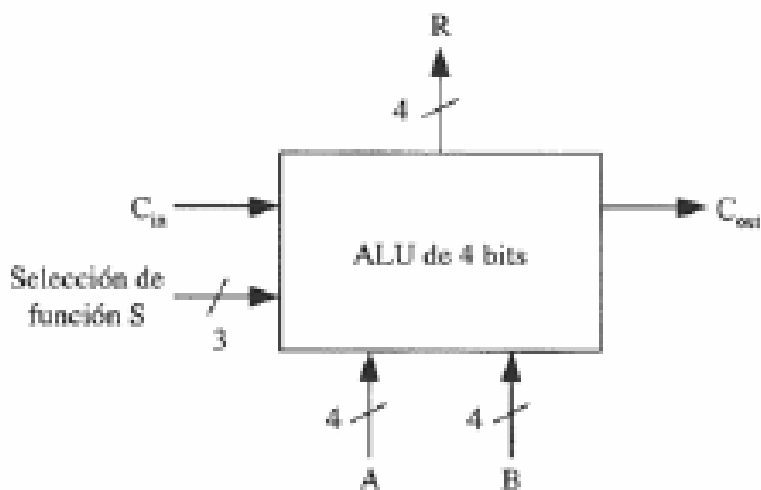


Diagrama lógico de un sumador completo de un bit.



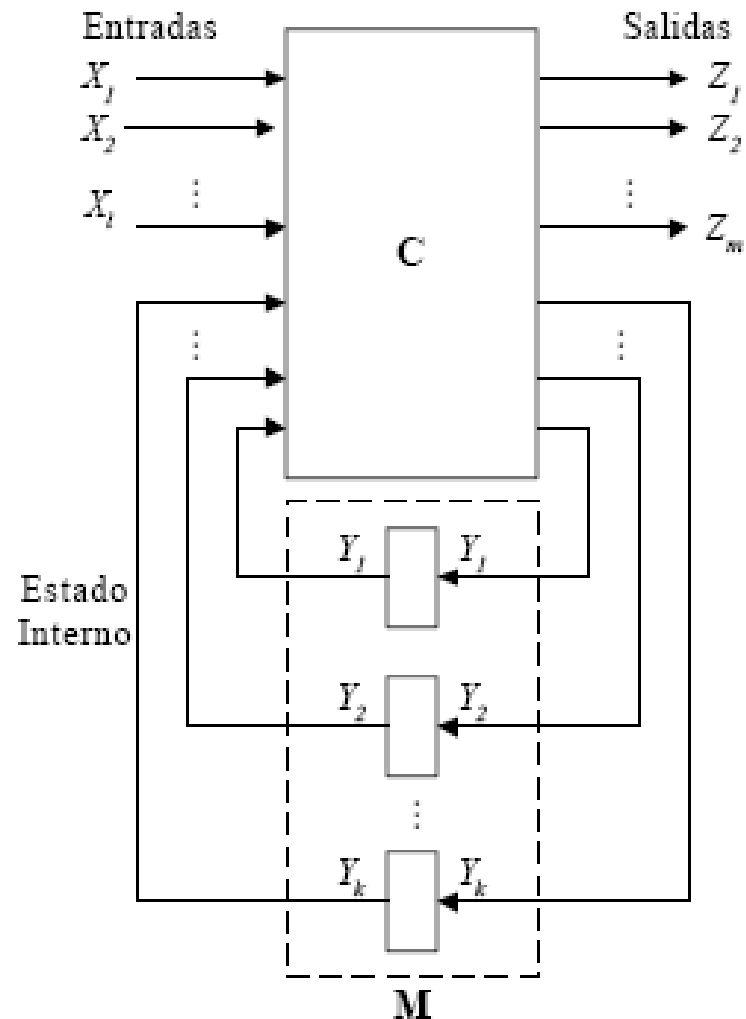
Símbolo lógico de una unidad aritmético-lógica de 4 bits.

Tabla de verdad de un operador aritmético-lógico

Selección de función			Función a realizar	
$S_2$	$S_1$	$S_0$		
0	0	0	$R \leftarrow 0000$	borrado
0	0	1	$R \leftarrow A - B$	resta
0	1	0	$R \leftarrow -A$	cambio de signo
0	1	1	$R \leftarrow A + B$	suma
1	0	0	$R \leftarrow A \text{ XOR } B$	XOR
1	0	1	$R \leftarrow A \text{ OR } B$	OR
1	1	0	$R \leftarrow A \text{ AND } B$	AND
1	1	1	$R \leftarrow 1111$	puesta a 1

# 5.3 SISTEMAS SECUENCIALES

- Las variables de salida dependen de los valores de las variables de entrada, en ese instante y de los valores internos de instantes anteriores.
- Realiza una función en una secuencia de pasos sencillos, recordando los resultados parciales.
- Consta de dos partes generales,
  - un circuito combinacional C y
  - un conjunto de elementos de memoria M
- La célula elemental es el **biestable** o flip-flop.



# Tipos de sistemas secuenciales

- **Según el reloj:**

- *Asíncronos:*

- los cambios se producen cuando están presentes las entradas.
    - No necesitan señal de reloj para sincronizar los cambios

- *Síncronos:*

- los cambios de estados se producen cuando además de las entradas adecuadas se produce una transición de la señal de reloj que sirve para sincronizar el funcionamiento del sistema.

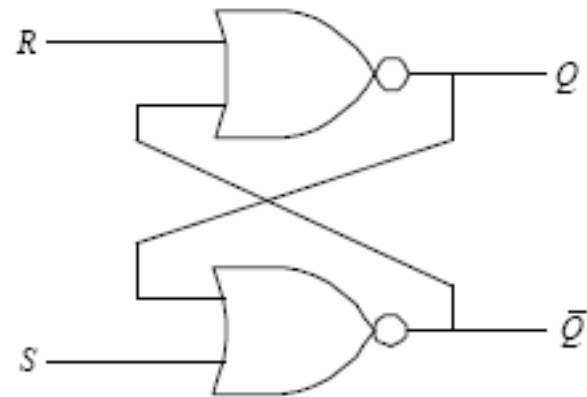
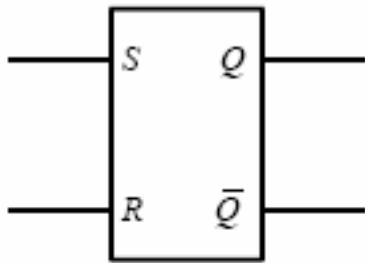
- **Según la constitución (funcionamiento):**

- *RS* (Set-Reset)
  - *D* (*Delay*)
  - *JK*
  - *T* (*Toggle*)



# SISTEMAS SECUENCIALES ASÍNCRONOS

- *Biastable RS asíncrono*

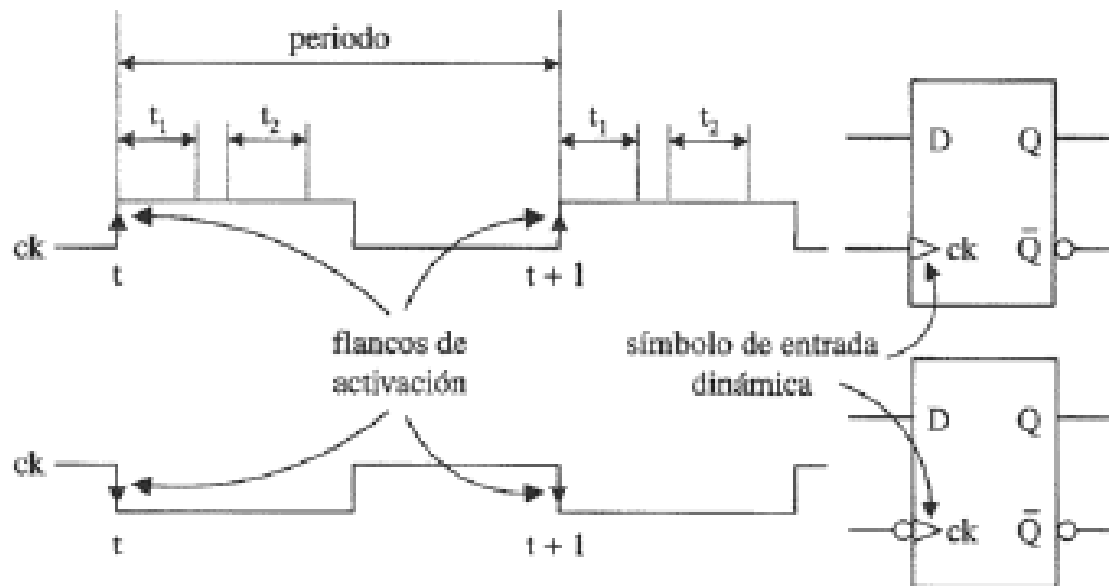


# Síntesis de los secuenciales

- 1 Obtención de la tabla de estados a partir de la definición del problema
- 2 Simplificar las funciones de entrada
- 3 simplificar las funciones de salida
- 4 realizar con puertas lógicas los circuitos combinacionales calculados en los dos puntos anteriores

# SISTEMAS SECUENCIALES SÍNCRONOS

- Los cambios de estados se producen cuando además de las entradas adecuadas se produce una transición de la señal de reloj que sirve para sincronizar el funcionamiento del sistema.
  - $T_1$  periodo de tiempo de lectura de la entrada
  - $T_2$  periodo de actualización de la salida



Representación de biestables síncronos activados por flanco y cronogramas de las señales de reloj.

# Biastable JK

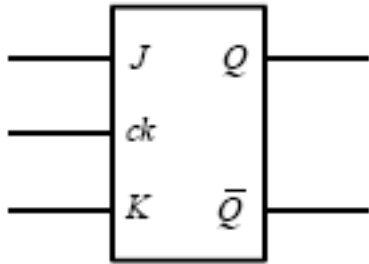
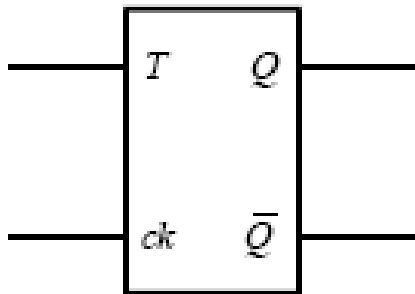


Tabla de estados de un biastable JK

J	K	$Q_{n+1}$	Función (tras un flanco de subida «ck»)
0	0	$Q_n$	Mantiene estado
0	1	0	Reset
1	0	1	Set
1	1	$\bar{Q}_n$	Conmutación de $Q_n$

# Biestable T (trigger o disparador)

- Si la entrada T es cero, la salida Q no cambia con los impulsos de reloj
- Si la entrada T es uno, la salida Q cambia con los impulsos de reloj



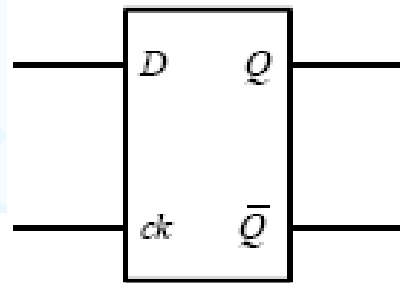
1. Símbolo esquemático de un biestable T.

Tabla 5.10. Tabla de verdad de un biestable T

$T$	$Q_{t+1}$	Función
0	$Q_t$	Mantenimiento
1	$\bar{Q}_t$	Conmutación

# Biastable D (delay)

- Actúa como retardador



Simbolo esquemático de un biastable D.

Tabla de estados de un biastable D

D	$Q_t$	$Q_{t+1}$
0	0	0
0	1	0
1	0	1
1	1	1

# 5.4. REGISTROS Y CONTADORES

- REGISTROS (entrada y salida paralelo)
  - Elementos de almacenamiento de información.
  - Un conjunto de  $n$  biestables idénticos, interconectados para almacenar una palabra de  $n$  bits

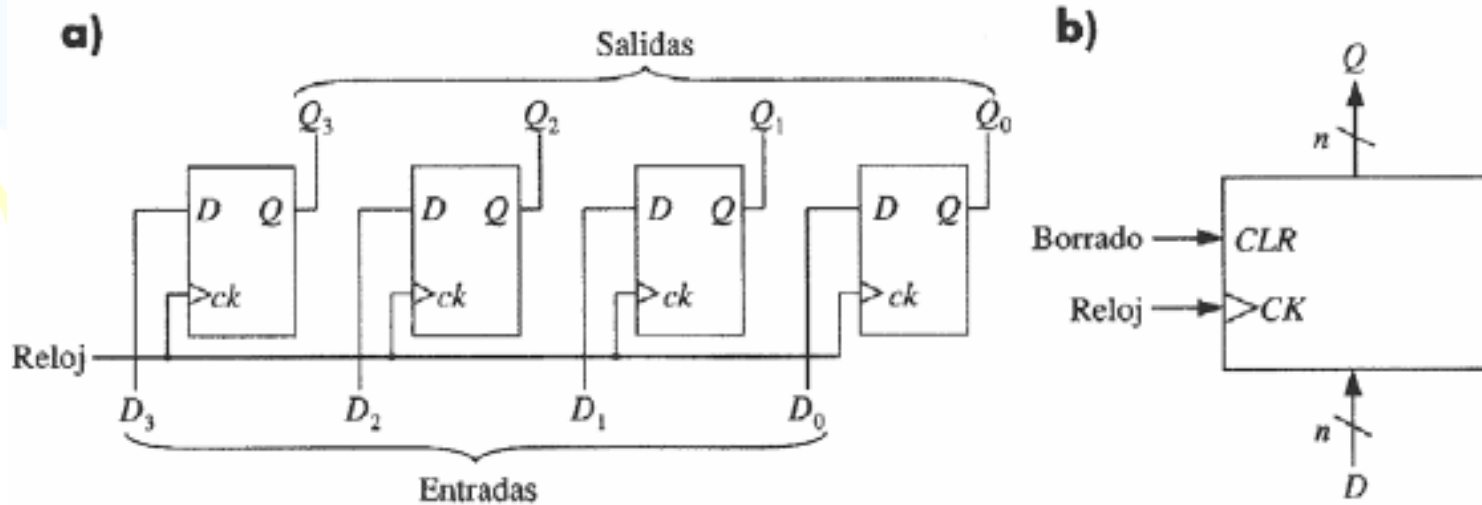
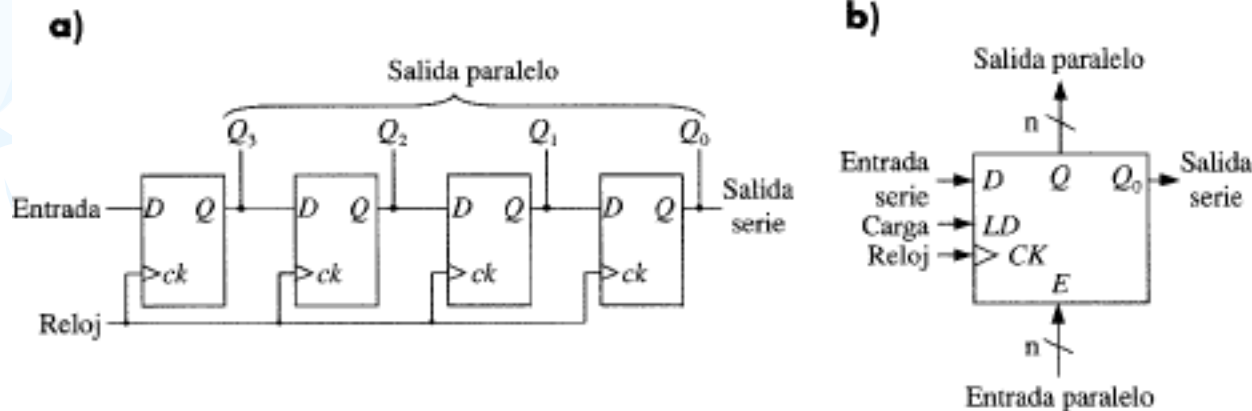


FIGURA 5.33. **a)** Registro paralelo de 4 bits formado por biestables D  
**b)** diagrama de bloques general de un registro de  $n$  bits.

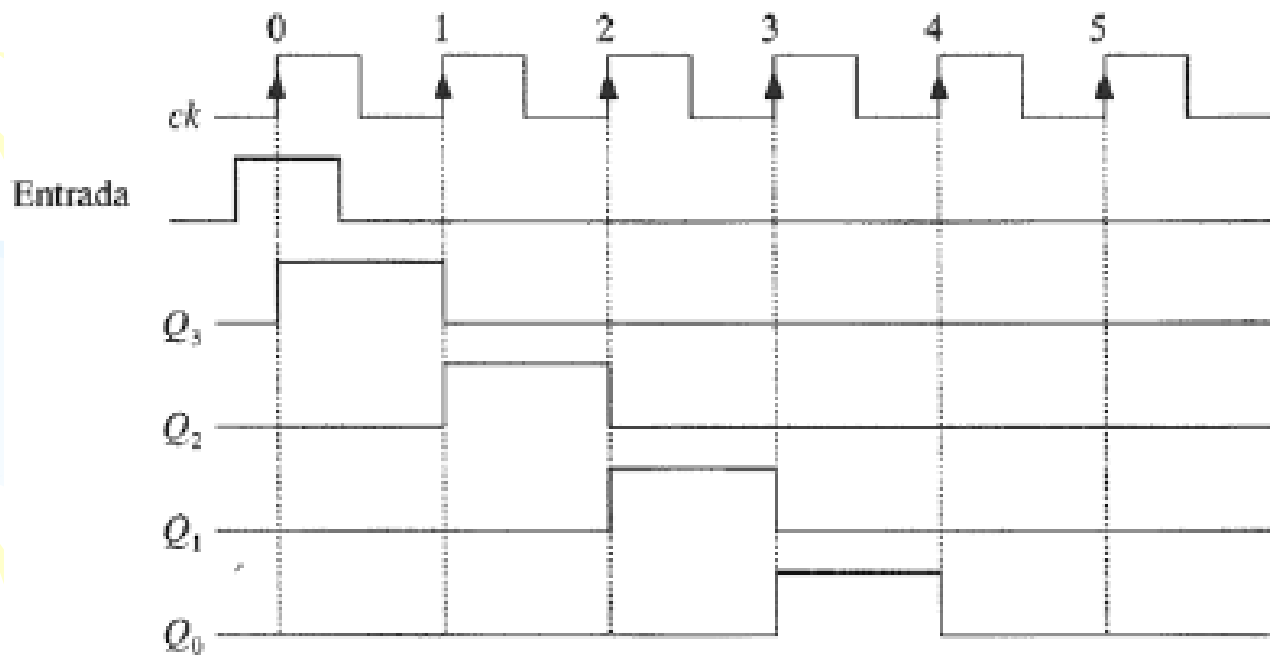
# Registros de desplazamiento (Entrada y salida serie)

- Con cada pulso de reloj, cada biestable cede su información al siguiente de la cadena y toma la información del que le precede



**a)** Registro de desplazamiento a derechas formado por biestables D **b)** registro de desplazamiento genérico de n bits.



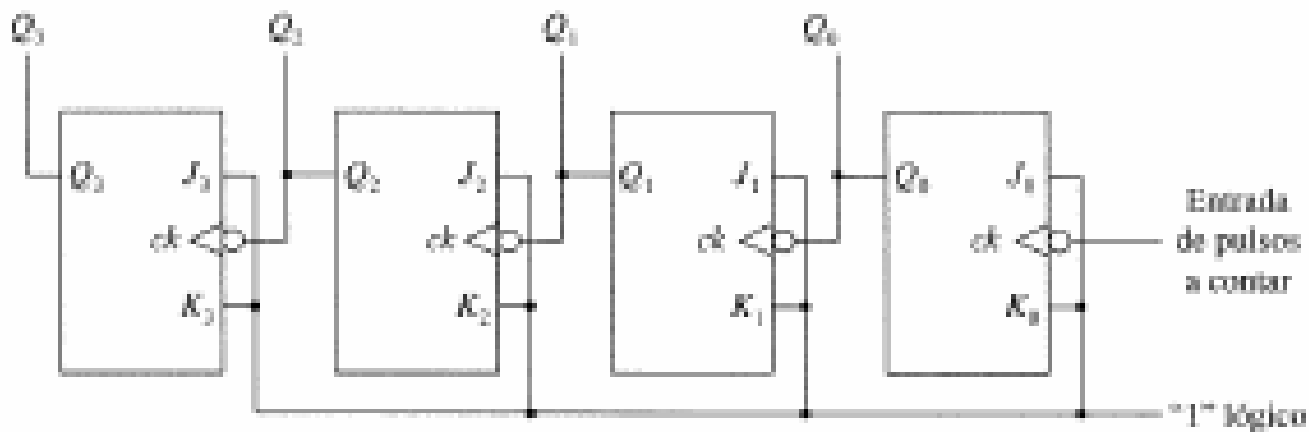


Cronograma de un registro de desplazamiento de 4 bits.

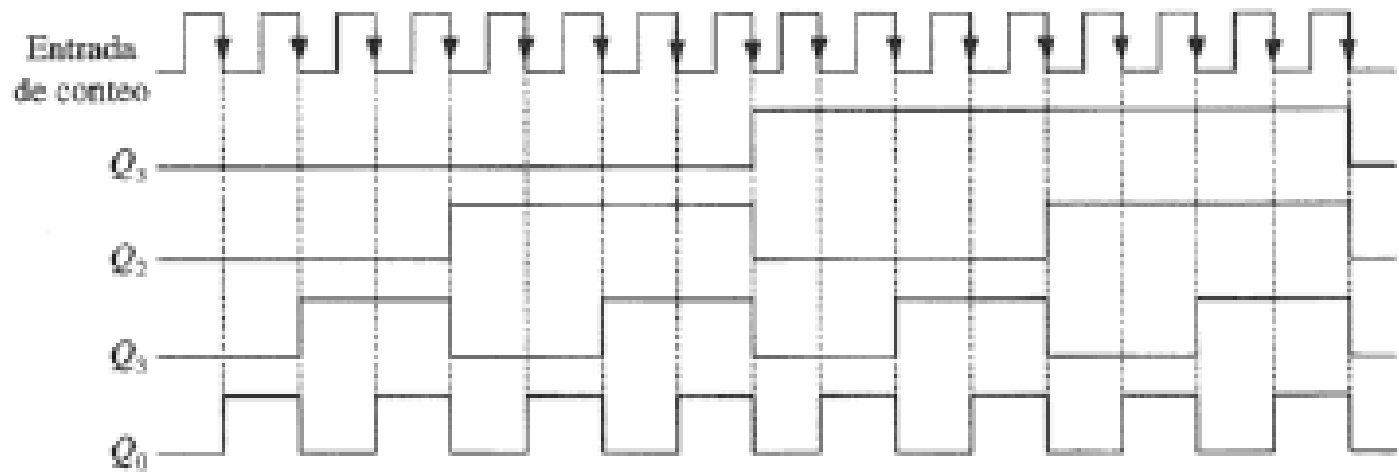
# CONTADORES

- Un contador es un circuito secuencial capaz de almacenar, el número de impulsos que recibe de una línea de entrada.
- Tipos:
  - Asíncronos:
    - El reloj entra en el primer biestable y la salida de cada biestable es la entrada de reloj de la siguiente.
  - Síncronos:
    - Todos los biestables cambian simultáneamente
    - Cuando entra el impulso de reloj, (en todas los biestables al mismo tiempo) todas los biestables que tienen las entradas cumpliendo las condiciones de cambio, comienzan al mismo tiempo dicho cambio, sin tener que esperar el estado que tomen el resto de ellos.

# asíncrono



Contador asíncrono con biestables JK.

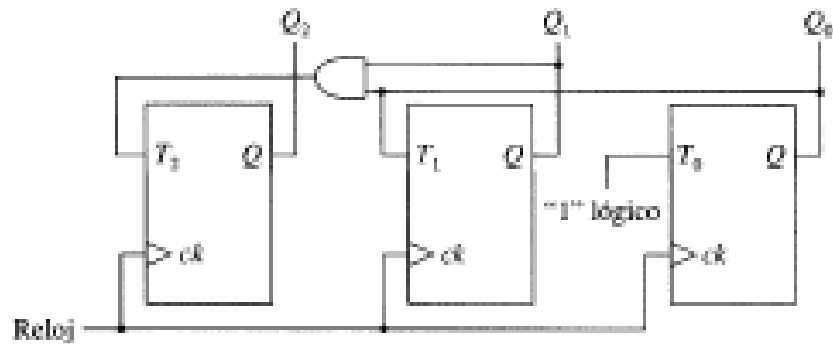


Cronograma de un contador de 4 bits.

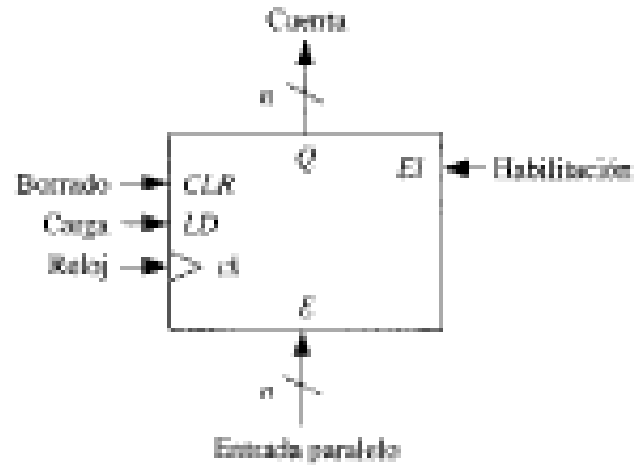
Tabla 5.12. Evolución de los estados en los biestables

		$Q_D$	$Q_C$	$Q_B$	$Q_A$
Inicialmente	0	0	0	0	0
Después del impulso	1	0	0	0	1
Después del impulso	2	0	0	1	0
Después del impulso	3	0	0	1	1
Después del impulso	4	0	1	0	0
Después del impulso	5	0	1	0	1
Después del impulso	6	0	1	1	0
Después del impulso	7	0	1	1	1
Después del impulso	8	1	0	0	0
Después del impulso	9	1	0	0	1
Después del impulso	10	1	0	1	0
Después del impulso	11	1	0	1	1
Después del impulso	12	1	1	0	0
Después del impulso	13	1	1	0	1
Después del impulso	14	1	1	1	0
Después del impulso	15	1	1	1	1

# Síncrono



Contador síncrono de tres bits con biestables T.



Contador genérico de  $n$  bits.

## 5.5 MEMORIAS DE SEMICONDUCTOR

- **RAM:** Random Acces Memory
  - Dinámica
  - Estáticas
- **ROM:** Read-Only Memory
  - **PROM:** Programmable ROM
  - **OTP-PROM:** Once Time Programmable ROM
  - **EPROM:** Erasable PROM
  - **EEPROM:** Electrically Erasable PROM
  - **FLAHS-PROM:** Programables con señales eléctricas sin equipos especiales