

The background features several large, flowing, abstract shapes in shades of purple, green, and blue. Interspersed among these are numerous small, yellow, triangular shapes that resemble rays of light or decorative elements.

ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES I

Tema VI

**Estructura básica de un
computador**

TEMA 6. Estructura básica de un computador

- 6.1 Introducción
- 6.2 Memorias
- 6.3 Unidad Aritmética
- 6.4 Elementos de interconexión. Buses
- 6.5 La unidad de control
- 6.6 Estructura de un computador elemental y señales de control
- 6.7 Funcionamiento interno de un computador. Cronogramas de instrucciones
- 6.8 Unidad de entrada/salida
 - Modos de transferencia

ESTRUCTURA BÁSICA DE UN COMPUTADOR

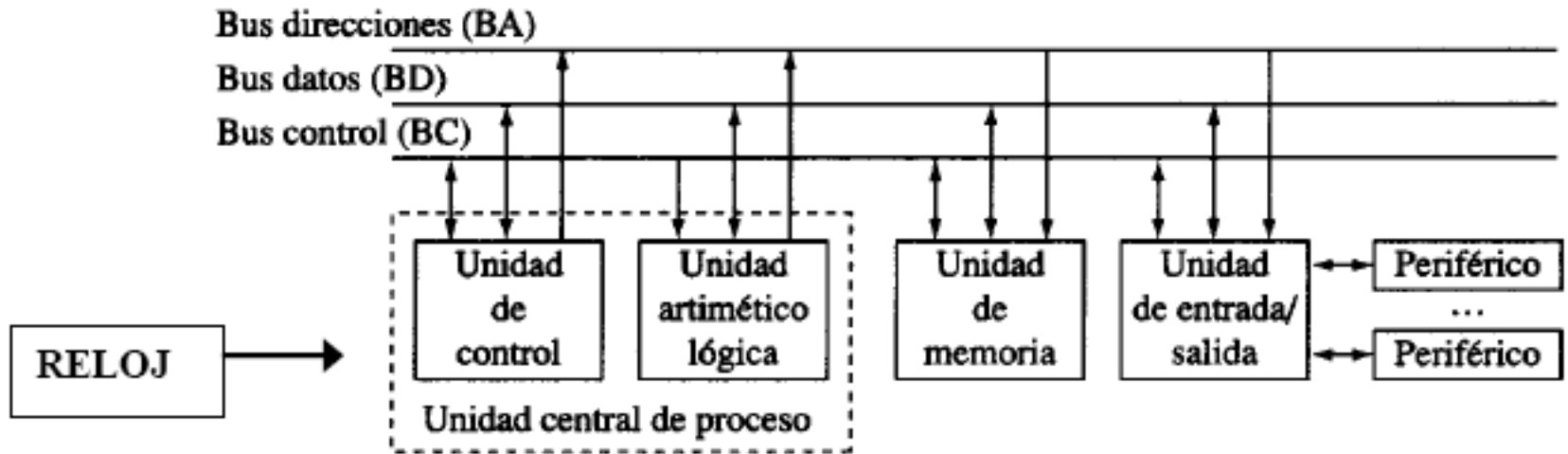


FIGURA 6.1. Estructura funcional de un computador.

ESTRUCTURA

- CPU	Unidad de control		
	ULA		
- RELOJ	Onda cuadrada		
- MEMORIA	Interna o principal	<p>A semiconductores Acceso rápido Capacidad limitada Trabajo solo con la CPU Tamaño = ancho pal.*n° pal. $N^{\circ} \text{ pal} = 2^{\text{bus dir}}$</p>	<p>Lectura - t ciclo lect Escritura- t ciclo escrit t de ciclo = t entre 2 accesos</p>
	Secundaria	<p>Tecnologías varias: óptica/magnética Alta capacidad Acceso lento Económica</p>	
- ULA	Banco de registros	Conjunto de reg. de trabajo	
	Operador (ALU)	Configuración de palabra	serie paralelo
		N° operandos	Monádicos Diádicos
		Especialidad	Generales Específicos
Operaciones	Lógicas Aritméticas Circulares		
Reg. estados (Flags)	<p>Z- Cero N- Negativo C- Carry V- oVerflow P- Paridad</p>		
- BUSES	<p>Direcciones (DB-Data Bus) Datos (AB - Adress Bus) Control</p>		

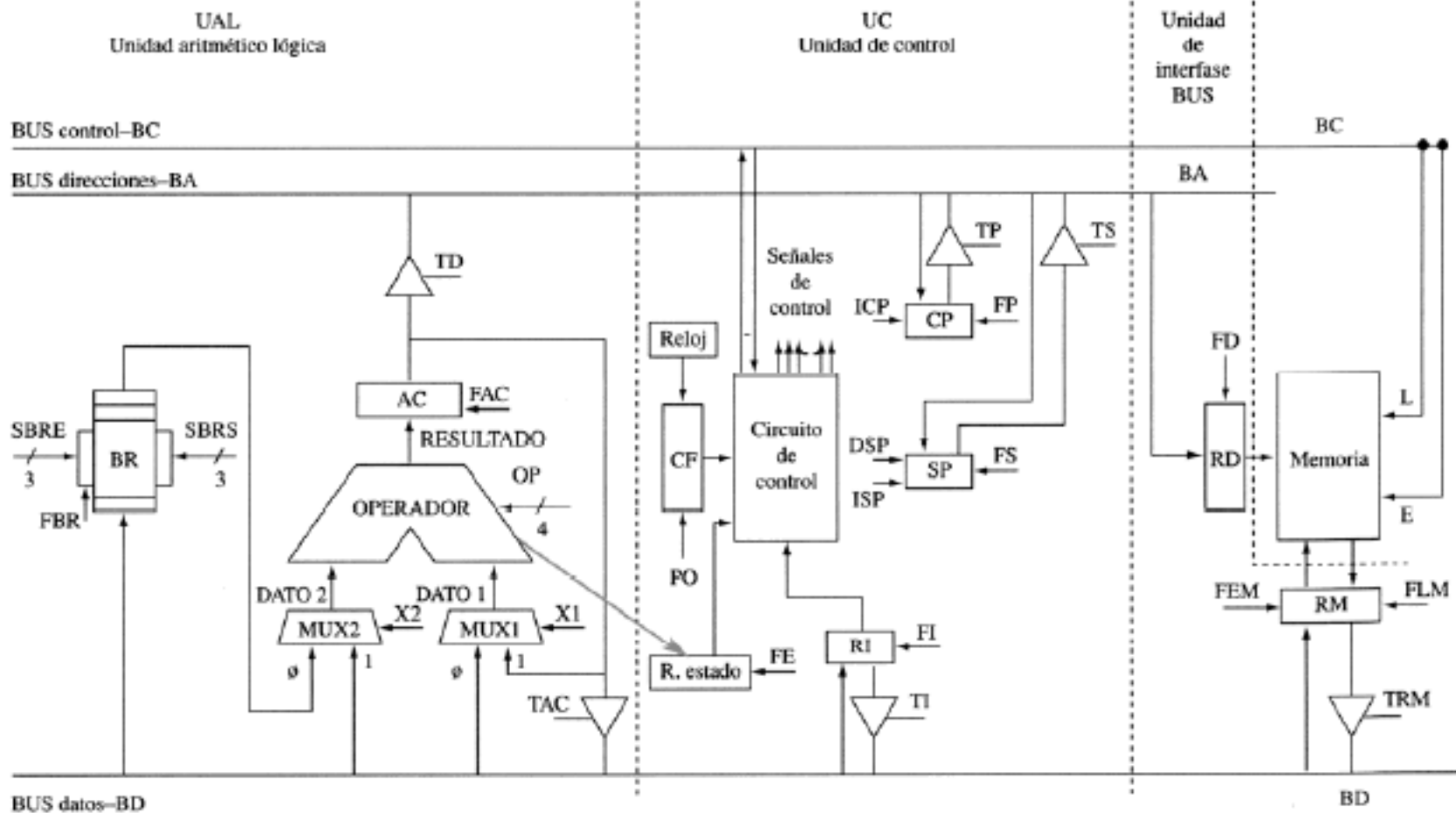


FIGURA 6.12. Estructura del computador ejemplo.

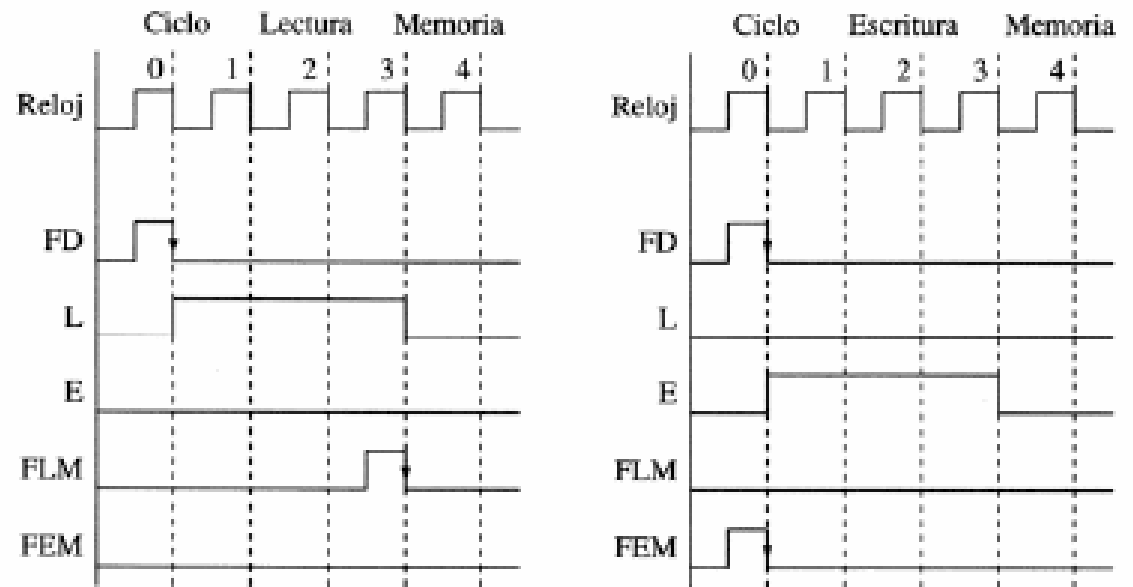



FIGURA 6.13. Cronogramas de lectura y escritura en memoria.

Señales de control

- *Nivel* {
 - Puertas triestado
 - Señales de control operador
 - Señales RD/WR memoria
- *Pulso* (Flanco) (Carga de un registro)

SEÑALES DE CONTROL

SEÑAL	FUNCIÓN	
OP	Selección de operación en la ALU (4 bits)	
X1	Selección del operando 1 de la ALU (1 ⇒ desde el Acumulador AC; 0 ⇒ desde bus datos BD)	
X2	Selección del operando 2 de la ALU (1 ⇒ desde bus datos BD; 0 ⇒ desde el Banco de Registros BR)	
TAC	Triestado para el acceso al bus de datos BD desde el Acumulador AC.	
TD	Triestado para el acceso al bus de direcciones BA desde el Acumulador AC.	
SBRS	Selección del registro de salida del Banco de Registros BR.	
SBRE	Selección del registro de entrada al Banco de Registros BR.	
FBR	Flanco de escritura WR al Banco de Registros BR.	
FAC	Flanco de escritura WR al Acumulador AC.	
FE	Flanco de escritura WR al Registro de Estados (Flags).	
PO	Reset del contador de fases CF.	
TP	Triestado para el acceso al bus de direcciones BA desde el Contador de Programa CP.	
ICP	Incremento del Contador de Programa CP.	
FP	Flanco de escritura WR al Contador de Programa CP.	
SP Stack Pointer	FS	Flanco de escritura WR al Stack Pointer SP desde el Bus de Direcciones BA.
	ICP	Incrementar el Stack Pointer SP.
	DCP	Decrementar el Stack Pointer SP.
	TS	Triestado para el acceso al bus de direcciones BA desde el Stack Pointer SP.
FI	Flanco de escritura al Registro de Instrucciones RI.	
TI	Triestado para el acceso al bus de datos BD desde el Registro de Instrucciones RI.	
FD	Flanco de escritura WR al Registro de Direcciones RD de Memoria desde bus de direcciones BA.	
FEM	Flanco de escritura WR al Registro de Memoria RM desde el interior de la Memoria.	
FLM	Flanco de lectura RD al Registro de Memoria RM desde el interior de la Memoria.	
TRM	Triestado para el acceso al bus de datos BD desde el Registro de Memoria RM.	
CF	Contador de Fases, se incrementa para realizar cada una de las operaciones elementales que componen una instrucción.	




Fases en la ejecución de una instrucción

- *Búsqueda* \Rightarrow Común a todas las instrucciones.
- *Ejecución de la instrucción* \Rightarrow Particular para cada instrucción.



Notación

- $A \rightarrow B \Rightarrow$ Transferencia de A a B
 - $(A) \Rightarrow$ El contenido de A.
 - Operadores *constantas* precedidos por # \Rightarrow MOV #21,R5 \Rightarrow Mover el valor 21 a R5
- 

a) Fase de búsqueda (Común para todas las operaciones):

Orden	Operación	Señal accionada
1.-	(CP) → BA	TP
	(BA) → RD	FD
2.-	Lectura de memoria	L
3.-	(RM) → BD	TRM
4.-	Incrementar PC (*)	ICP

(*) El incremento del PC se realiza al mismo tiempo que se lee la memoria y se pasa el contenido de dicha memoria al Bus de Datos

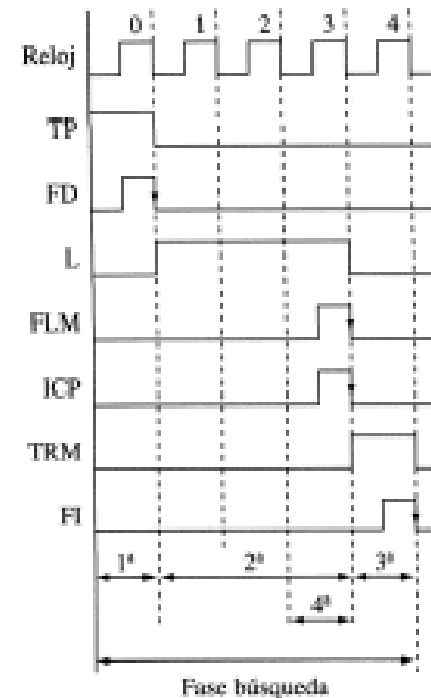


FIGURA 6.15. Cronograma de la fase de búsqueda de una instrucción.

FIGURA 6.12. Estructura del computador ejemplo.

Ejemplo: ADDA R3 (Suma el contenido de AC + R3 y el resultado se guarda en AC)

$$\text{ADDA R3} \Rightarrow (\text{AC})+(\text{R3}) \rightarrow \text{AC}$$

Orden	Operación	Señal accionada
5.-	Decodifica la instrucción	
6.-	$(\text{AC})+(\text{R3}) \rightarrow \text{AC}$	
	$(\text{AC}) \rightarrow \text{DATO 1}$	X1 = 1
	$(\text{R3}) \rightarrow \text{DATO 2}$	X2 = 0 SBRS = 3
	$(\text{DATO 1}) + (\text{DATO 2})$	OP = Suma
	$(\text{RESULTADO}) \rightarrow \text{AC}$	FAC

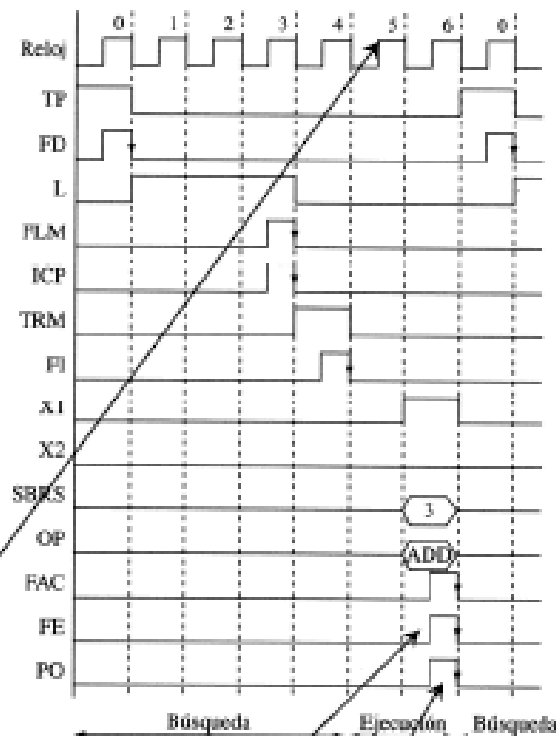


FIGURA 6.16. Cronograma completo de la instrucción ADDA R3.

Decodificación

Flags de la suma

Reset CF

UNIDAD DE ENTRADA/SALIDA

- Realiza la conexión de la unidad central de proceso (UCP) del computador con los dispositivos periféricos.



Figura 6.9. Modelo de periférico.

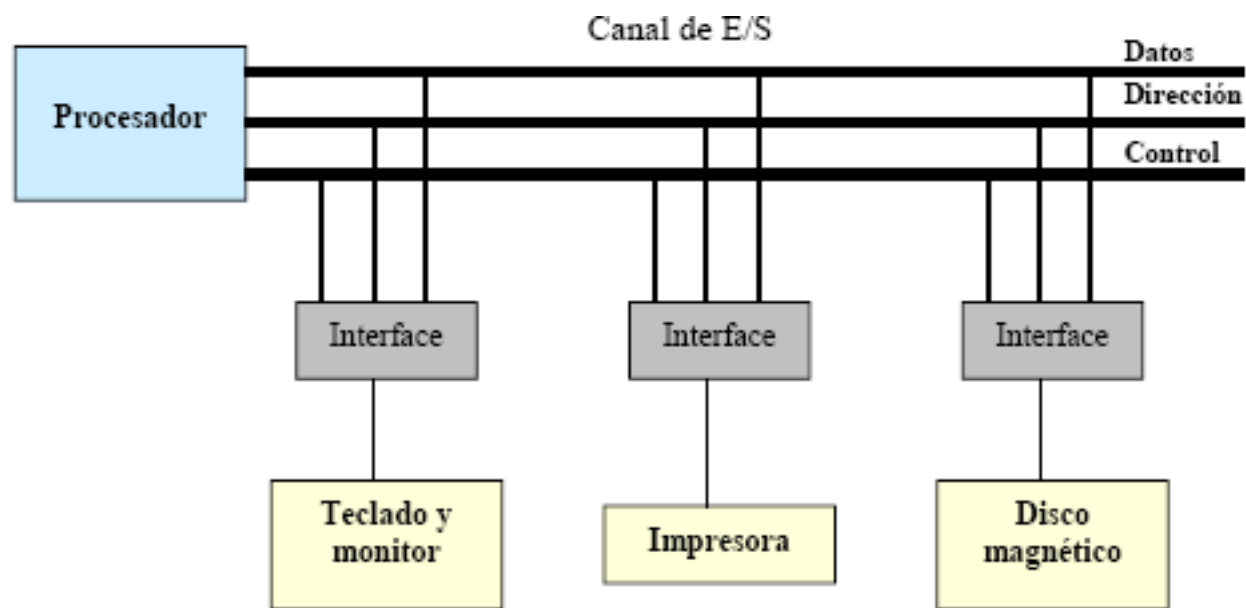


Figura 6.10. Conexión de canal de E/S a dispositivos de entrada/salida.



MODOS DE TRANSFERENCIA

- E/S programada
- E/S iniciada por interrupción
- Acceso directo a memoria (DMA)