

Conjunto de Instrucciones para el Microprocesador MC68000

Notación usada en las tablas

Símbolo	Significado
s	Operando fuente
d	Operando Destino
AAA	Número de registro de Direcciones
DDD	Número de registro de Datos
rrr	Número de registro fuente
RRR	Número de registro destino
eeeeee	Dirección efectiva del operando fuente <Modo><Registro>
EEEEEE	Dirección efectiva del operando destino <Modo><Registro>
MMM	Modo de dirección efectiva del destino
CCCC	Especificación de una prueba de código de condición
P...P	Desplazamiento
Q...Q	Datos rápidos inmediatos
SS	Tamaño: 00=Byte, 01=Word, 10=Long-Word (En instrucción MOVE: 01=Byte, 11=Word, 10=Long-Word)
VVVV	Número del vector de Trap
u	El estado del código de condición está indefinido

Codificación de los modos de direccionamiento

Modo	Registro	Modo de Direccionamiento
000	Reg. #	Directo en Registro de Datos
001	Reg. #	Directo en Registro de Direcciones
010	Reg. #	Indirecto en Registro
011	Reg. #	Indirecto con Postincremento
100	Reg. #	Indirecto con Predecremento
101	Reg. #	Base más Desplazamiento
110	Reg. #	Base más Índice más Desplazamiento
111	000	Absoluto Corto
111	001	Absoluto Largo
111	010	Relativo con Desplazamiento
111	011	Relativo con Desplazamiento más Índice
111	100	Inmediato
-	-	Inmediato Corto
-	-	Implícito

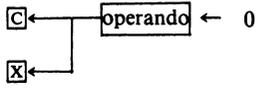
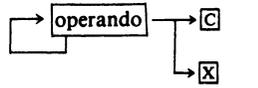
Instrucciones de bifurcación condicional

Mnemotécnico (nombre)	Tamaño del desplazamiento	Código de OP	Operación realizada
BRA (Ramificar siempre)	8	0110 0000 PPPP PPPP	PC ← [PC] + disp
	16	0110 0000 0000 0000 PPPP PPPP PPPP PPPP	
BCC (Ramificación condicional)	8	0110 CCCC PPPP PPPP	Si cc es verdadera, entonces
	16	0110 CCCC 0000 0000 PPPP PPPP PPPP PPPP	PC ← [PC] + disp
BSR (Ramificación a subrutina)	8	0110 0001 PPPP PPPP	SP ← [SP] - 2;
	16	0110 0001 0000 0000 PPPP PPPP PPPP PPPP	[SP] ← [PC]; PC ← [PC] + disp
DBcc (Decremento y ramificación condicionales)	16	0101 CCCC 1100 1DDD	Si cc es falsa, entonces
		PPPP PPPP PPPP PPPP	Dn ← [Dn] - 1; Si [Dn] ≠ -1, entonces PC ← [PC] + disp
DBRA (Decremento y ramificación)	El ensamblador interpreta las instrucciones como DBF (Véase la anotación DBcc).		

Códigos de Condición para las Instrucciones Bcc, DBcc y Scc

Código Máquina CCCC	Nemónico	Significado	Lógica
0000	T	Verdadero	1
0001	F	False	0
0010	HI	Alto	C*.Z*
0011	LS	Bajo o Igual	C+Z
0100	CC	Carry Clear	C*
0101	CS	Carry Set	C
0110	NE	◇	Z*
0111	EQ	=	Z
1000	VC	Overflow Clear	V*
1001	VS	Overflow Set	V
1010	PL	Positivo	N*
1011	MI	Negativo	N
1100	GE	≥	N.V+N*.V*
1101	LT	<	N.V*+N*.V
1110	GT	>	N.V.Z*+N*.V*.Z*
1111	LE	≤	Z+N.V*+N*.V

nota: los códigos T y F no pueden usarse en la instrucción Bcc

Mnemotécnico (nombre)	Tamaño	Modo de direccionamiento	Modo de direccionamiento													Código de OP $b_{15} \dots b_0$	Operación realizada	Banderas de condición								
			Dn	An	(An)	(An)+	-(An)	d(An)	d(An,Xi)	Abs.W	Abs.L	d(PC)	d(PC,Xi)	Immed	SR or CCR			X	N	Z	V	C				
ABCD (Suma BCD)	B	s = Dn d = s = - (An) d =	x				x												1100 RRR1 0000 0rrr 1100 RRR1 0000 lrrr	d ← [s] + [d] + [X] Adición decimal codificada en binario	x	u	x	u	x	
ADD (Suma)	B,W,L	s = Dn d = d = Dn s =	x	x	x	x	x	x	x	x	x	x	x	x	x	x			1101 DDD0 SSEE EEEE 1101 DDD1 SSee eeee	d ← [Dn] + [d] Dn ← [s] + [Dn]	x	x	x	x	x	x
ADDA (Suma dirección)	W L	d = An s = d = An s =	x	x	x	x	x	x	x	x	x	x	x	x	x	x			1101 AAA0 11ee eeee 1101 AAA1 11ee eeee	An ← [s] + [An]						
ADDI (Suma inmediata)	B,W,L	s = Immed d =	x		x	x	x	x	x	x	x	x							0000 0110 SSEE EEEE	d ← s + [d]	x	x	x	x	x	
ADDQ (Suma rápida)	B,W,L	s = Immed3 d =	x	x	x	x	x	x	x	x	x								0101 QQQ0 SSEE EEEE	d ← QQQ + [d]	x	x	x	x	x	
ADDX (Suma ampliada)	B,W,L	s = Dn d = s = - (An) d =	x				x												1101 RRR1 SS00 0rrr 1101 RRR1 SS00 1rrr	d ← [s] + [d] + [X] Adición de precisión múltiple	x	x	x	x	x	
AND (AND lógico)	B,W,L	s = Dn d = d = Dn s =	x		x	x	x	x	x	x	x	x	x	x	x				1100 DDD1 SSEE EEEE 1100 DDD0 SSee eeee	d ← [Dn] ∧ [d]		x	x	0	0	
ANDI (AND inmediato)	B,W,L	s = Immed d =	x		x	x	x	x	x	x	x					x			0000 0010 SSEE EEEE	d ← s ∧ [d]		x	x	0	0	
ASL (Desplazamiento aritmético a la izquierda)	B,W,L	conteo = [Dn] d = conteo = QQQ d = conteo = 1 d =	x																1110 rrr1 SS10 0DDD 1110 QQQ1 SS00 0DDD 1110 0001 11EE EEEE		x	x	x	x	x	
ASR (Desplazamiento aritmético a la derecha)	B,W,L	conteo = [Dn] d = conteo = QQQ d = conteo = 1 d =	x																1110 rrr0 SS10 0DDD 1110 QQQ0 SS00 0DDD 1110 0000 11EE EEEE		x	x	x	x	x	
BCHG* (Probar un bit y cambiarlo)	B L	bit# = [Dn] d = bit# = Immed d = bit# = [Dn] d = bit# = Immed d =			x	x	x	x	x	x	x	x							0000 rrr1 01EE EEEE 0000 1000 01EE EEEE 0000 rrr1 01EE EEEE 0000 1000 01EE EEEE	Z ← $\overline{(\text{bit\# of d})}$; complementar después el bit probado en d.			x			
BCLR* (Probar un bit y borrarlo)	B L	bit# = [Dn] d = bit# = Immed d = bit# = [Dn] d = bit# = Immed d =			x	x	x	x	x	x	x								0000 rrr1 10EE EEEE 0000 1000 10EE EEEE 0000 rrr1 10EE EEEE 0000 1000 10EE EEEE	Z ← $\overline{(\text{bit\# of d})}$; borrar después el bit probado en d.			x			

Mnemotécnico (nombre)	Tamaño	Modo de direccionamiento	Modo de direccionamiento											Código de OP $b_{15} \dots b_0$	Operación realizada	Banderas de condición						
			Dn	An	(An)	(An)+	-(An)	d(An)	d(An,Xi)	Abs.W	Abs.L	d(PC)	d(PC,Xi)			Immed	SR or CCR	X	N	Z	V	C
RESET																0100 1110 0111 0000	Evaluar línea de salida RESET. (reestablecer)					
ROL (Rotar a izquierda sin X)	B,W,L W	conteo = [Dn] d = conteo = QQQ d = conteo = 1 d =	x x		x	x	x	x	x	x	x	x				1110 rrr1 SS11 1DDD 1110 QQQ1 SS01 1DDD 1110 0111 11EE EEEE			x	x	0	x
ROR (Rotar a derecha sin X)	B,W,L W	conteo = [Dn] d = conteo = QQQ d = conteo = 1 d =	x x		x	x	x	x	x	x	x					1100 rrr1 SS11 1DDD 1110 QQQ0 SS01 1DDD 1110 0111 11EE EEEE			x	x	0	x
ROXL (Rotar a izquierda con X)	B,W,L W	conteo = [Dn] d = conteo = QQQ d = conteo = 1 d =	x x		x	x	x	x	x	x	x					1110 rrr1 SS11 0DDD 1110 QQQ1 SS01 0DDD 1110 0101 11EE EEEE		x	x	x	0	x
ROXR (Rotar a derecha con X)	B,W,L W	conteo = [Dn] d = conteo = QQQ d = conteo = 1 d =	x x		x	x	x	x	x	x						1110 rrr0 SS11 0DDD 1110 QQQ0 SS01 0DDD 1110 0100 11EE EEEE		x	x	x	0	x
RTE (Regreso de excepción)																0100 1110 0111 0011	SR ← [[SP]]; SP ← [SP] + 2; PC ← [[SP]]; SP ← [SP] + 2	x	x	x	x	x
RTR (Regreso y restau- ración de CCR)																0100 1110 0111 0111	CCR ← [[SP]]; SP ← [SP] + 2; PC ← [[SP]]; SP ← [SP] + 2	x	x	x	x	x
RTS (Regreso de subrutina)																0100 1110 0111 0101	PC ← [[SP]]; SP ← [SP] + 2					
SBCD (Sustracción BCD)	B	s = Dn d = s = - (An) d =	x				x									1000 RRR1 0000 0rrr 1000 RRR1 0000 1rrr	[X] - [s] - [p] → p 'Sustracción de decimal codificado en binario	x	u	x	u	x
Scc (Posicionar si se cumple condición)	B		d =	x	x	x	x	x	x	x	x					0101 CCCC 11EE EEEE	Poner en 1 los ocho bits de d si cc es verdadera, de otra manera despejarlos a cero.					

