



GRADO

GUÍA DE ESTUDIO DE FUNDAMENTOS DE SISTEMAS DIGITALES

2ª PARTE | PLAN DE TRABAJO Y ORIENTACIONES PARA SU DESARROLLO



2013-2014

Ana Esperanza Delgado García
GRADO EN INGENIERÍA INFORMÁTICA e
INGENIERÍA DE LAS TECNOLOGÍAS DE LA INFORMACIÓN

1.- PLAN DE TRABAJO

Con este plan de trabajo pretendemos conducir al alumno en el estudio de los fundamentos de los sistemas digitales y ayudarlo a conseguir las habilidades y destrezas que debe haber adquirido tras el estudio de la asignatura y que ya han sido ampliamente descritas en la primera parte de la guía de estudio.

Vamos a presentar primero el contenido y programa de la asignatura y después, una vez conocido el contenido de los temas, presentaremos un cronograma con la distribución de estos temas a lo largo del semestre.

1.1. Contenido y programa de la asignatura

Como ya hemos comentado en la Primera Parte de la Guía de Estudio la asignatura se estructura en los siguientes bloques temáticos:

- *Modelos matemáticos* (tema 1, parte de los temas 8 y 9 del texto base)
- *Funciones en lógica combinatorial* (temas 5, 6 y 7 del texto base)
- *Funciones en lógica secuencial* (temas 8, 9, 10, 11, 12 y 13 del texto base)

En el *primer grupo* describimos el modelo matemático que subyace a los circuitos combinatoriales y secuenciales. Estas bases están distribuidas en diferentes temas que estudiaremos en distintos momentos del curso ya que cada una está asociada a un bloque temático diferente. Así, en el tema 1 estudiamos las bases de los circuitos combinatoriales y en los dos primeros temas del tercer bloque estudiamos las de los circuitos secuenciales. Empezamos, pues, con el estudio de la representación binaria de la Información y los operadores básicos del Álgebra de Boole. Después estudiamos las distintas formas de representar funciones lógicas, los cambios de representación y la minimización. En el tema 8 introducimos el concepto de estado y la Teoría de Automatas Finitos y en el 9 proponemos un procedimiento general de síntesis orientado hacia la Lógica Programable.

El *segundo grupo* de temas lo dedicamos a las funciones combinatoriales que podemos agrupar en dos grandes apartados: funciones aritmético-lógicas y operaciones de multiplexado y demultiplexado para el control de la ruta de datos e instrucciones. Dentro de este grupo hemos incluido los circuitos lógicos programables "sencillos" (SPLDs). Es decir, las memorias no volátiles PROM, EPROM, EEPROM y FLASH y las arquitecturas PAL y PLA. Aunque la situación del tema nos obliga a clasificar estos circuitos como lógica combinatorial, la evolución de la tecnología electrónica y la inclusión de biestables en las macroceldas de salida hacen que, de hecho, los circuitos SPLDs más recientes sean secuenciales.

El *tercer grupo* lo dedicamos al estudio de los circuitos secuenciales, caracterizados por la necesidad de incluir al tiempo como variable de cálculo. Son circuitos con "memoria". Es decir, su respuesta ante una cierta configuración de señales de entrada en un determinado instante no depende sólo del valor de las entradas en ese instante, sino que también depende del estado interno.

Empezamos este grupo temático viendo cuáles son las exigencias computacionales adicionales para la síntesis de circuitos secuenciales y encontramos que ya tenemos todo lo necesario salvo los retardos, los circuitos capaces de almacenar uno de dos estados distinguibles. Estudiamos entonces estos circuitos biestables, sus configuraciones (D, T, R-S y J-K) y formas de disparo (pulsos o flancos, por "preset" o "clear"). Después vemos cómo deben usarse estos biestables en la síntesis de circuitos secuenciales sencillos y, viceversa, cómo puede analizarse un circuito que incluye biestables.

De entre todas las funciones secuenciales posibles, hacemos énfasis en los contadores y los registros de desplazamiento debido a su importancia y uso frecuente en los sistemas digitales. En ambos casos

estudiamos la estructura interna y los cronogramas correspondientes a las configuraciones asíncronas y síncronas.

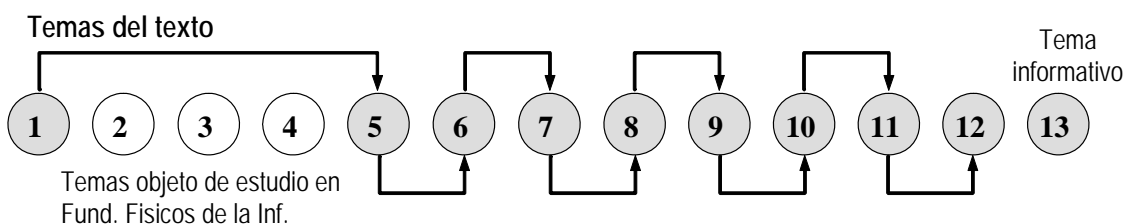
A continuación pasamos a estudiar los circuitos temporizadores y los relojes. En el caso de los circuitos secuenciales es esencial el concepto de cronograma que muestra la evolución temporal de las señales digitales en puntos importantes del circuito. Todos los cronogramas parten de un reloj monofásico o polifásico a partir del cual se marcan los instantes en los que ocurren sucesos de interés. Por eso estudiamos los circuitos astables (osciladores), los monoestables, los relojes de cuarzo y los temporizadores programables.

Con esto tenemos cubierta una parte importante de la electrónica digital que se necesita en arquitectura y tecnología de computadores. Sin embargo, si tuviéramos que decidir cuáles son las funciones electrónicas más necesarias en computación en términos del área de silicio que ocupan, no cabe duda que esa función es la de almacenamiento transitorio o permanente de datos e instrucciones. Es decir, las funciones de memoria en los distintos niveles (registros internos, caché, memoria principal, etc...). Por eso, los siguientes temas están dedicados al estudio de las memorias RAM y CAM y las de organización secuencial (FIFOs). Así, primero estudiamos las memorias RAM estáticas (SRAM) y dinámicas (DRAM) y las memorias direccionables por contenido (CAM) y a continuación, en el siguiente tema, estudiamos las memorias de acceso secuencial (FIFO).

En todos los temas de este grupo estudiamos primero la organización, después las estructuras electrónicas soporte y, finalmente, algunos circuitos reales representativos del estado actual de la tecnología electrónica.

El último tema se dedica a la Lógica Secuencial Programable. Al igual que la introducción de las memorias PROM programables, borrables y reprogramables supuso un salto cualitativo en la electrónica combinacional (EEPROMs, PALs y PLAs), la introducción de los circuitos secuenciales programables (CPLDs y FPGAs) y el uso de memorias SRAM para reconfigurar el "hardware", sin necesidad de desconectarlo del resto del circuito, representa el salto cualitativo equivalente en la electrónica secuencial. Sin embargo, dada la carga docente que supone el estudio del resto de los temas del programa hemos considerado conveniente que este último tema sea de carácter informativo y no sea objeto de examen.

En la "Guía de Lectura" que presentamos al inicio del texto base se ofrecen distintas posibilidades de seguir el estudio de la Electrónica Digital en función del grado de dificultad y extensión de los contenidos. Así, para cubrir las necesidades del programa de esta asignatura la trayectoria que vamos a seguir es la correspondiente al "Grado II" y que mostramos en la figura siguiente.



Los temas sombreados son los que constituyen el programa de la asignatura que mostramos a continuación de forma detallada:

TEMA 1: EXIGENCIAS COMPUTACIONALES DEL PROCESAMIENTO DIGITAL DE LA INFORMACIÓN

- Contexto
 - Conocimiento Previo Necesario
 - Objetivos del Tema
 - Guía de Estudio
 - Contenido del Tema
- 1.1. Procesamiento Digital de la Información

- 1.2. Funciones Combinacionales y Secuenciales Necesarias
- 1.3. Variables y Operadores Lógicos: Álgebra de Boole
- 1.4. Funciones Lógicas: Formas Canónicas
 - 1.4.1. Forma Normal Disyuntiva
 - 1.4.2. Forma Normal Conjuntiva
- 1.5. Otras Representaciones Completas (NAND, NOR)
- 1.6. Análisis y Síntesis
- 1.7. Introducción a la Minimización
- 1.8. Problemas
- *Preparación de la Evaluación*
- *Referencias Bibliográficas*

TEMA 2: LÓGICA COMBINACIONAL (I): FUNCIONES ARITMÉTICO-LÓGICAS

- *Contexto*
- *Conocimiento Previo necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 2.1. Representación Conjunta de Números Positivos y Negativos
 - 2.2. Sumadores y Restadores
 - 2.2.1. Semisumadores
 - 2.2.2. Sumadores
 - 2.2.3. Semirrestadores
 - 2.2.4. Restadores Completos
 - 2.2.5. Sumador Serie
 - 2.2.6. Sumador Paralelo con Acarreo Adelantado
 - 2.3. Sumadores en Complemento a 1: Gestión del Problema del Rebose
 - 2.4. Comparadores
 - 2.5. Unidades Aritmético-Lógicas (ALUs)
 - 2.6. Problemas
- *Preparación de la Evaluación*
- *Referencias Bibliográficas*

TEMA 3: LÓGICA COMBINACIONAL (II): RUTA DE DATOS

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 3.1. Circuitos Selectores de Datos (Multiplexos)
 - 3.2. Demultiplexos
 - 3.3. Codificadores con Prioridad
 - 3.4. Amplificadores (buffers-drivers) y Transmisores-receptores de Bus
 - 3.5. Problemas
- *Preparación de la Evaluación*

- *Referencias Bibliográficas*

TEMA 4: LÓGICA COMBINACIONAL PROGRAMABLE

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 4.1. Procesamiento Digital de la Información
 - 4.2. Memorias PROM, EPROM, EEPROM y FLASH
 - 4.3. Transistores de Puerta Flotante (FAMOS) y Mecanismos de Borrado
 - 4.3.1. Borrado de EPROMs
 - 4.3.2. Borrado de las EEPROMs
 - 4.3.3. Borrado de las Memorias FLASH
 - 4.4. Organización Interna y Ejemplos de EEPROM y FLASH
 - 4.4.1. EPROMs
 - 4.4.2. EEPROM
 - 4.4.3. FLASH
 - 4.5. PALs y PLAs
 - 4.6. Configuraciones de Salida
 - 4.7. Nomenclatura y Ejemplo de Circuitos PAL
 - 4.8. Problemas
- *Preparación de la Evaluación*
- *Referencias Bibliográficas*

TEMA 5: EXIGENCIAS COMPUTACIONALES DE LA LÓGICA SECUENCIAL: CIRCUITOS BIESTABLES

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 5.1. Introducción a los Automatas Finitos: concepto de estado
 - 5.2. El Tiempo en Digital: comportamiento síncrono y asíncrono
 - 5.3. Biestables
 - 5.3.1. R-S Básico
 - 5.3.2. R-S Sincronizado a Niveles
 - 5.3.3. Disparo por Flancos
 - 5.3.4. R-S Sincronizado a Nivel y con Entradas Asíncronas de Preset y Clear
 - 5.4. Biestables J-K
 - 5.4.1. Configuración "Master-Slave"
 - 5.5. Biestables T y D.
 - 5.5.1. D Disparado por Flancos
 - 5.6. Problemas
- *Preparación de la Evaluación*
- *Referencias Bibliográficas*

TEMA 6: INTRODUCCIÓN AL DISEÑO SECUENCIAL: CONTADORES Y REGISTROS

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 6.1. Introducción al Diseño Secuencial con Biestables D, T y J-K
 - 6.2. Procedimiento General de Síntesis
 - 6.3. Representación, Síntesis y Análisis Modular de Autómatas con PLDS
 - 6.3.1. Representación
 - 6.3.2. Síntesis
 - 6.3.3. Análisis
 - 6.4. diseño con biestables J-K
 - 6.5. Contadores
 - 6.5.1. Contadores Asíncronos
 - 6.5.2. Contadores Síncronos
 - 6.5.3. Aplicación del método general a la Síntesis de Contadores con PLDs
 - 6.5.4. Simulación y ejemplos de Contadores
 - 6.6. Registros de Desplazamiento
 - 6.7. Problemas
- *Preparación de la Evaluación*
- *Referencias Bibliográficas*

TEMA 7: TEMPORIZADORES Y RELOJES

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 7.1. Circuitos de Tiempo
 - 7.2. Monoestables
 - 7.3. Astables
 - 7.4. Circuitos de Tiempo Tipo 555
 - 7.5. Temporizadores Programables
 - 7.6. Reloj
 - 7.7. Problemas
- *Preparación de la Evaluación*
- *Referencias Bibliográficas*

TEMA 8: MEMORIAS RAM Y CAM

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*

- 8.1. Memorias de Lectura/Escritura Volátiles
- 8.2. Organización de las Memorias SRAM
- 8.3. Evolución de las SRAM
- 8.4. Celdas RAM Estáticas (SRAM) en Tecnología Bipolar
- 8.5. Celdas RAM Estáticas (SRAM) en Tecnología MOS
- 8.6. Celdas RAM Dinámicas (DRAM) en Tecnología MOS
- 8.7. Organización de las Memorias RAM Dinámicas (DRAM)
 - 8.7.1. Ampliación del Número de Líneas de Entrada/salida
 - 8.7.2. Modificaciones en los Modos de Acceso
 - 8.7.3. DRAMs Síncronas con Bancos Múltiples
- 8.8. Circuitos de Memoria Asociativa (CAM)
 - 8.8.1. Aspectos Básicos de la Organización de un Circuito CAM
 - 8.8.2. Celda CAM Básica en CMOS
 - 8.8.3. Ejemplos de Circuitos CAM
- 8.9. Problemas
 - *Preparación de la Evaluación*
 - *Referencias Bibliográficas*

TEMA 9: MEMORIAS DE ACCESO SECUENCIAL

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 9.1. Organizaciones de Acceso Secuencial
 - 9.2. Etapas Dinámicas en MOS y CMOS
 - 9.3. Estructuras CCD
 - 9.4. Memorias FIFO sobre Celdas RAM en CMOS
 - 9.4.1. Tipos de FIFO
 - 9.4.2. Arquitecturas de las FIFO-RAM
 - 9.5. Ejemplo
 - 9.6. Aplicaciones de las FIFO
 - 9.7. Problemas
 - *Preparación de la Evaluación*
 - *Referencias Bibliográficas*

TEMA 10: LÓGICA SECUENCIAL PROGRAMABLE: CPLDs Y FPGAs

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 10.1. Aspectos Generales de los PLDs de Alta Densidad
 - 10.2. Evolución y Ejemplos de las Arquitecturas CPLD
 - 10.2.1. Familias MACH de AMD/Vantis
 - 10.2.2. Familias MAX y FLEX de Altera

- 10.3. Evolución y Ejemplos de las Arquitecturas FPGA
 - 10.3.1. Familia XC4000 de XILINX
 - 10.3.1.1. Bloques Lógicos Configurables (CLBs)
 - 10.3.1.2. Bloques de Entrada-salida (IOBs)
 - 10.3.1.3. Conexiones Programables
 - 10.3.2. Familias Virtex-EM y ORCA-4
 - 10.4. ¿Dónde Termina la Electrónica y Dónde Empieza la Programación?
- *Referencias Bibliográficas*

Dado que los temas 2, 3, y 4 del texto base no forman parte del programa de la asignatura, por ser objeto de estudio de la asignatura de Fundamentos Físicos de la Informática, resulta que la numeración de los temas del programa de la asignatura no coincide con la numeración de los temas del texto base, por lo que a continuación presentamos una tabla con la correspondencia entre ambos temarios.

TEMAS del PROGRAMA de la ASIGNATURA	TEMAS del TEXTO BASE
Tema 1	Tema 1
Tema 2	Tema 5
Tema 3	Tema 6
Tema 4	Tema 7
Tema 5	Tema 8
Tema 6	Tema 9
Tema 7	Tema 10
Tema 8	Tema 11
Tema 9	Tema 12
Tema 10	Tema 13

A partir de ahora nos olvidamos de la numeración del texto base y toda la referencia a la numeración de los temas será la del programa de la asignatura

1.2. Cronograma de estudio de la asignatura

A continuación presentamos una posible descripción ordenada y secuenciada temporalmente de las actividades que deben realizarse para estudiar la asignatura. Este plan de trabajo es orientativo y el alumno no está obligado a seguirlo, aunque es aconsejable su seguimiento ya que le puede servir de gran ayuda en el aprendizaje de la asignatura, pues le obligará a seguir determinado ritmo de trabajo diario y a ir resolviendo las dudas a lo largo del semestre y así no se encontrará con todo el trabajo al final. La materia objeto de estudio en esta asignatura no es difícil pero hay que trabajarla. Tiene una componente importante de aplicar la lógica y de razonar y, por supuesto, no es nada memorística. Las soluciones de los problemas no suelen ser "de feliz idea" y, aunque muchos de ellos admiten más de una solución siempre existe, para cada tipo de problema, un procedimiento preciso para resolverlo de forma que la solución sea correcta.

Nuestra experiencia en la enseñanza de la asignatura nos dice que hay ciertas diferencias entre las facilidades y dificultades que tienen los distintos alumnos en cuanto al estudio de esta materia. Así, nos encontramos con alumnos que tienen más facilidad para la realización de las actividades prácticas que para las actividades teóricas y hay otros que, por el contrario, tienen más facilidades para las teóricas. Por este

motivo la distribución de tiempos la hemos realizado por temas y sin distinguir entre el tiempo que el estudiante debe dedicar al estudio del contenido teórico y el tiempo que debe dedicar a las actividades prácticas. En el cronograma que presentamos a continuación también hemos tenido en cuenta el tiempo que el alumno debe dedicar a la preparación de la Prueba Presencial (el examen) por lo que hemos dejado los días previos a la realización de dichas pruebas para que cada alumno repase la asignatura y dedique a cada tema el tiempo que considere necesario en función del grado de dificultad que haya encontrado en cada uno de ellos y que, evidentemente, será distinto para cada tema y para cada alumno.

FECHAS	TEMAS	ACTIVIDADES
7 a 20 de Octubre	Tema 1: Exigencias Computacionales del Procesamiento Digital de la Información. (0,7 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas y de simulación)
21 a 27 de Octubre.	Tema 2: Lógica Combinacional (I): Funciones Aritmético-Lógicas (0,7 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas y de simulación)
28 de Octubre a 3 de Noviembre.	Tema 3: Lógica Combinacional (II): Ruta de Datos (0,7 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas y de simulación)
31 de octubre	Publicación de los enunciados de la Primera Actividad Evaluable en el Curso Virtual Publicación de los criterios de evaluación de las Actividades Evaluables en el Curso Virtual	
4 a 10 de Noviembre.	Tema 4: Lógica Combinacional Progr. (0,5 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas)
11 a 20 de Noviembre	Tema 5: Exigencias Computacionales de la Lógica Secuencial: Circuitos Biestables (0,8 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas y de simulación)
24 de Noviembre	Entrega de la 1ª Actividad Evaluable: Diseño en Lógica Combinacional	
21 a 27 de Noviembre	Tema 6: Introd. al Diseño Secuencial: Contadores y Registros (0,8 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas y de simulación)
28 Nov. a 8 de Diciembre	Tema 7: Temporizadores y Relojes (0,8 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas y de simulación)
16 de Diciembre	Publicación de las notas de la Primera Actividad Evaluable en el Curso Virtual Publicación de los enunciados de la Segunda Actividad Evaluable en el Curso Virtual	
9 a 18 de Diciembre	Tema 8: Memorias RAM y CAM (0,5 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas)
19 a 25 de Diciembre	Tema 9: Memorias de Acceso Secuencial (0,5 ETCS)	-Estudio del contenido teórico -Resolución de actividades no evaluables (teórico-prácticas)

FECHAS	TEMAS	ACTIVIDADES
8 de Enero	Entrega de la 2ª Actividad Evaluable: Diseño en Lógica Secuencial	
18 de Enero	Publicación de las Notas de la Segunda Actividad Evaluable en el Curso Virtual	
20 a 25 de Enero 3 a 7 de Febrero	Primera Semana de Exámenes Segunda Semana de Exámenes	PRUEBAS PRESENCIALES

NOTA: El *tema 10* no se incluye en el cronograma por considerarlo de carácter informativo y, por tanto, *no es objeto de examen*.

2.- ORIENTACIONES PARA EL ESTUDIO DE LOS CONTENIDOS

Las orientaciones para el estudio de los temas se encuentran desarrolladas en el texto base y en la Primera Parte de la Guía de Estudio, por lo que recomendamos hacer una lectura detenida de dichos textos donde encontrarán información detallada acerca de los resultados del aprendizaje, primero a nivel general de la asignatura y después a nivel particular de cada tema, así como la contextualización de la asignatura dentro del los estudios de Grado y de cada tema dentro de la asignatura. Además, en el texto base y para cada tema hay una descripción de los conocimientos previos necesarios, de los contenidos más relevantes a través de los objetivos que se deben alcanzar tras su estudio que, por supuesto, están orientados a la consecución de los objetivos generales de la asignatura, y una pequeña guía de estudio en la que se hacen recomendaciones para el estudio de dicho tema.

Como es normal, el grado de dificultad de los distintos apartados de los temas no es homogéneo por lo que al escribir el texto intentamos soslayarlo profundizando más en los desarrollos y explicaciones en aquellos apartados teóricos que consideramos con mayor grado de dificultad e introduciendo más ejercicios en los apartados prácticos.

El plan que recomendamos para el estudio de cada uno de los temas es seguir paso a paso el libro de texto con la única particularidad de ir intercalando la realización de las actividades prácticas de simulación de los circuitos estudiados en cada tema. Así, el plan de trabajo a seguir es el siguiente:

- 1º. Como hemos comentado anteriormente, deben leerse los apartados iniciales del tema correspondiente en el texto base donde se *contextualiza* el contenido del tema dentro del programa, se especifican los *conocimientos previos necesarios*, los *objetivos del tema* y la *guía de estudio*.
- 2º A continuación debe pasar al *estudio del contenido del tema* correspondiente. Para ello se recomienda que haga los ejercicios que encuentre en los distintos apartados ya que le ayudarán a entender los conceptos que se explican previamente.
- 3º Una vez estudiado el tema, el siguiente paso es intentar adquirir las destrezas y habilidades correspondientes al tema y para ello se propone que pase a *resolver los problemas* propuestos. Existe el libro de "Problemas de Electrónica Digital" referenciado en la Primera Parte de la Guía de Estudio en el que están resueltos todos estos enunciados. Así, el alumno puede aprender a resolver los problemas y en el caso de que sepa resolverlos a *autoevaluarse* comparando sus soluciones con las del libro.
- 4º En este punto, el alumno está en condiciones de empezar a realizar las *actividades complementarias prácticas de simulación* (no evaluables) del tema correspondiente y cuyos enunciados y recomendaciones para su realización se encuentran en el apartado sobre "Actividades Complementarias Sugeridas" de esta Guía y que se presentan a continuación.

- 5° El siguiente paso es el de *autoevaluación*. Para ello al final de cada tema del texto base se presenta un apartado de "Preparación de la Autoevaluación" en el que se plantean una serie de cuestiones organizadas de acuerdo con los objetivos a conseguir con el estudio del tema correspondiente y que le puede servir de ayuda al alumno para ver qué parte del tema ha entendido y cuáles debe volver a estudiar.
- 6° Una vez que ha terminado con el estudio de los tres primeros temas, el alumno se encuentra en condiciones de enfrentarse a la realización de la *Primera Prueba de Evaluación a Distancia* que consiste en el "Diseño, Implementación y Simulación de un Circuito en Lógica Combinacional".
- 7° Análogamente, una vez ha finalizado el estudio de los temas 5, 6, y 7 se encuentra en condiciones de realizar la *Segunda Prueba de Evaluación a Distancia* que consiste en el "Diseño, Implementación y Simulación de un Circuito en Lógica Secuencial".

2.1. Actividades Complementarias Sugeridas

Es importante que el alumno realice las simulaciones de los circuitos que va estudiando. Así, a continuación vamos a presentar, para cada tema, una colección de actividades complementarias que consisten en una serie de diseños y simulaciones que el alumno puede realizar una vez estudiados los apartados correspondientes o al final de cada tema, según prefiera. Con estas actividades pretendemos que afiance los conocimientos que ha adquirido con el estudio del tema y que entienda cómo funcionan los distintos circuitos. Además, le va a facilitar la realización de las Actividades Evaluables ya que los circuitos combinacionales y secuenciales a diseñar en estas actividades están formados por la unión de varios circuitos de los diseñados y simulados en estas Actividades Complementarias.

El software que vamos a usar para simular a los circuitos es MicroSim PSpice, v.8.0, en su versión de demostración y uso libre. Este "software" junto con sus manuales de uso se encuentran en el apartado "SIMULADOR," del CV de la asignatura. Dentro de este apartado del CV también hay videos sobre cómo instalar el software y cómo dar los primeros pasos con él.

Cuando usamos por primera vez un circuito integrado es aconsejable haber leído previamente las hojas de características de dicho circuito para conocer cómo funciona y cómo debemos usarlo. Estas hojas de características las proporciona el fabricante y en ellas presenta una descripción de los terminales (entrada, salida y control), sus características eléctricas, condiciones y resultados de las pruebas realizadas, limitaciones, condiciones de uso, etc. Todas las hojas de características necesarias para realizar las simulaciones propuestas se encuentran en el Curso Virtual (CV). En cada tema encontrará las características de los circuitos que se usan por primera vez en ese tema.

Los pasos a seguir para la síntesis de las funciones propuestas y su posterior simulación son los siguientes:

1: Diseño del Circuito:

- 1.1. Construya la tabla de verdad teórica de la función que se quiere diseñar.
- 1.2. A partir de la tabla de verdad obtenga las expresiones lógicas correspondientes a las variables de salida, en función de las variables de entrada y de las señales de control, si las hay.
- 1.3. Minimice las expresiones de las variables de salida.
- 1.4. Dibuje el circuito resultante.

2: Simulación:

- 2.1. Realice el esquema del circuito que ha diseñado en la ventana "MicroSim Schematic" que aparece al abrir el simulador. Para ello tiene que seleccionar los componentes correspondientes en la ventana "Part Browser Advanced" que se abre al seleccionar "Get New Part" en el menú "Draw".

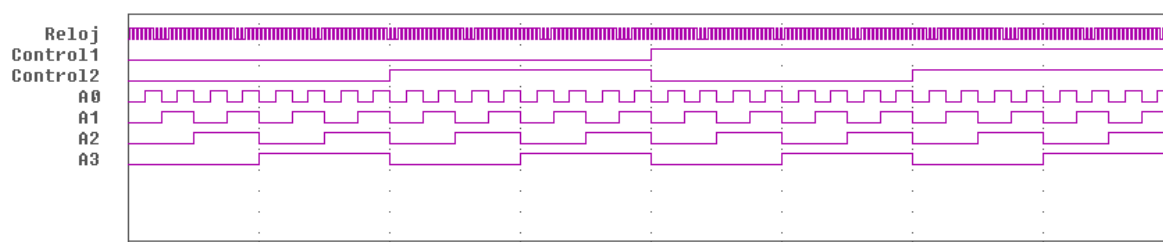
FUNDAMENTOS DE SISTEMAS DIGITALES

- 2.2. Para generar las señales de entrada use generadores de trenes de pulsos. Conviene utilizar el componente "DigClock" que es un reloj (oscilador) en el que tras hacer clic dos veces sobre él, se abre una ventana en la que se pueden definir los diferentes parámetros (DELAY, ONTIME, OFFTIME, STARTVAL, OPPVAL) para obtener el tren de pulsos deseado.

Las señales de entrada de estos circuitos digitales pueden ser de tres tipos: datos de entrada (bits ó palabras de n bits), señales de control ("enable", "preset", "clear",...) y reloj. Para que resulte fácil comprobar que el circuito funciona correctamente y obtener la tabla de verdad práctica a partir del cronograma es conveniente definir los periodos de los trenes de pulsos de las distintas señales de entrada de forma coherente. Así, cuando un circuito tiene varias entradas de datos (por ejemplo, palabras de 4 bits) conviene definir los periodos de los generadores de pulsos de estas señales de forma que el periodo del bit más significativo (bit MSB) sea el doble que el de su inmediato inferior y así sucesivamente, hasta llegar al bit menos significativo (LSB) que será el de menor periodo (mayor frecuencia). De esta forma obtenemos de forma ordenada todas las configuraciones posibles de las variables de entrada (0000, 0001, 0010, ..., 1110, 1111). El periodo de la señal de reloj del circuito suele ser bastante más pequeño que el de las restantes señales (datos y control) y los periodos de las señales de control conviene que abarquen todas las posibles palabras de datos de entrada.

Es conveniente que, tras la simulación del circuito, la representación gráfica de las distintas señales en la ventana "PROBE" se haga de forma ordenada. Es decir, conviene representar primero todas las señales de entrada y después las salidas resultantes. Así, primero se representa el reloj (si lo hay), a continuación las señales de control seguidas de las entradas correspondientes a los datos y, por último, se representan las salidas. De esta forma resulta más fácil obtener la tabla de verdad práctica a partir del cronograma resultante, tras la simulación, en la ventana "MicroSim Probe" y que usaremos posteriormente para comprobar que el circuito funciona correctamente.

A título de ejemplo en la figura adjunta mostramos un posible diagrama de tiempos genérico para algunas señales de entrada con el fin de que sirva de orientación para representar el funcionamiento completo de los circuitos.



- 2.3. Seleccione "Setup" en el menú "Análisis". Se abre la ventana "Analysis Setup" en la que debe desmarcar la opción "Bias Point Detail" (aparece marcada por defecto), marcar "Transient" y definir los parámetros "Print Step" y "Final Time" en la ventana del "Transient" que se abre al hacer clic en "Transient". El valor de "Final Time" debe ser tal que incluya más de un periodo de la señal de mayor periodo con el fin de que en el cronograma aparezcan todas las configuraciones posibles de las señales de entrada y poder obtener la tabla de verdad completa.
- 2.4. Etiquete las líneas de las señales de interés que se van a representar en el cronograma. Para ello, entre en la ventana "Set Attribute Value" que se abre al hacer clic dos veces sobre el hilo correspondiente e introduzca el nombre de la señal correspondiente a ese hilo.
- 2.5. Sitúe las puntas de prueba de tensión (V) en los hilos de las señales de entrada y salida que se quieren representar en el cronograma y que nos hacen falta para obtener la tabla de verdad completa del circuito objeto de estudio. De esta forma, cuando se ejecuta la simulación y se abre automáticamente la ventana "MicroSim PROBE" aparecen representadas todas las señales de

interés. Es conveniente que al situar las puntas de prueba tenga en cuenta que en el cronograma van a aparecer representadas justo en el orden inverso al que se situaron dichas puntas de prueba. Es decir, la primera punta de prueba que se pone es la que sale en la parte inferior del cronograma.

- 2.6. Ejecute la simulación seleccionando "Simulate" en el menú "Analysis". Tras la simulación se abre la ventana de "MicroSim PROBE" y aparece el diagrama de tiempos (cronograma) de las señales seleccionadas con las puntas de prueba.
- 2.7 En las simulaciones con biestables, es conveniente inicializarlas a cero. Para ello debe marcar el biestable (haga clic sobre él y se pondrá en color rojo) y selecciones "Set up" en el menú "Analysis". Se abre la ventana "Analysis setup" en la que aparece el botón "Digital setup" que al pulsarlo abre la ventana "Digital setup" donde debe marcar "All 0" en el recuadro "Flip-Flop Initialization", situado en la parte inferior izquierda.

3: Validación del diseño

- 3.1. Construya la *tabla de verdad práctica* a partir del cronograma que se ha obtenido en "MicroSim PROBE" tras la simulación. Si ha realizado todos los pasos descritos anteriormente, ahora bastará con ir leyendo en vertical los valores que van tomando en el cronograma las distintas señales e ir anotándolos en la fila correspondiente de la tabla de verdad. La forma más fácil de obtener los valores de las distintas señales a lo largo del tiempo es leer los valores que aparecen en el eje de ordenadas (a la izquierda del cronograma) cuando se va desplazando uno de los cursores del PROBE (Tools > Cursor > Display) a lo largo de dicho cronograma. Observe que los términos mínimos de las entradas aparecen ordenados.
- 3.2. Finalmente, compruebe que el circuito diseñado y simulado funciona correctamente. Para ello bastará con que compruebe que ambas tablas de verdad coinciden.

A.1. Actividades de Simulación Asociadas al Tema 1: Exigencias Computacionales del Procesamiento Digital de la Información

En este primer tema estudiamos la representación binaria de las variables y los operadores lógicos, su minimización y el concepto clave de conjunto completo de operadores lógicos. Sólo con puertas NAND o sólo con NOR podemos sintetizar cualquier función lógica combinacional. La comprensión de estos conceptos no suele plantear problemas. Recomendamos la realización de ejercicios relacionados con la minimización, el análisis y la síntesis de circuitos. Es decir, dada una expresión lógica, ¿cuál es el circuito mínimo que la implementa?. Inversamente, dado un circuito formado por varias puertas del mismo o de distinto tipo y con varias entradas y salidas, ¿cuáles son las ecuaciones que describen su comportamiento?. Os aconsejamos también realizar cambios de representación (NAND > NOR > XOR, etc.).

El estudio de este tema no presenta gran dificultad. Sin embargo lo que suele resultar más complicado es la representación de las funciones lógicas mediante "maxterms" (términos máximos). Dado que en la representación mediante "minterms" (términos mínimos) no presentan gran dificultad, es conveniente tener presente que la representación mediante "maxterms" es dual a la representación por "minterms". Se recomienda que el alumno dedique un tiempo a intentar entender la figura 1.18 del texto y que intente entender los ejercicios de las páginas 39 a 43.

A.1.1. Estudio de las puertas lógicas NAND (SN7400*), NOR (SN7402), INVERSOR (SN7404) y XOR (SN7486).

Para cada una de las puertas siga los pasos descritos anteriormente y compruebe la función que realiza cada una de ellas, teniendo en cuenta los siguientes puntos:

- 1) Al seleccionar las puertas conviene leer la descripción que hace el simulador en la ventana "Part Browser Advanced" en el recuadro "Description" para elegir la puerta adecuada. No deben seleccionarse puertas del tipo "open colector" ya que estas puertas tienen el transistor de salida con el colector abierto. Es decir, al transistor de salida le falta la resistencia de colector que va apoyada a la tensión de alimentación (vea las páginas 191 a 193 del texto). Para que estos circuitos funcionen correctamente hay que ponerle externamente dicha resistencia de colector y la alimentación externamente. Por ejemplo, la puerta 74136 es XOR "open colector", mientras que la 7486 es XOR.
- 2) En la ventana "Part Browser Advanced" existen los componentes "LO" y "HI" que recomendamos usar cuando se quiere poner una entrada al valor fijo de "0" ("LO") en vez de ponerla a tierra y para ponerla al valor fijo de "1" ("HI") en vez de poner una fuente de alimentación continua de 5V.
- 3) Cuando diseñamos un circuito y lo implementamos en el Laboratorio con componentes reales para probar si cumple o no las especificaciones funcionales del diseño es imprescindible que carguemos dicho circuito con la resistencia de carga (resistencia que se pone entre la salida y tierra). El valor de la resistencia de carga debe ser del orden de magnitud de la impedancia de entrada que le va a presentar el circuito o el dispositivo al que este circuito va a conectarse y entregarle su señal de salida. Por ejemplo, en el caso de que diseñemos un amplificador de audio para un equipo de música, al montar el amplificador de audio en el laboratorio para probarlo, hay que cargarlo con una resistencia de carga de un valor análogo al de la impedancia de entrada del altavoz al que se va a conectar. Así, en el laboratorio siempre hay que cargar los circuitos con la Resistencia de Carga, RL. Sin embargo, cuando **simulamos** un circuito digital con el PSpice no hace falta poner esta resistencia de carga. Es más, el hecho de no poner dicha resistencia de carga simplifica bastante los cronogramas resultantes ya que aparecen todas las señales representadas en un único gráfico, una debajo de otra.
- 4) Por error en el simulador la puerta 74128 aparece con el símbolo de XOR cuando en realidad es una puerta NOR como se puede comprobar si se simula y se obtiene su tabla de verdad.

A.1.2. Demostración mediante la simulación de la propiedad distributiva.

Simule los circuitos de la figura 1.6 del texto, obtenga las tablas de verdad correspondientes y compruebe que ambas salidas coinciden.

A.1.3. Demostración mediante la simulación de los Teoremas de Absorción, Adyacencia y De Morgan.

Simule los circuitos de las figuras 1.11, 1.13 y 1.15 del texto y compruebe las tablas de verdad correspondientes demostrando los distintos teoremas.

A.1.4. Función universal de dos variables (x1, x2) en forma normal disyuntiva.

Simule el circuito de la figura 1.16 y obtenga las 16 funciones posibles resultantes de todas las posibles configuraciones de los coeficientes de control.

* NOTA: En el simulador desaparece el código SN antepuesto al número del circuito, por tanto aunque el circuito integrado se nombre por su código completo SNvxyz en el simulador deberán buscarse por el número vxyz.

A.1.5. Función universal de dos variables (x_1, x_2) en forma normal conjuntiva.

Simule el circuito de la función universal conjuntiva de dos variables y obtenga, de forma análoga a como se hizo en el apartado anterior, las 16 funciones posibles. Recuerde que la función universal en forma normal conjuntiva se representa como el producto de los distintos términos máximos (maxterms).

A.1.6. Cambio de representación

- Elija una función de tres variables, por ejemplo del tipo de la ecuación 1.63 y sintetice el circuito correspondiente con distintos tipos de puertas.
- Represente esa función con sólo puertas NAND e impleméntela en el simulador.
- Represente esa misma función con sólo puertas NOR e impleméntela en el simulador.
- Compruebe que los tres circuitos simulados son equivalentes y, por tanto, compruebe que producen la misma respuesta ante las mismas entradas.

A.2. Actividades de Simulación asociadas al tema 2: Lógica Combinacional (I): Funciones Aritmético-Lógicas

Los temas 2, 3 y 4 estudian los circuitos lógicos combinacionales (segunda unidad temática). Estos temas no precisan comentarios puesto que no intervienen conocimientos ajenos a los expuestos en el texto y únicamente requieren como formación previa las tablas de verdad, la minimización de funciones lógicas, el álgebra de Boole y las codificaciones binarias, todos ellos sencillos y estudiados en el tema anterior. A partir de aquí y hasta llegar a temporizadores y memorias, los circuitos se caracterizan sólo por sus tablas de verdad. Primero se estudia la síntesis con puertas (integración en baja escala, S.S.I.) y después la solución M.S.I. (integración en media escala).

Recordemos que hay esencialmente tres tipos de funciones en lógica combinacional:

- Circuitos cambiadores de código
- Funciones aritmético-lógicas (ALU)
- Funciones de ruta de datos

En este tema estudiamos los circuitos cambiadores de código y las operaciones aritmético-lógicas. El primer apartado surge como consecuencia de la necesidad de representar los números positivos y negativos en un rango de valores limitado. Así, en la primera actividad de este tema implementamos el convertidor de código de S-M a C-1 sintetizado con puertas y a continuación analizamos el funcionamiento de dos convertidores de código integrados que convierten de BCD a Binario y a la inversa.

A continuación pasaremos a la simulación de las funciones aritmético-lógicas que son las encargadas de realizar operaciones aritméticas o lógicas sobre los datos, transformándolos y produciendo un resultado local que, en general, será usado en otra parte del sistema digital y cuya transferencia será realizada de forma controlada por los circuitos de ruta de dato (apartado siguiente).

A.2.1. Circuitos Convertidores de Código

Simule los siguientes circuitos convertidores:

- A.2.1.1. Convertidor de código de S-M (Signo y Magnitud) a C-1 (complemento a 1) usando puertas lógicas. El diseño de este circuito se encuentra la pag. 268-269 y figura 5.4 del texto base.
- A.2.1.2. Convertidor de código de BCD a BINARIO integrado (SN74184).
- A.2.1.3. Convertidor de código de BINARIO a BCD integrado (SN74185a)

Para entender el funcionamiento de estos dos convertidores integrados, BCD a Binario y Binario a BCD, y realizar su simulación se recomienda estudiar las hojas de características de los circuitos SN74184 y SN74185A centrandó la atención en el bit menos significativo (estas hojas de características se encuentran en el CV en el apartado "hojas de características" del tema 2).

A.2.2. Sumadores y Restadores

Diseñe y simule los siguientes circuitos:

A.2.2.1: Semisumador con puertas XOR (SN7486) y AND (SN7408) (Pag. 270, fig. 5.5).

A.2.2.2: Sumador completo para dos entradas de un bit (A_i , B_i) y arrastre (C_i), a partir del semisumador del apartado anterior (Pag. 271, fig. 5.6).

A.2.2.3: Semirestador con puertas (Pag. 274, fig. 5.8).

A.2.2.4: Restador completo para dos entradas de un bit y arrastre, a partir del semirestador del apartado anterior (Pag. 274, fig. 5.9)

A.2.3. Comparadores

Diseñe y simule los siguientes circuitos:

A.2.3.1 Comparador de dos bits (Pag. 283, fig. 5.16).

A.2.3.2 Comparador de dos palabras de 2 bits (circuito simplificado del de la fig. 5.17 del texto).

A.2.4. Detector de paridad

Diseñe y simule los siguientes circuitos:

A.2.4.1 Detector de paridad de 4 bits (Pag. 290, fig. 5.21).

A.2.4.2 Detector de paridad de dos palabras de 4 bits utilizando el detector anterior como módulo de diseño.

A.2.5. ALUs (SN74181)

Como podemos observar, la ALU opera con palabras de 4 bits y esto hace que las tablas de verdad sean muy extensas y laboriosas de construir por lo que aconsejamos simplificar los cálculos. Para ello se recomienda que los bits más significativos se pongan a "0" y sólo se usen generadores de trenes de pulsos para los bits menos significativos de las palabras de entrada (A , B). Por ejemplo, se pueden usar generadores de trenes de pulsos para generar las señales correspondientes a los bits A_0 (LSB) y A_1 de la palabra A y para los bits B_0 (LSB) y B_1 de la palabra B , mientras que los bits más significativos de ambas palabras (A_2 , A_3 y B_2 , B_3) se pueden poner a cero. Sin embargo, cuando se realizan operaciones aritméticas es importante observar todas las salidas de la ALU (F_0 (LSB), F_1 , F_2 , F_3 (MSB)) porque en estas operaciones hay acarreo y, aunque se pongan los bits más significativos de los datos de entrada a "0", nos encontramos con que, en ciertas operaciones las salidas más significativas no son cero, como podemos pensar inicialmente y de forma errónea.

A continuación se propone la simulación de tres funciones aritmético-lógicas con el circuito integrado de la ALU tipo SN74181. Se ha elegido una función lógica y dos aritméticas, una con acarreo y otra sin acarreo. Sin embargo, se puede elegir simular cualquiera de las 48 funciones aritmético-lógicas posibles (Pag. 292, fig. 5.23).

A.2.5.1 Programe la ALU para que realice la función lógica: $A \oplus B$.

A.2.5.2 Programe la ALU para que realice la función aritmética (sin acarreo): $A PLUS \overline{AB}$.

A.2.5.3 Programe la ALU para que realice la función aritmética con acarreo: $A MINUS B$.

Es importante la comprobación de que las salidas de la ALU son las correspondientes a estas funciones. Para ello, aunque es un trabajo laborioso, se recomienda realizar las tablas de verdad teóricas y prácticas de dichas funciones. Observe que en el caso de la operación lógica ($A \oplus B$) la ALU realiza dicha operación bit a bit. Es decir, la salida de la ALU es: $F_3=A_3\oplus B_3, \dots, F_0=A_0\oplus B_0$. Sin embargo, en el caso de las operaciones aritméticas en cada bit hay que tener en cuenta el acarreo producido por la operación aritmética realizada por el bit anterior. Así, por ejemplo, para el caso de la función A MINUS B hay que tener en cuenta, para cada bit, la tabla de verdad del restador completo de la Pag. 275, fig. 5.9.

A.3. Actividades de Simulación asociadas al tema 3: Lógica Combinacional (II): Ruta de Datos

Ya hemos visto las operaciones aritmético-lógicas, los comparadores y la ALU. En este tema estudiaremos las funciones de ruta de datos en lógica no programable. Estos circuitos son los encargados de guiar, de forma controlada, el tráfico de señales (datos e instrucciones) entre los distintos puntos de un sistema de cálculo. Esencialmente son los multiplexos y demultiplexos que están basados en la apertura y cierre de puertas bajo el control de los términos mínimos de un conjunto de variables de control.

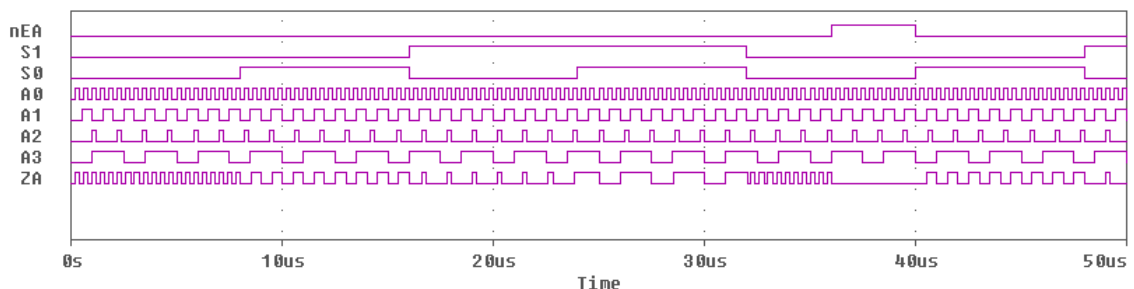
A.3.1. Multiplexos (MUX)

Para ver con claridad el funcionamiento de los Multiplexos es conveniente que las frecuencias de los trenes de pulsos de las señales de entrada sean muy diferentes entre sí y además sean de mayor frecuencia que las señales de control. Evidentemente, esto no es una necesidad para el buen funcionamiento del circuito, sino que es una recomendación pedagógica.

Diseñe y simule los siguientes circuitos:

A.3.1.1. MUX de 4 a 1 con puertas lógicas (Pag. 312, fig. 6.2).

A.3.1.2. MUX integrado de 4 a 1 (SN74153). Este circuito consta de dos Multiplexos de 4 a 1. Las entradas S0 y S1 son las señales de control común para los dos multiplexos. Las entradas de datos son I0A, ..., I3A para un multiplexo e I0B, ..., I3B para el otro. Las entradas nEA y nEB son las señales de facilitación de cada uno de los multiplexos. En la figura adjunta mostramos el cronograma de la simulación de uno de los dos multiplexos del circuito con el fin de que sirva para tener una idea de cómo definir los periodos de los trenes de pulsos de las distintas señales.



A.3.1.3. Diseñe la función lógica de 5 variables $\overline{x}y + \overline{v}\overline{x}y(\overline{u} + u\overline{z}) + \overline{u}\overline{v}x(\overline{y} + y\overline{z}) + uvx yz$ usando MUX de 4 a 1 (Pags. 315-318).

A.3.2. Demultiplexos (DEMUX)

Diseñe y simule los siguientes circuitos:

- A.3.2.1. DEMUX de 1 a 4 con puertas lógicas.
- A.3.2.2. DEMUX integrado de 4 a 16 (SN74154).

A.3.3. Codificador con prioridad

Diseñe y simule el siguiente circuito:

- A.3.3.1. Codificador con 3 niveles de prioridad realizado con puertas lógicas (Pag. 327, fig. 6.16).

NOTA: Del tema 4 no se realizarán simulaciones (no existe el apartado A.4)

A.5. Actividades de Simulación asociadas al Tema 5: Exigencias Computacionales de la Lógica Secuencial: Circuitos Biestables

Hasta ahora hemos visto los circuitos combinatoriales en los que no hemos tenido en cuenta el tiempo pero a partir de aquí, como ya hemos comentado, vamos a estudiar los circuitos secuenciales, caracterizados por la necesidad de incluir al tiempo como variable de cálculo. Empezamos este apartado estudiando los biestables R-S realizados con puertas y con "Preset" y "Clear" para pasar a continuación a estudiar los biestables J-K integrados y los biestables T y D contruidos a partir de los J-K.

La electrónica secuencial puede ser síncrona o asíncrona. En los circuitos síncronos los cambios de estado sólo se producen en instantes concretos, en la subida (o bajada) o durante el estado de alta de los impulsos de un reloj. En los asíncronos, los cambios pueden producirse en cualquier instante, al ritmo que marquen las variables de entrada. En este caso, es esencial el concepto de cronograma que muestra la evolución temporal de las señales digitales en puntos clave de un circuito. Todos los cronogramas parten de un reloj monofásico o polifásico a partir del cual se marcan los instantes en los que ocurren sucesos de interés. Por eso estudiamos los circuitos astables (osciladores), los monoestables, los relojes de cuarzo y los temporizadores programables.

Para la realización de estas simulaciones los pasos a seguir son los mismos que los que especificamos para los circuitos combinatoriales.

A.5.1. BIESTABLES

Simule los siguientes circuitos biestables:

- A.5.1.1 Circuito R-S Básico con puertas lógicas (NOR) (Pag. 426, fig. 8.11).
- A.5.1.2 Circuito R-S sincronizado a nivel y controlado por las señales de "Preset" y "Clear" (Pag. 438, fig. 8.17).
- A.5.1.3 Biestable J-K integrado SN7473. Recuerde que para ver el funcionamiento, además de las señales de entada, J y K, y del reloj, CLK, hay que poner la entrada correspondiente a la señal de "Clear" (nCLR)
- A.5.1.4 Biestable D a partir del J-K integrado SN7473. Además de comprobar su funcionamiento a través del cronograma se recomienda observar que realiza la función de retardo (Pag. 450, fig. 8.27).
- A.5.1.5 Biestable T a partir del J-K integrado SN7473 (fig. 8.25).

A.6. Actividades de Simulación asociadas al Tema 6: Introducción al Diseño Secuencial: Contadores y Registros

Si nos limitamos dentro de los sistemas digitales a los sistemas de cálculo y nos centramos en las funciones básicas y de uso más frecuente en arquitectura de ordenadores, podemos afirmar que las funciones secuenciales intermedias son: los contadores, los registros de desplazamiento, los temporizadores y relojes y las memorias RAM.

Como ya conocemos el modelo matemático de los circuitos secuenciales y los elementos de memoria, estamos en condiciones de abordar el problema del diseño de los circuitos secuenciales en general y el de las dos funciones básicas, contadores y registros de desplazamiento, en particular. Así, empezaremos diseñando y simulando contadores asíncronos up/down usando biestables J-K integrados para ver a continuación el funcionamiento de un contador integrado y, por último, haremos lo mismo con los contadores síncronos y con los registros de desplazamiento.

A.6.1. CONTADORES

Diseñe y simule los siguientes circuitos:

A.6.1.1 Contadores Binarios Asíncronos.

A.6.1.1.1 Contador Binario Asíncrono de tres bits con biestables J-K tipo SN7473 que cuente hacia arriba (Pag. 501, fig. 9.20).

A.6.1.1.2 Contador Binario Asíncrono de tres bits con biestables J-K tipo SN7473 que cuente hacia abajo.

A.6.1.1.3 Contador Binario Asíncrono Up/down de tres bits con biestables J-K tipo SN7473 (Pag. 503, fig. 9.21).

A.6.1.1.4 Contador Binario integrado de 4 bits tipo SN74393.

A.6.1.2 Contadores Binarios Síncronos.

A.6.1.2.1 Contador Binario Síncrono de tres bits con acarreo paralelo, realizado con biestables J-K tipo SN7473 y que cuente hacia arriba (Pag. 508, fig. 9.26).

A.6.1.2.2 Contador Binario Síncrono integrado de cuatro bits tipo SN74163. Estudie su funcionamiento a través de las señales de "Clear", "Load", ENT y ENP para que el contador se ponga a cero, se cargue con una palabra digital, cuente a partir de esa palabra, pase a estar inhibido, etc... (ver fig. 9.23 del texto).

A.6.2. REGISTROS DE DESPLAZAMIENTO

Diseñe y simule los siguientes circuitos:

A.6.2.1 Registro de Desplazamiento de tres bits con biestables D (Pag. 519).

A.6.2.2 Registro de Desplazamiento integrado tipo SN74195. Estudie su funcionamiento haciendo la simulación para que primero se realice la carga serie, por ejemplo de un 1, después se realice un desplazamiento de este valor durante más de cuatro ciclos de reloj, a continuación tenga lugar la carga paralelo de una palabra de 4 bits y a continuación esta palabra se desplace también durante más de cuatro ciclos de reloj (puede servir de orientación la figura 9.35 del texto).

A.7. Actividades de Simulación asociadas al Tema 7: Temporizadores y Relojes

Terminado el estudio de contadores y registros, pasamos al estudio de los circuitos temporizadores y los relojes. En estas simulaciones es conveniente que en el cronograma se represente la señal de carga y descarga del condensador ya que esto ayudará a comprender el funcionamiento del 555.

A7.1. TEMPORIZADORES: CIRCUITO de TIEMPO 555 (en el simulador aparece como 555D)

Diseñe y simule los siguientes circuitos:

- A.7.1.1 Temporizador 555 en modo Monoestable: Compruebe el cambio del ancho del pulso de salida al cambiar los valores de RA y/o de C y que el circuito no se dispara hasta que no haya una bajada del pulso de disparo, manteniéndose la salida en alta un tiempo que depende de los valores de RA y de C (Pag. 553, fig. 10.12). Compruebe también que una vez ha pasado al estado estable (ha pasado a cero) vuelve a dispararse con el siguiente flanco negativo (bajada) del reloj.
- A.7.1.2 Temporizador 555 en modo Astable: Compruebe que el ancho del pulso y el periodo de la señal cambian al modificar los valores de las R y de la C (Pag. 556, fig. 10.14).
- A.7.1.3 Temporizador 555 en modo Astable para la generación de una onda cuadrada tal que:
 $t_1(t \text{ en alta}) = t_2(t \text{ en baja}) = T/2$ (Pag. 555, fig. 10.13).

NOTA: No está prevista la realización de simulaciones de los temas 8 a 10.

3.- ORIENTACIONES PARA LA REALIZACIÓN DEL PLAN DE ACTIVIDADES EVALUABLES

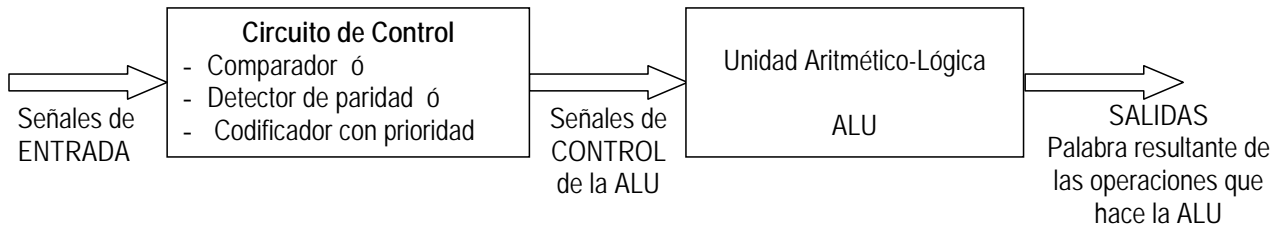
Dado que las condiciones generales de realización y de evaluación de estas actividades han sido ya especificadas en la Primera Parte de la Guía de Estudio, sólo vamos a tratar aquí los apartados específicos de las 2 actividades evaluables que se van a realizar a lo largo del semestre.

La primera actividad corresponde al diseño, implementación y simulación en el simulador PSpice de un circuito combinacional y la segunda corresponde al diseño, implementación y posterior simulación en dicho simulador de un circuito secuencial.

A.E.1. PRIMERA ACTIVIDAD EVALUABLE: Diseño, Implementación y Simulación de un Circuito en Lógica Combinacional

A.E.1.1. Presentación de la Actividad

Esta actividad consta de dos partes claramente diferenciadas. La primera consiste en diseñar e implementar un circuito combinacional que, posteriormente, vamos a usar para controlar el circuito de la segunda parte. La segunda parte consiste en controlar una ALU para que realice distintas operaciones aritmético-lógicas dependiendo de las señales de control procedentes del circuito de la primera parte. Así el esquema, a nivel de diagrama de bloque es el que se muestra en la siguiente figura:



Como se muestra en el diagrama de bloques de la figura adjunta, el circuito de control puede ser un comparador de 2 palabras de 2 bits o un detector de paridad de 4 bits o un codificador con 4 niveles de prioridad y, algunas puertas adicionales, dependiendo del tipo de diseño que se haga para conseguir los valores de las señales de control de la ALU (S3, S2, S1, S0, M y Cn) para que realice las operaciones especificadas en el enunciado correspondiente. El tipo de circuito de control se especifica en los enunciados correspondientes a los distintos modelos de esta primera actividad.

Los enunciados de esta actividad **se harán públicos en el CV de la asignatura el 3 de Noviembre**. El **equipo docente** publicará un determinado número de enunciados distintos para que cada alumno realice un diseño diferente. Estos enunciados estarán numerados y el diseño que tiene que realizar cada alumno depende de su número de DNI. El algoritmo para determinar el enunciado que le corresponde hacer a cada uno es:

1. Tome el número de su DNI.
2. Quédese con las tres últimas cifras (unidades, decenas y centenas).
 - 2.1. Si este número de tres cifras es menor que el número máximo de enunciados, el diseño a realizar es el correspondiente a ese número. **Por ejemplo, si el número de DNI es 21327135. Las tres últimas cifras son 135. Si el número de enunciados es mayor de 135, el diseño a realizar es el que aparece con el número 135.**
 - 2.2. Si el número de tres cifras es mayor que el número máximo de enunciados, el diseño a realizar es el correspondiente a las dos últimas cifras. **Por ejemplo, si el número de DNI es 21327905. Las tres últimas cifras son 905. Si el número de enunciados es menor de 905, el diseño a realizar es el que aparece con el número 05.**

Si el número de la actividad entregada no se corresponde con las últimas cifras del DNI del alumno, esta actividad no será corregida y se considerará como no entregada.

A.E.1.2. Pasos a seguir

- 1º. Diseñe el circuito de control correspondiente. Este diseño debe ser mínimo.
- 2º. Dibuje el circuito de control completo resultante del diseño y simúlelo antes de conectarlo a la ALU para verificar su funcionamiento y haga, si es necesario, las modificaciones oportunas.
- 3º. Dibuje el circuito completo. Es decir, dibuje el circuito de control conectado a la ALU.
- 4º. Simule el circuito completo correspondiente y obtenga el diagrama de tiempos con las señales de entrada, de control y de salida.
- 5º. Estudie el funcionamiento del circuito a través del cronograma y construya las tablas de verdad prácticas de las distintas funciones aritmético-lógicas.
- 6º. Verifique que el circuito realiza las operaciones correctamente. Para ello debe calcular las tablas de verdad teóricas para cada una de las funciones aritmético-lógicas y compararlas con las tablas de verdad prácticas, comprobando que ambas coinciden.

A-E.1.3. Componentes que debe usar en la simulación

Los circuitos que necesita usar y que debe obtener a partir de la librería de componentes del simulador son los siguientes:

- Para generar los trenes de pulsos: DigClock. Para cada uno de ellos debe definir los valores de sus parámetros de forma adecuada.
- Para el circuito de control de la ALU: los tipos de puertas (AND, OR, NOR, NAND, NOT, XOR) que demande el diseño.
- Para realizar las operaciones aritmético-lógicas: ALU (SN74181).

A-E.1.4. Indicaciones para el desarrollo de la actividad

- Es conveniente que antes de hacer esta actividad haya hecho las actividades complementarias sugeridas ya que debe estar familiarizado con el simulador y con los distintos bloques funcionales.
- Conviene probar cada uno de los bloques del circuito total por separado y unirlos cuando cada uno de ellos esté funcionando correctamente, pues es más fácil detectar los errores en un circuito pequeño que grande.
- El hecho de que al ejecutar la simulación aparezcan señales de salida no implica que el circuito funcione correctamente, hay que verificar que las señales de salida son las deseadas.
- Se recuerda que cuando se seleccionen las puertas en el "Part Browser Advanced" hay que tener cuidado de no seleccionar puertas con el colector abierto (open collector), ya que no es necesario y estas puertas son más complicadas de usar porque hay que añadirle la resistencia de colector del transistor de salida y la alimentación, como se ha comentado anteriormente.
- Con la intención de disminuir el grado de dificultad en la obtención de las tablas de verdad se recomienda poner los dos bits más significativos (A3,A2 y B3, B2) de las palabras (A y B) de entrada a la ALU a "0" mientras que en los bits menos significativos (A1,A0 y B1, B0) se deben poner generadores de pulsos del tipo DigClock.
- Es necesario que se representen en el cronograma y se obtengan en las tablas de verdad los cuatro bits de las palabras de salida (F0, F1, F2, F3), ya que hay arrastres debidos a la realización de operaciones aritméticas y, por tanto, los bits más significativos pueden no ser nulos.
- Es conveniente que los generadores se definan de forma que el periodo del tren de pulsos del bit menos significativo (A0 y B0) sea la mitad que el del bit siguiente (A1 y B1). De esta forma en el cronograma aparecerán todas las palabras ordenadas.
- Como la visualización en PROBE aparece sobre fondo negro, al capturar el gráfico para introducirlo en el documento a entregar, resultan imágenes que consumen mucha tinta o toner al imprimirlas. Por tanto, se recomienda utilizar un programa de tratamiento de gráficos para invertir la imagen. Una opción es utilizar el programa PAINT, que se encuentra entre los accesorios de WINDOWS. Para ello, los pasos a seguir son los siguientes:
 - 1º: Amplíe en la pantalla del PROBE la parte del gráfico que se desea capturar.
 - 2º: Utilice la opción del menú "Tools + Copy To Clipboard" para copiar la gráfica en el portapapeles.
 - 3º: Abra el programa PAINT y pegue la imagen.
 - 4º: Quite el fondo negro con la opción del menú "Imagen + Invertir Colores"

- 5º: Pase la imagen a blanco y negro con la opción del menú "Imagen + Atributos" y marcando la opción "blanco y negro" en la ventana "Atributos"
- 6º: Seleccione la imagen, cópiela con "Edit + Copy" y péguela en el documento correspondiente.

A-E.1.5. Material que debe presentar

Se debe presentar, a través del apartado correspondiente del Curso Virtual, un fichero comprimido (.zip ó .rar) que contenga:

1. Los ficheros de los esquemas de los circuitos (extensión .sch)
2. Un informe de la práctica, en formato .doc ó .pdf (preferiblemente en formato .pdf)

En el propio documento del enunciado se proporcionará la plantilla que se debe cumplimentar para la entrega del informe.

A-E.1.6. Condiciones y Fecha de entrega

- La entrega de las actividades será exclusivamente a través del Curso Virtual (plataforma ALF).
- Una vez superada la fecha de entrega la aplicación se cerrará y será imposible su entrega. No está previsto realizar dicha entrega por ningún otro procedimiento. Sólo en el caso de que no le funcione la aplicación y lo justifique, se admitirá la entrega mediante un correo electrónico al equipo docente y a su tutor, siempre que este se envíe antes de la fecha y hora límite de entrega, por lo que se recomienda no esperar para subirla al último momento.

Fecha y hora límite de entrega: 29 de noviembre de 2012 a las 23:55h

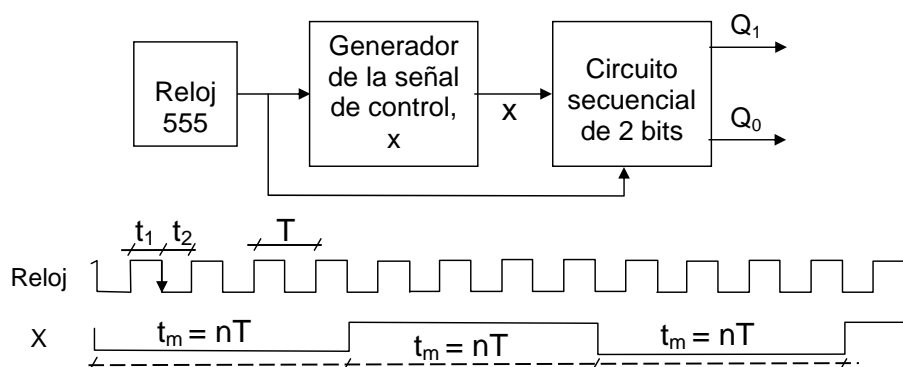
A-E.1.7. Evaluación de la actividad

- Esta actividad, al igual que la siguiente, se puntuará sobre 10, siendo el aprobado el 5.
- Para que se corrija la actividad es imprescindible que funcione el circuito completo.
- En esta actividad se valorará el diseño, la simulación y funcionamiento del esquema, las tablas de verdad, la validación del funcionamiento del circuito, la claridad de las explicaciones, el uso de la terminología propia de la materia y la presentación del documento.
- La evaluación la realizará el Profesor Tutor del Centro Asociado correspondiente.
- Los criterios de evaluación de los distintos apartados de la actividad serán publicados en el Curso Virtual junto con los enunciados el 3 de noviembre.

A-E.2. SEGUNDA ACTIVIDAD: Diseño, Implementación y Simulación de un Circuito en Lógica Secuencial

A.E.2.1. Presentación de la Actividad

Esta actividad consiste en el diseño e implementación de un circuito secuencial y consta de tres bloques funcionales que realizan funciones claramente diferentes. El primer bloque consiste en construir un reloj con el circuito de tiempo 555 funcionando como astable. El segundo bloque consiste en obtener, a partir de este reloj, una onda cuadrada de mayor periodo y, por último, el tercer bloque consiste en construir un autómata finito controlado por el tren de pulsos anterior y que actúe de una forma u otra en función de si este pulso está en alta o en baja. Por tanto, el esquema a nivel de diagrama de bloque del circuito a diseñar y simular es el de la siguiente figura:



Los distintos enunciados de esta actividad se harán públicos en el Curso Virtual de la asignatura el **18 de diciembre de 2012**.

Al igual que en la Primera Actividad Evaluable, se publicará un determinado número de enunciados distintos para que cada alumno realice un diseño diferente. Estos enunciados estarán numerados y el diseño que tiene que realizar cada alumno depende del número de su DNI. El algoritmo para determinar el enunciado que le corresponde a cada uno es el mismo que se usó para asignar el enunciado de la Primera Actividad Evaluable.

A-E.2.2. Pasos a seguir

- 1º. Diseñe el reloj usando un circuito tipo 555 en configuración astable y obtenga los valores de las R y C para generar la señal del reloj de la figura en la que $t_1 = t_2$. Los valores del periodo de la señal y de los tiempos en alta y en baja serán los que aparezcan en cada uno de los enunciados. Dibuje el circuito correspondiente.
- 2º. Diseñe el generador de la señal de control x de forma que sea una señal cuadrada que permanece en alta y en baja los pulsos de reloj que se especifican en el enunciado correspondiente. Dibuje el circuito resultante.
- 3º. Diseñe, mediante el procedimiento general de síntesis de autómatas finitos y usando biestables D y tantas puertas como sean necesarias, el circuito secuencial de dos bits controlado por la señal x y descrito en el enunciado que le ha correspondido. Para ello, recuerde que primero debe obtener el diagrama de transición estados a partir de la descripción del enunciado. A continuación, debe obtener las dos matrices de transición (una para $x=0$ y otra para $x=1$) y posteriormente la matriz funcional para, a partir de esta, obtener las expresiones mínimas de las señales de disparo de los biestables D. Dibuje el circuito resultante que implementa al autómata.

- 4°. Simule y verifique el funcionamiento de cada uno de los tres circuitos por separado.
- 5°. Una los tres bloques y ejecute la simulación del circuito completo obteniendo el cronograma correspondiente.
- 6°. Analice el cronograma y verifique que el autómata recorre las secuencias de estados del enunciado en función de los valores de la señal de control, x.

A-E.2.3. Componentes que debe usar en la simulación

Los componentes de la librería de componentes del simulador que debe usar son:

- Para el diseño el reloj debe usar, como ya hemos comentado, un circuito tipo 555 con todos los componentes necesarios para que actúe en modo astable (multivibrador).
- Para el circuito generador de la señal de control se recomienda usar un contador integrado, por ejemplo, tipo SN74393.
- Para el diseño del autómata debe usarse biestables D, por ejemplo, tipo SN7474 y todas las puertas que sean necesarias.

A-E.2.4. Indicaciones para el desarrollo de la actividad

Las indicaciones para el desarrollo de esta actividad son las mismas que hemos indicado en la Primera Actividad Evaluable ya que son generales e independientes del tipo de circuito que se diseñe y simule. Pero queremos recordar que:

- Debe probar cada uno de los bloques del circuito por separado y unirlos cuando cada uno de ellos esté funcionando correctamente, ya que es más fácil detectar y corregir los errores en un circuito pequeño que grande.
- El hecho de que al ejecutar la simulación aparezcan señales de salida no implica que el circuito funcione correctamente, hay que verificar que las señales de salida son las deseadas.

A-E.2.5. Material que debe presentar

Se debe presentar, a través del apartado correspondiente del Curso Virtual, un fichero comprimido (.zip ó .rar) que contenga:

1. Los ficheros de los esquemas de los circuitos (extensión .sch)
2. Un informe de la práctica, en formato .doc ó .pdf (preferiblemente en formato .pdf)

En el propio documento del enunciado se proporcionará la plantilla que se debe cumplimentar para la entrega del informe.

A-E.2.6. Condiciones y Fecha de entrega

- Las condiciones son las mismas que las de la Primera Actividad Evaluable.

Fecha y hora límite de entrega: 13 de enero de 2013 a las 23:55h

A-E.2.7. Evaluación de la actividad

- Esta actividad, al igual que la otra actividad, se puntuará sobre 10, siendo el aprobado el 5.
- Para que se corrija la actividad es imprescindible que funcione el circuito completo.
- En esta actividad se valorará el diseño, la simulación y funcionamiento del esquema, la validación del funcionamiento del circuito y la forma de presentar esta validación, la claridad de las explicaciones, el uso de la terminología propia de la materia y la presentación del documento.
- La evaluación la realizará el Profesor Tutor del Centro Asociado correspondiente.
- Los criterios de evaluación son los publicados en el Curso Virtual el 3 de noviembre.

A.E.3. Evaluación Global de las Actividades

- Cada actividad debe aprobarse por separado.
- La nota final de las actividades será la media aritmética de las notas obtenidas en cada una de las actividades siempre que ambas superen el 5.
- La nota final de las actividades tiene un peso del 20% en la nota final de la asignatura (siempre que cumpla las condiciones especificadas en la Primera Parte de la Guía de Estudio).
- El alumno que no realice estas actividades o las suspenda no podrá obtener una nota final superior a 8 (sobre 10), ya que al ser evaluables estas actividades, y dado que la nota media obtenida forma parte de la nota final, se consideran como parte del examen con la salvedad de que es más fácil de aprobar ya que se hacen en casa, sin limitación de tiempo y puede usarse todo el material que considere oportuno. Si en un examen no se responden correctamente todas las preguntas, no se puede obtener la nota máxima

4.- GLOSARIO

En este glosario definimos exclusivamente la terminología usada en el texto base y, por consiguiente, esta es la terminología que vamos a usar durante el proceso de enseñanza/aprendizaje de esta asignatura. En ningún caso pretendemos que sea un glosario general de Electrónica Digital.

Los términos están definidos por orden de aparición en cada tema del texto base con el fin de que el alumno sepa en cada momento de qué se está hablando. Esto hace que, en algunos casos, aparezcan en un tema anterior al que en realidad se usa.

TEMA 1

Variables de entrada y salida: magnitudes físicas, en general señales eléctricas (tensiones o corrientes), que sirven de soporte material de la información que se va a procesar (entrada) y que se ha procesado (salida).

Señal analógica: señal eléctrica que admite valores de un espectro continuo entre ciertos valores extremos que marcan su rango dinámico.

Señal digital: señal eléctrica que sólo tiene dos valores posibles, "alto" o "bajo", asociados a dos estados lógicos "1" ó "0".

Regla de computación analógica: regla que produce señales de salida continuas combinando las entradas y los contenidos de memoria mediante operaciones analógicas lineales o no lineales.

Regla de computación digital: regla que produce representaciones binarias de salida (vectores lógicos de "ceros" y "unos"), combinando la representación binaria de entrada con el contenido de memoria mediante operadores digitales.

Magnitud binaria: magnitud que sólo pueden poseer uno de dos valores, (0,1)

Transistor bipolar: Transistor en el que la conducción se realiza en dos bandas y con dos tipos de portadores, electrones y huecos.

Tecnología bipolar: Circuitos integrados construidos con transistores bipolares (BJT).

Tecnología TTL (Transistor-Transistor Logic): Circuitos integrados digitales construidos con transistores bipolares (BJT).

Tecnología ECL (Emitter-Coupled-Logic): Circuitos digitales integrados construidos con transistores bipolares (BJT) con los emisores acoplados.

Transistor unipolar: Transistor en el que la conducción se realiza con un sólo tipo de portador.

Tecnología MOS (Metal-Oxido-Semiconductor): Circuitos digitales integrados construidos con transistores de efecto campo (unipolares) MOSFET.

Tecnología NMOS: Circuitos digitales integrados construidos con transistores MOSFET de canal N.

Tecnología C-MOS: Circuitos digitales integrados construidos con transistores MOSFET complementarios, de canal N y de canal P.

Tecnología BiCMOS: Circuitos digitales integrados que usan los tecnología CMOS para la síntesis lógica inicial (etapa de entrada) y tecnología bipolar para la salida (etapa push-pull).

Funciones combinacionales: Funciones en las que para obtener el valor de la salida en un cierto instante sólo necesitamos conocer el valor de las entradas en ese mismo instante. Son funciones de decisión, sin "memoria". Su modelo matemático es el Álgebra de Boole.

Funciones secuenciales: Funciones en las que para obtener el valor de la salida en un cierto instante no basta con conocer las entradas en ese instante, sino que necesitamos conocer su "estado" y por consiguiente sus entradas y salidas en instantes anteriores. Decimos entonces que el sistema tiene "memoria". Su modelo matemático es la Teoría de Autómatas.

Álgebra de Boole, .: Proceso algebraico utilizado como herramienta para el análisis y síntesis de sistemas digitales. Es el modelo matemático soporte de la lógica combinacional.

Teoremas Booléanos: Reglas del Álgebra de Boole usadas para simplificar las funciones lógicas.

Tabla de verdad: Tabla que especifica de forma completa, en extenso, el valor que toma la salida para cada una de las posibles configuraciones de las variables de entrada.

Teoremas de De Morgan: Teoremas que afirman que el complemento de una suma (OR) es igual al producto (AND) de los complementos y que el complemento del producto (AND) es igual a la suma (OR) de los complementos.

Autómata finito y determinístico: máquina matemática que opera en una escala cuantificada de tiempos y viene definido por un quinteto: $A = (X, Y, S; f, g)$ donde: X, Y, y S son los conjuntos finitos de posibles entradas, salidas y estados internos, y f y g son dos conjuntos de reglas de decisión que representan la dinámica del sistema en la producción de nuevos estados y en la producción de salidas.

Memoria: Un sistema tiene memoria cuando su salida permanece en un determinado estado después de desaparecer la condición de entrada que la originó.

Diagrama de Venn, Representación gráfica en la que a cada variable lógica se le asocia un área dentro de un rectángulo.

Representar una función lógica combinacional es encontrar un procedimiento para describir de forma completa la función lógica que permite conocer el valor de las salidas.

Representación en extenso cuando poseemos una tabla (tabla de verdad), o cuando se hace mediante los diagramas de Venn.

Representación en intenso cuando tenemos una expresión booleana que la describe. Lógicamente, al dar valores a las variables obtenemos la representación en extenso.

Analizar un circuito lógico es encontrar la función lógica que calcula, usando el esquema de conexión de las variables de entrada con los distintos operadores hasta llegar a la variable de salida.

Sintetizar: Es el proceso inverso al de analizar. Dadas unas especificaciones funcionales en lenguaje natural encontrar la función lógica que la representa para posteriormente obtener el circuito que las implementa.

Funciones de temporización: son las funciones necesarias para engarzar en co-orden todas las operaciones combinatorias y secuenciales que constituyen un sistema digital.

AND: Operador Lógico que realiza el producto lógico.

OR: Operador lógico que realiza la suma lógica.

NOT: Operador lógico que realiza la inversión o negación.

NAND: Operador Lógico que realiza el negado del producto lógico.

NOR: Operador lógico que realiza el negado de la suma lógica.

XOR ó OR exclusivo: Operador Lógico que realiza la operación de anti-coincidencia.

XNOR ó NOR exclusivo: Operador Lógico que realiza la operación de coincidencia

Puerta AND: Circuito que implementa al operador AND. Su salida está en "alta" cuando todas sus entradas están en "alta".

Puerta OR: Circuito que implementa al operador OR. Su salida está en "alta" cuando una o más entradas están en "alta".

Puerta NOT: Circuito que implementa al operador NOT. Su salida está en "alta" cuando su entrada está en "baja" y a la inversa.

Puerta NAND: Circuito que implementa al operador NAND. Su salida está en "alta" cuando una o más de sus entradas están en "baja".

Puerta NOR: Circuito que implementa al operador NOR. Su salida está en "alta" cuando todas sus entradas están en "baja".

Puerta XOR: Circuito que implementa al operador XOR. Su salida está en "alta" cuando sus entradas son diferentes.

Puerta XNOR: Circuito que implementa al operador XNOR. Su salida está en "alta" cuando sus entradas coinciden.

Conjunto completo de operadores: El conjunto de operadores con los que se puede representar cualquier función lógica.

AND, OR y NOT: Conjunto completo de operadores lógicos.

Forma Normal Disyuntiva expresa una función lógica como suma de productos (términos mínimos). Cada producto contiene a todas las variables, negadas o sin negar, sin repetirse ninguna.

Términos mínimos ("minterms"): son los productos de la representación de una función lógica en Forma normal disyuntiva que ocupan áreas mínimas (intersecciones de las áreas correspondientes a variables individuales o a sus negadas) en los diagramas de Venn.

Forma Normal Conjuntiva expresa una función lógica como producto de sumas (términos máximos). Cada suma contiene a todas las variables, negadas o sin negar, sin repetirse ninguna.

Términos máximos ("maxterms"): son las sumas de la representación de una función lógica en forma normal conjuntiva que ocupan áreas máximas (uniones de las áreas correspondientes a variables individuales o a sus negadas) en los diagramas de Venn.

Forma NAND: Representación de las funciones lógicas mediante un único operador (NAND)

Forma NOR: Representación de las funciones lógicas mediante un único operador (NOR)

Función lógica universal Función expresada en la forma normal disyuntiva (o conjuntiva) en la que dependiendo del valor ("0" ó "1") que toma cada uno de los coeficientes por el que se multiplica (o se suma a) cada término mínimo (máximo) se pueden obtener todas las funciones lógicas posibles.

Minimizar: obtener la expresión más simplificada posible de una función lógica de forma que el número de operadores necesarios para su síntesis sea mínimo.

Diagramas de Karnaugh: Herramienta usada para minimizar funciones lógicas expresadas en su forma normal disyuntiva. Consiste en un método gráfico que distribuye sobre distintas áreas contiguas los términos mínimos de forma tal que los pares simplificables siempre son vecinos y el proceso de simplificación se puede realizar por simple inspección visual.

TEMA 2

Funciones aritmético-lógicas: Funciones encargadas de realizar operaciones locales (sumas, restas, productos y operaciones lógicas bit a bit) entre dos datos de n bits.

Funciones de ruta de datos: Función encargadas de guiar el tráfico de datos e instrucciones entre las distintas partes de un sistema de cálculo (de memoria a unidad aritmética, etc...).

Circuitos cambiadores de código: Circuitos encargados de cambiar la representación digital de la información y ponerla en el tipo más adecuado para su tratamiento.

Bit: Unidad mínima de información. Puede ser un "1" ó un "0". Dígito binario.

Byte: Unidad de información compuesta de 8 bits.

Bit más significativo (MSB): Dígito que tiene el mayor peso y se encuentra en el extremo izquierdo de la palabra.

Bit menos significativo (LSB): Dígito que tiene el menor peso y se encuentra en el extremo derecho de la palabra.

Bit de signo: Bit que se añade en la posición más extrema de la izquierda de un número binario (MSB) para indicar si este representa un número positivo o negativo.

Código: Grupo de símbolos que representan números, letras o palabras.

Codificación binaria directa: representación de un número decimal mediante su equivalente binario.

Codificación en S-M: Representación de los números mediante un bit de signo (el MSB) y los bits de magnitud necesarios que son el equivalente binario verdadero del valor decimal que representan.

Codificación en complemento a 1 (C-1): Representación numérica de números enteros positivos y negativos en la que el MSB representa el signo y el resto de los bits representan la magnitud. Los números positivos se representan en S-M y los negativos se representan complementando a 1 cada bit del número binario correspondiente.

Codificación en complemento a 2 (C-2): Representación numérica en la que cada bit del número binario se complementa a 1 y al resultado se le suma 1 al bit menos significativo.

Codificación en BCD: Representación numérica en la que cada número decimal se representa por su codificación binaria con 4 bits.

Acarreo: Dígito o bit que se genera cuando se suman dos palabras y el resultado es mayor que la base del sistema numérico empleado para la representación.

Semisumador: Circuito lógico de dos entradas y dos salidas que realiza la suma de los dos bits de las entradas y genera el resultado de esta suma y el acarreo correspondiente.

Sumador completo: Circuito lógico de tres entradas (dos bits y un acarreo) y dos salidas que realiza la suma de los bits de entradas y genera el resultado de esta suma y el acarreo correspondiente para que sea sumado en la siguiente etapa en un diseño modular.

Semirestador: Circuito lógico de dos entradas y dos salidas que realiza la resta de los dos bits de las entradas y genera el resultado de esta resta y el acarreo correspondiente.

Minuendo: Número del que se extrae el sustraendo en la operación de resta.

Sustraendo: Número que se sustrae del minuendo en la operación de resta.

Restador completo: Circuito lógico de tres entradas y dos salidas que realiza la resta de las entradas y genera el resultado de esta resta y el acarreo correspondiente para que sea restado en la siguiente etapa en un diseño modular..

Rebose: Se produce rebose cuando al realizar operaciones aritméticas se excede la capacidad de representar el resultado con ese número de bits.

Comparador de dos palabras de n bits: Circuito que determina cual de las dos palabras es mayor, cuál es menor o si son iguales.

Bit de paridad: Bit adicional que acompaña a cada palabra y que indica si el número de unos de dicha palabra (incluido el propio bit de paridad) es par o impar.

Paridad par: El número total de unos de la palabra (incluido el bit de paridad) es un número par.

Paridad impar: El número total de unos de la palabra (incluido el bit de paridad) es un número impar.

Detectores de paridad: Circuitos que producen una salida cuando la suma de los unos de las palabras es par (o impar)

Unidad Aritmético-Lógica (ALU): Circuito digital que realiza operaciones aritméticas y lógicas y de relación con dos palabras de n bits.

PLUS: Suma aritmética.

MINUS: Resta aritmética.

TEMA 3

Multiplexo de N a 1: Circuito combinacional que permite situar en un canal de salida la señal procedente de cualquiera de los N canales de entrada. El canal es seleccionado mediante la configuración lógica mutuamente exclusiva de las variables de control que permiten que durante el intervalo de tiempo en el que un canal permanece abierto, los otros estén cerrados.

Señal de inhibición/facilitación ("strobe"): Señal que controla el instante en el que se realiza la transferencia del dato. Dependiendo del circuito actúa en alta o en baja.

Diseño en árbol o en niveles: Tipo de diseño que se hace cuando el número de variables en el diseño de un circuito es tal que un determinado tipo de multiplexo no es suficiente para su síntesis.

Demultiplexo de 1 a 2^n : Circuito con una única línea de entrada y 2^n líneas de salida cuya puerta de acceso está controlada por n variables. Para cada configuración mutuamente exclusiva de estas líneas de control se abre un sólo canal de salida. Realizan la función inversa a la del multiplexo.

Decodificador BCD a decimal: Decodificador con cuatro líneas de entrada y diez líneas de salida que ante cada configuración de entrada, sólo está activa una de las líneas de salida, aquella que representa al valor decimal de la configuración binaria de entrada.

Siete-segmentos: Circuito de visualización que consta de 7 LEDs cada uno de los cuales se activa por separado y constituye un segmento del número 8.

Decodificación de BCD a "siete segmentos": Decodificador con cuatro líneas de entrada y siete líneas de salida (una para cada uno de los segmento que forma el número 8) que actúa de forma que ante cada configuración de entrada se activen las salidas correspondientes a los segmentos (diodos) necesarios para visualizar el dígito decimal correspondiente.

Bus: Camino de comunicación compartido y formado por un grupo de conductores y que se usa para distribuir señales de datos, direcciones y control.

Facilitación del circuito (enable): Señal de control de los circuitos, normalmente activa en baja, que cuando está en alta pone la salida en estado de alta impedancia pudiendo así seguir conectada directamente a un bus sin transmitir ningún dato.

Codificador con prioridad: Circuito que establece un criterio de prioridad (un orden en la codificación) de forma que en cada momento sólo se genere el código de la línea que es prioritaria del conjunto de las que están activas en ese momento, garantizando que en cada momento sólo hay una línea activa.

Buffers-drivers: Son, en esencia, amplificadores digitales (unidireccionales) que incrementan los niveles de corriente que se pueden entregar a una carga o absorber de la misma sin confundir el estado. Realizan también funciones de reconstrucción de pulsos en operaciones de lectura/escritura en circuitos de memoria.

Circuito de tres estados: Circuitos que posee tres estados y, dependiendo de la señal de control, presenta a su salida el dato ("1" ó "0") o presenta el tercer estado que es el de alta impedancia.

Transmisores-receptores de bus ("bus-transceivers"): Circuito bidireccionales que mantienen para cada dirección de transmisión las características de los "drivers" pero duplican el circuito básico e incluyen dos señales de control que facilitan la transmisión en un sentido a la vez que lo inhiben en el sentido contrario.

Bit de requerimiento de acceso: Bit adicional que se pone en alta cada vez que una fuente de señal desea acceder al bus.

TEMA 4

SSI: Integración en pequeña escala (menos de 12 puertas)

MSI: Integración en media escala (entre 12 y 99 puertas)

LSI: Integración en gran escala (entre 100 y 9999 puertas)

VLSI: Integración en muy gran escala (entre 10.000 y 99.999 puertas)

ULSI: Integración en ultra gran escala (más de 100.000 puertas)

Lógica programable: Estructura modular y general que nos permite obtener cualquier función lógica a través de la programación eléctrica o funcional del esquema de conexión.

Memoria no Volátil: Memoria cuyo contenido permanece estable y no se pierde aunque se desconecte la alimentación.

ROM: (Read Only Memory): Memoria de sólo lectura. Se usan principalmente en microprogramación de sistemas. Se graba durante la fabricación.

PLD (Programmable Logic Device): Circuito basado en matrices de circuitos AND, seguidas de matrices de circuitos OR, organizadas en una arquitectura plana y con conectividad programable.

PROM (Programmable Read Only Memory): PLD con la matriz AND fija y completa, estando así accesibles todos los términos mínimos de las n variables de entrada y la matriz OR es programable. No se pueden borrar ni volver a programar.

PAL (Programmable Array Logic): PLD que tiene la matriz AND programable y la matriz OR fija limitando el número de líneas AND que pasan a ser sumadas.

PLA (Programmable Logic Array): PLD con ambas matrices, AND y OR, programable

EPROMs (Erasable-PROM): Memorias PROM que utilizan estructuras MOS (tipo FAMOS, por ejemplo), en las que la programación se realiza eléctricamente y el borrado mediante radiación ultravioleta.

FAMOS (Floating-gate Avalanche injection MOS memory): Estructura MOS de puerta flotante de silicio policristalino e inyección por avalancha.

MIOS (Metal Insulator Oxide Semiconductors): Estructura de puerta flotante

SAMOS (Staked-gate Avalanche-injection MOS): estructura con un doble nivel de puertas de silicio policristalino de forma que la puerta externa (llamada de control) permite el borrado eléctrico.

FLOTOX (FLOating-gate Tunneling Oxide). Son estructuras parecida a la FAMOS sólo que se ha modificado la parte del dieléctrico que separa la puerta flotante del canal en las proximidades del terminal de drenador, haciéndolo más estrecho (menos de 10 nm). También permiten el borrado eléctrico de las EEPROMs

EEPROM (Electrically Erasable PROM): Memorias PROM que se graban y se borran eléctricamente bit a bit.

Memoria FLASH: Está basada en las memorias EEPROM pero permite el borrado bloque a bloque. Permite que múltiples posiciones de memoria sean escritas o borradas en una misma operación de programación mediante impulsos eléctricos lo que hace que sean muy rápidas.

TEMA 5

Circuitos secuenciales: Circuitos con “memoria” en los que la respuesta en un determinado instante de tiempo no depende sólo del valor de sus entradas en ese instante sino que depende también de las entradas y respuestas en instantes anteriores.

Circuitos binarios: Circuitos que poseen dos estados internos distinguibles.

Biestable: Dispositivo lógico con dos estados estables que es capaz de almacenar durante un cierto intervalo de tiempo el valor de una señal digital.

Espacio de entradas: Conjunto de posibles configuraciones de entrada a partir de las variables de entrada del sistema.

Espacio de estados: Conjunto de posibles estados del sistema a partir de las variables de estado.

Espacio de salidas: Conjunto de posibles configuraciones de salida a partir de las variables de salida del sistema.

Autómata finito y determinístico: (ver Tema 1).

Circuito síncrono: Circuito gobernado por un reloj central de forma que todos los sucesos de interés computacional ocurren en los entornos de los pulsos de reloj. La conmutación se produce en los flancos del pulso de reloj, cuando este pasa de baja a alta (flanco positivo) o viceversa (flanco negativo).

Entrada de reloj (Ck): Entrada que todos los circuitos secuenciales síncronos poseen para la señal (de reloj) que controla los instantes en que se hacen efectivos los cambios que definen la función.

Reloj: un circuito oscilador (astable) que genera un tren de pulsos o una onda cuadrada.

Periodo del reloj (T): Intervalo temporal entre dos pulsos sucesivos. Cualquier función necesita, al menos, un periodo (dos pulsos sucesivos) para ejecutarse.

Frecuencia del reloj (f): Inverso del periodo ($f=1/T$). La frecuencia del reloj define la máxima velocidad de operación permitida en un sistema digital.

Tiempo de asentamiento (setup time, t_{su}): intervalo de seguridad que garantiza que las señales de entrada ya han alcanzado su estado estacionario un tiempo t_{su} antes de la subida del pulso.

Tiempo de retención (hold time, t_h): intervalo de tiempo durante el cual las entradas todavía tienen que permanecer estables después de haberse producido la subida de baja a alta del pulso de reloj.

Modo fundamental: Modo de operación de los sistemas asíncronos en el que no pueden existir cambios simultáneos de nivel en las variables externas. Sólo una puede estar conmutando en cada instante de tiempo.

Modo de pulsos: Modo de operación de los sistemas asíncronos en el que las señales sólo están en alta durante un corto intervalo de tiempo. La subida del pulso marca el suceso temporal y, al igual que antes, no pueden coincidir dos pulsos a la vez

Circuito biestable: Circuito binario en los que ambos estados son estables de forma que hace falta una señal externa de excitación para hacerlos cambiar de estado. Esta función de excitación define el tipo de

biestable (D, T, R-S ó J-K).

Circuito monoestable: Circuito binario con un estado estable (el de baja), y otro metaestable (el de alta). que define la duración del pulso. Se usa para producir retardos de valor controlable (duración del estado metaestable), para conformar pulsos y para definir sucesos temporales entre dos pulsos sucesivos de un reloj.

Astable: Circuito binario con dos estado metaestables. Es decir, ninguno de los dos estados es estable de forma que en su operación normal está conmutando constantemente entre los dos estados. Es un oscilador y son la base de los circuitos temporizadores y de los relojes

Configuración R-S: Biestable con dos entradas externas, R (Reset o puesta a "0" del biestable) y S (Set o puesta a "1") y cuyo circuito consta de dos puertas NAND o NOR realimentadas. Las transiciones de estado pueden ocurrir en cualquier momento, en función del valor que tomen en ese momento los niveles de tensión en las entradas de set (S) y reset (R). En este sentido el circuito es asíncrono.

Biestable R-S sincronizado a niveles: Biestable R-S básico al que se le añaden dos puertas AND delante de las NOR junto con una entrada adicional de los pulsos de reloj. Así, las entradas a las puertas NOR sólo estarán activas cuando el pulso de reloj esté en alta.

Biestable R-S disparo por flancos: Biestable R-S que usa para dispararse sólo las transiciones de baja a alta (o de alta a baja) del reloj para definir el instante en el que se deja actuar a las variables R y S.

R-S con entradas asíncronas de PRESET y CLEAR: Circuito R-S con dos nuevas entradas asíncronas adicionales llamadas de preset que pone a 1 al biestable y clear que lo pone a cero.

Cronograma: Representación gráfica de las señales de entrada, salida y control de los circuitos en función del tiempo.

Flancos: Cambios en los valores de los niveles de un tren de pulsos (en general nos referimos a la señal del reloj).

Flanco positivo: Paso de baja a alta (subida) en un pulso.

Flanco negativo: Paso de alta a baja (bajada) en un pulso.

Preset: Señal que pone a uno al circuito correspondiente.

Reset: Señal que pone a los circuitos en condiciones iniciales

Clear: Señal que pone a cero al circuito correspondiente.

Reloj: Señal periódica aplicada a ciertos circuitos y que sincronizan sus respuestas.

Biestables J-K: Análogo al biestable R-S en el que se elimina la ambigüedad de la configuración $R=S=1$ que hacía que la salida Q fuera igual a la \bar{Q} .

Configuración "Master-Slave" (maestro-esclavo): configuración con dos biestables conectados en serie y con relojes complementarios que interrumpen la conexión lógica entre la salida y la entrada. Es decir, entre la generación de la orden de disparo y su ejecución que opera en la fase complementaria del reloj.

Biestables T : Biestable que cambia de estado ante cada pulso de reloj.

Biestable D (delay): Representa el retardo. Su salida en cada intervalo coincide con la entrada en el intervalo anterior.

Tema 6

Sistema secuencial síncronos: Sistema guiado por los pulsos de un reloj en el que todos los cambios ocurren en los flancos de los pulsos de reloj.

Sistema secuencial asíncronos: Sistema guiado por cambios de nivel en las variables, sin que tengan que coincidir con los pulsos del reloj.

Representación: Dado un problema, obtenemos la descripción del circuito que necesitaríamos para su solución en términos del número de configuraciones de entrada necesarias, del número de estados

necesarios, y de las transiciones entre estos estados para cada uno de los valores mutuamente exclusivos de las configuraciones de entrada.

Matrices de transición de estados: Conjunto de matrices que constituyen la representación formal del autómata. Sus elementos toman el valor 1 cuando ante una configuración de entrada hay una transición de un estado inicial a otro estado final, en caso contrario, tomarán el valor cero. Sólo tienen un uno por fila ya que desde un estado inicial sólo puede pasar a un estado final, no puede pasar a dos estados finales diferentes.

Matriz funcional: Matriz resultante de multiplicar cada matriz de transición, por la configuración de entrada que la produce, y sumar estos productos. Es una forma compacta de representar el conjunto de expresiones lógicas que controlan todas y cada una de las transiciones de estado para todas y cada una de las posibles configuraciones de entrada

Funciones de excitación: Expresiones lógicas de las señales de entrada de los biestables D y obtenidas a partir de la matriz funcional como suma de los productos de las configuraciones de entrada por los correspondientes estados iniciales que hacen que la correspondiente variable de estado esté en alta.

Contadores: Circuitos secuenciales capaces de recorrer una secuencia previamente especificada de estados. En general reciben como entrada un tren de impulsos y responden con una sucesión de estados correspondientes a la representación en binario del número de impulsos recibidos desde que se inició el ciclo.

Contador up/down: Contador que dependiendo del valor de una variable de control cuenta "hacia arriba" o "hacia abajo",

Contador asíncrono binario: cuando le dejamos terminar su ciclo máximo.

Divisor por Q: Contador en el que se corta el ciclo de incrementar el contenido del contador en ese valor Q devolviendo desde aquí al contador a su estado inicial (00...0), siendo Q menor que el número total de estados.

Contadores asíncronos: Contador que usa la entrada de reloj como entrada general al contador, es decir como variable lógica cuyo número de impulsos se desea contar.

Contadores síncronos: Contador en el que la señal de reloj entra a todos los biestables y los cambios de estado de los biestables se producen en todos a la vez coincidiendo con los flancos de subida o bajada de los pulsos de reloj.

Contador reversible síncrono de 8 estados: es un circuito secuencial en el que existe una entrada de control tal que cuando esta entrada está en alta, el contador incrementa su contenido con cada pulso del reloj e inversamente, cuando la entrada de control está en baja cada pulso de reloj decrementa en una unidad el contenido del contador.

Registros de desplazamiento: circuito secuencial que consta de N biestables D conectados en cascada en los que la información entra por el primer biestable y, ante los sucesivos pulsos de reloj, la información es transferida de cada biestable al siguientes.

Tema 7

Reloj central: circuito que produce un tren de impulsos responsable del comportamiento del sistema síncrono. Básicamente es un oscilador no lineal en el que la frecuencia de oscilación la marca un cristal o un circuito multivibrador.

Temporización elemental. Función que marca un intervalo de tiempo de duración predeterminado y con instantes de inicio y fin bien definidos. El circuito que realiza esta función es el monoestable.

Monoestable: (ver Tema 5).

Astable: (ver Tema 5).

Oscilador digital elemental. Circuito que genera una onda cuadrada o un tren de impulsos de frecuencia controlable.

Reloj polifásico: conjunto de señales de reloj superpuestas de forma que todos los pulsos que aparecen dentro de un periodo mantienen una relación específica entre ellos

Circuito de tiempo (tipo 555): Bloque funcional de uso muy general capaz de actuar como monoestable y como astable con duración de pulso y frecuencia de oscilación controlables, realizando también funciones de modulación en anchura de impulsos, detección de pulsos omitidos, etc...

Temporizadores programables (tipo ICL8240): Circuitos de tiempo programables que incluyen un oscilador (base de tiempos), un contador programable, un biestable y circuitos de control que hace que el diseño sea más flexible.

Tema 8

Algunos conceptos y circuitos que se usan en este tema ya han sido usados en el tema 4 por lo que su terminología ya ha sido definida y no la vamos a repetir aquí.

Memoria volátil: Memoria que necesita permanentemente tener conectada la alimentación para conservar su contenido. Si la alimentación se interrumpe, la información se pierde.

RAM (Random Access Memory): Memoria volátil en la que la información se organiza por bits o en palabras de n bits que se almacenan en posiciones físicas que son accesibles de forma independiente, de forma que existe la posibilidad de seleccionar una posición cualquiera, leer su contenido y/o escribir un nuevo dato. El tiempo de acceso a cada una de las distintas posiciones es el mismo. Deberían llamarse de lectura/escritura y acceso directo.

SRAM (Static Random Access Memory): Memoria RAM estática y volátil en la que la información se almacena formando biestables, por lo que no requiere refresco.

DRAM (Dynamic Random Access Memory): Memoria RAM dinámica y volátil en la que la información se almacenan como en la carga de un condensador. Tiende a descargarse y, por lo tanto, es necesario un proceso de refresco periódico.

Refresco: proceso necesario en las memorias DRAM para recuperar la pérdida de carga (debido a las corrientes de fuga en los transistores MOS) y, por consiguiente, de la información almacenada.

CAM (Content Addressable Memory): Memoria direccionable por contenido. Se escribe de forma análoga a las RAM, pero se lee por el contenido de las celdas de memoria mediante la selección del conjunto de direcciones que contienen ese dato de forma completa o parcial.

Modo página: La línea de facilitación de la dirección de una fila se mantiene activa mientras se leen todas las columnas de esa página.

Modo página rápido: Introduce la facilidad adicional \overline{EDO} (Extended Data Out) que consiste en una extensión de la salida de datos que cambia la ruta de salida de estos datos de forma que el flanco de subida del reloj ya no tiene que inhibir a las buffers de salida. Ahora los datos anteriores permanecen válidos y se puede acceder a la siguiente dirección de columna antes de que el procesador acepte los datos válidos actuales.

Modo ráfagas: Es una forma muy rápida de acceder de una vez a la información almacenada en un conjunto pequeño de direcciones próximas. Para ello, se accede a la primera de estas direcciones por el procedimiento normal y después se accede al resto de las direcciones de la ráfaga a través de un mecanismo interno que las genera usando un contador de dos bits que, a partir de los dos bits menos significativos del registro de direcciones, A_0 , A_1 , genera la secuencia 00,01,10,11. Al ser generadas internamente, el acceso a estas direcciones es mucho más rápido.

Comparando: Palabra externa que queremos saber dónde está almacenada en una memoria CAM.

Máscara: Palabra que indica los subcampos en los que estamos interesados en una memoria CAM.

Patrón (clave de la búsqueda): Palabra que se obtiene al filtrar el comparando con la máscara en una

memoria CAM.

Registro indicador o de marca: registro que indica las comparaciones que han sido válidas en una memoria CAM.

Tema 9.

Memoria de acceso secuencial: Memoria que tiene la estructura de registro de desplazamiento, de modo que se accede a su lectura y/o escritura de forma secuencial. Una memoria secuencial de k palabras de n bits se construye a partir de n registros de desplazamiento (uno por bit) de longitud k (número de palabras).

FIFO (First-In, First-Out): Es una organización serie-serie porque los datos se leen y se escriben en serie de forma que en cada pulso de reloj se desplazan una posición los contenidos de todos los registros de desplazamiento. La palabra que entró primero, se lee primero.

Recirculación: Función que tiene lugar cuando no hay entrada de nuevos datos y el lazo está cerrado.

LIFO (Last-In, First-Out): Memoria de acceso secuencial en la que el primer dato que entra es el último que sale porque los nuevos datos empujan a los anteriores y se van apilando. También se llaman memoria pila. En estas memorias los datos se escriben y se leen del mismo punto, de forma que los sucesivos pulsos del reloj "empujan" hacia arriba las palabras o las "dejan caer", dependiendo del valor del bit que marca el sentido del desplazamiento de los registros que ahora han de ser bidireccionales.

Dispositivo CCD (Charge Coupled Devices): sucesión de estructuras MOS que pueden almacenar paquetes de carga en pozos de potencial y que actúa como un registro de desplazamiento en el que la información está representada por paquetes de carga.

Inyección: Proceso mediante el cual se introducen (escriben) los datos (paquete de carga) en la estructura CCD.

Transferencia: Proceso mediante el cual el paquete de carga se va desplazando por los sucesivos pozos de potencial de la estructura CCD en la forma en la que lo hace la información en un registro de desplazamiento.

Extracción: Proceso mediante el cual se sacan (leen) los datos del último pozo de potencial en la estructura CCD.

Regeneración: Amplificación de los contenidos de memoria para recuperar la carga perdida tras una serie de transferencias por sucesivos pozos de potencial en la estructura CCD.

Organización serie: Estructura de una memoria CCD que está formada por un conjunto de registros de desplazamiento conectados en serie y con etapas intermedias de regeneración.

Organización por lazos múltiples: Estructura con direccionamiento directo para cada segmento o lazo en que se ha segmentado la memoria. Cada lazo es considerado como una celda de memoria RAM direccionable a través de un multiplexo que decodifica los bits de dirección y una lógica de control que facilita el acceso al lazo seleccionado para realizar allí las operaciones de lectura y escritura.

Organización Serie-Paralelo-Serie (SPS): Consta de dos registros serie y un gran registro paralelo multicanal. Los datos se introducen en serie en el registro superior. Después se transfieren en paralelo a la primera etapa del registro paralelo. Todos los canales paralelos se desplazan al unísono con un mismo reloj más lento que el de los registros serie y a la salida se realiza el proceso inverso. El registro más bajo es de nuevo serie y rápido, se carga en paralelo y se lee a través del amplificador regenerador.

Fifo tipo registro de desplazamiento: El número de palabras almacenadas es fijo (coincide con la longitud del registro) y hay un sincronismo implícito y necesario entre las operaciones de lectura y escritura. A medida que van entrando nuevas palabras dato en los registros FIFO, otras van saliendo por el otro extremo.

FIFO de lectura/escritura mutuamente exclusivas: En cada momento sólo se puede leer o escribir, pero no ambas cosas. El número de palabras almacenadas es variable y deben satisfacerse ciertas condiciones

en el cronograma entre las señales procedentes del "sistema que escribe" y las procedentes del "sistema que lee". Es necesario un cierto nivel de sincronismo entre estos dos sistemas.

FIFO de lectura/escritura concurrente: Tienen un número variable de palabras almacenadas y posibilidad de lectura y escritura asíncrona, pudiendo coexistir ambos procesos. Es decir, no hay restricciones en el cronograma de los ciclos de lectura y escritura. Son independientes y no necesitan ningún sincronismo entre ellos. Esto significa que cuando dos sistemas de distinta frecuencia se conectan a la FIFO, no necesitamos preocuparnos de la sincronización, porque la realiza internamente el circuito.

Expansión en anchura: Forma de conexión de dos o más memorias FIFOs con el fin de ampliar la memoria en el sentido de conseguir el mismo número de palabras pero de más bits.

Expansión en profundidad: Forma de conexión de dos o más memorias FIFOs con el fin de ampliar la memoria y conseguir más palabras pero con el mismo número de bits.