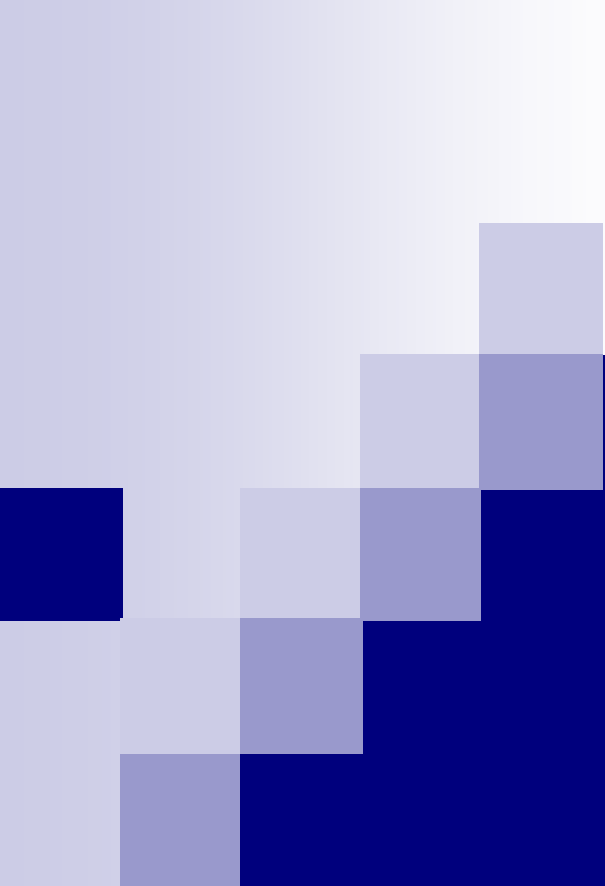




Tema 3

Tema 3: Lógica
Combinacional (II): Ruta de
Datos.

TEMA 3: LÓGICA COMBINACIONAL (II): RUTA DE DATOS

- *Contexto*
- *Conocimiento Previo Necesario*
- *Objetivos del Tema*
- *Guía de Estudio*
- *Contenido del Tema*
 - 3.1. Circuitos Selectores de Datos (Multiplexos)
 - 3.2. Demultiplexos
 - 3.3. Codificadores con Prioridad
 - 3.4. Amplificadores (buffers-drivers) y Transmisores-receptores de Bus
 - 3.5. Problemas
- *Preparación de la Evaluación*

+++ OBJETIVOS DEL TEMA

Objetivo 1: *Comprender la estructura interna y la función de los multiplexos en su doble uso como:*

- a)** *Selector de canales de entrada (1 de n, paso de información de paralelo a serie)*
- b)** *Módulo de diseño de otros circuitos en lógica combinatorial.*

Objetivo 2: *Comprender los demultiplexos y su uso como:*

- a)** *Selector de canales de salida (1 de n, paso de información de serie a paralelo)*
- b)** *Módulo de diseño (junto con los Multiplexos) de circuitos convertidores de código.*

Objetivo 3: *Conocer los circuitos encargados de adaptar las señales en su interacción con un "bus": amplificadores (buffers-drivers) y transmisores-receptores de bus (bus-transceivers).*

6.1 Circuitos selectores de datos (Multiplexor)

- Multiplexor = circuito con “N” entradas, 1 salida y “n” patillas de selección, tal que $2^n = N$. Con la combinación binaria introducida en las patillas de selección (n), elegimos la entrada N que aparecerá en la salida.

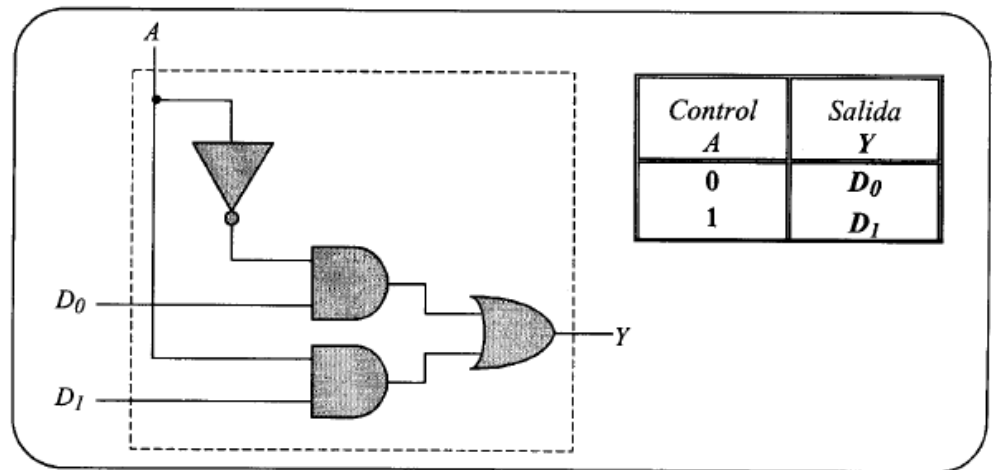


Figura 6.1. Circuito multiplexor de 2 a 1.

Multiplexor de 4 canales

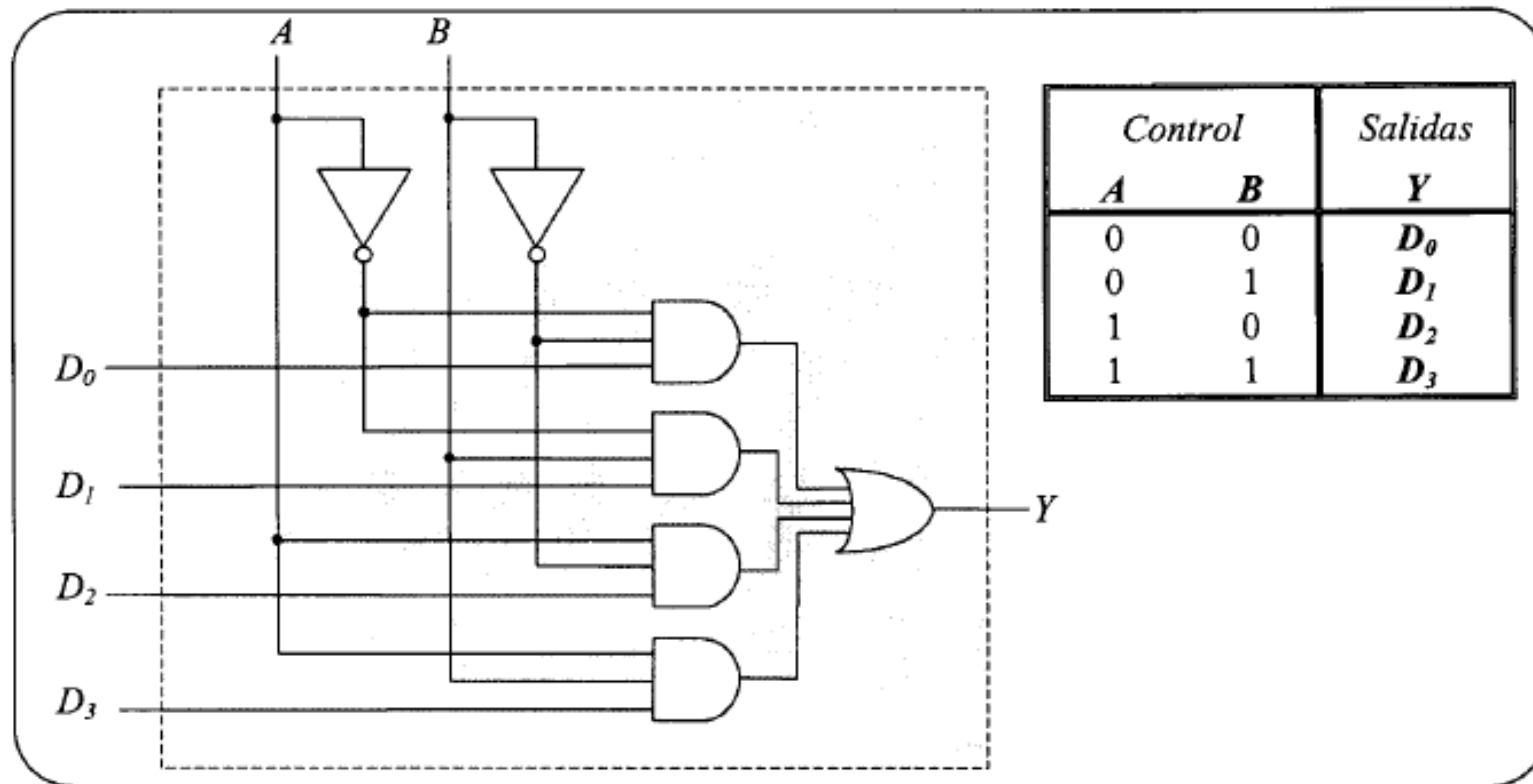


Figura 6.2. Circuitos multiplexores de 4 a 1.

■ Multiplexor de 8 canales

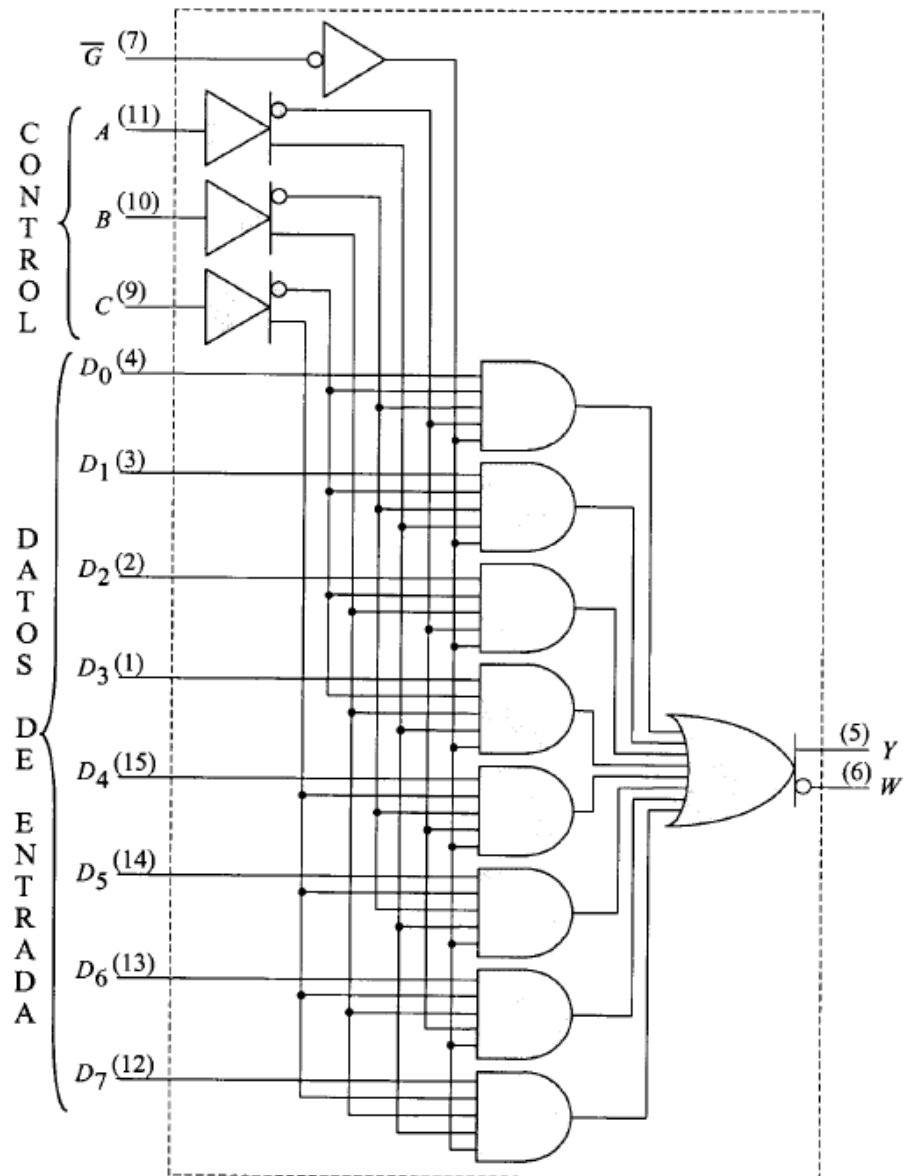
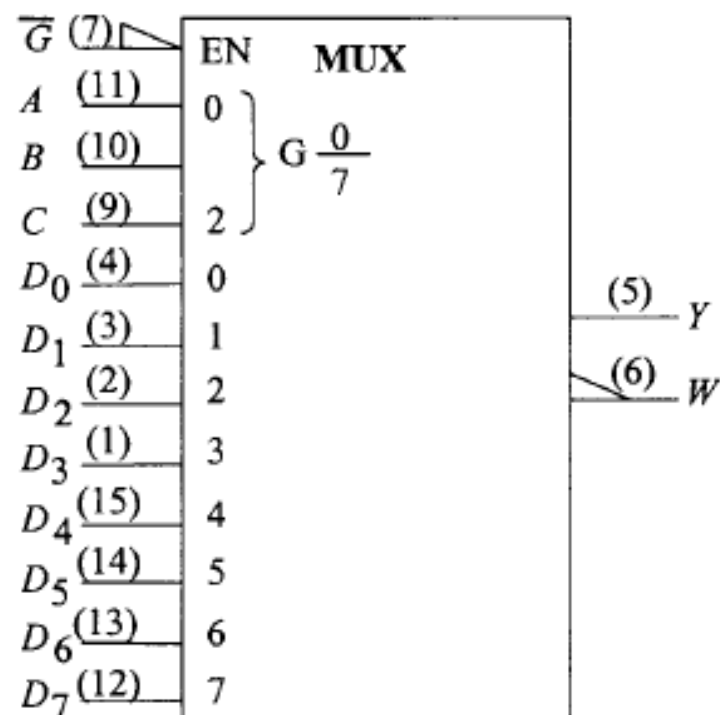


Figura 6.3. Circuito interno del Multiplexo AS151.

ENTRADAS				SALIDAS	
<i>Control de Canal</i>			<i>Strobe</i>		
<i>C</i>	<i>B</i>	<i>A</i>	$\overline{G}$	<i>Y</i>	<i>W</i>
x	x	x	H	<i>L</i>	<i>H</i>
L	L	L	L	<i>D</i> ₀	$\overline{D_0}$
L	L	H	L	<i>D</i> ₁	$\overline{D_1}$
L	H	L	L	<i>D</i> ₂	$\overline{D_2}$
L	H	H	L	<i>D</i> ₃	$\overline{D_3}$
H	L	L	L	<i>D</i> ₄	$\overline{D_4}$
H	L	H	L	<i>D</i> ₅	$\overline{D_5}$
H	H	L	L	<i>D</i> ₆	$\overline{D_6}$
H	H	H	L	<i>D</i> ₇	$\overline{D_7}$

(a)



(b)

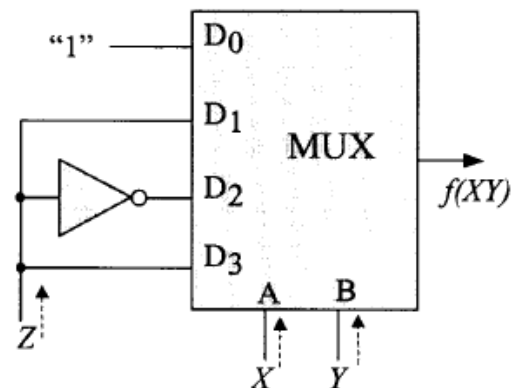
Figura 6.4. . (a) Tabla de verdad del Multiplexo AS151. (b) Símbolo lógico.

Síntesis de una función

1. Las variables de control (A , B) representan a dos variables cualesquiera de la función a sintetizar.
2. Los canales de datos (D_0 , D_1 , D_2 , D_3) se usan para la tercera variable (Z). El rango de valores para los D_i es $(0, 1, Z, \bar{Z})$. Si un determinado producto $X \cdot Y$ no existe, ponemos la D_i correspondiente a "0". Si existe y no tiene Z , ponemos su D_i a "1". Si tiene Z , ponemos el valor correspondiente ($\bar{Z}$ ó Z).

$A B$	$X Y$	Residuo	Valor de D_i
$m_0 = 0 0$	$\bar{X} \bar{Y}$	1	$D_0 = 1$
$m_1 = 0 1$	$\bar{X} Y$	Z	$D_1 = Z$
$m_2 = 1 0$	$X \bar{Y}$	$\bar{Z}$	$D_2 = \bar{Z}$
$m_3 = 1 1$	$X Y$	Z	$D_3 = Z$

(a)



(b)

Figura 6.5. Diseño de funciones lógicas usando multiplexos. Ilustración del ejemplo usando un multiplexo de cuatro entradas (D_0 , D_1 , D_2 y D_3) y dos líneas de control (A y B). (a) Tablas de la función a sintetizar y los valores de D_i para la variable residual. (b) Esquema de conexión del circuito.

6.2 Demultiplexos

- Circuito con “1” entradas, N salida y “n” patillas de selección, tal que $2^n = N$. Con la combinación binaria introducida en las patillas de selección (n), elegimos la salida N en la que aparecerá la entrada.

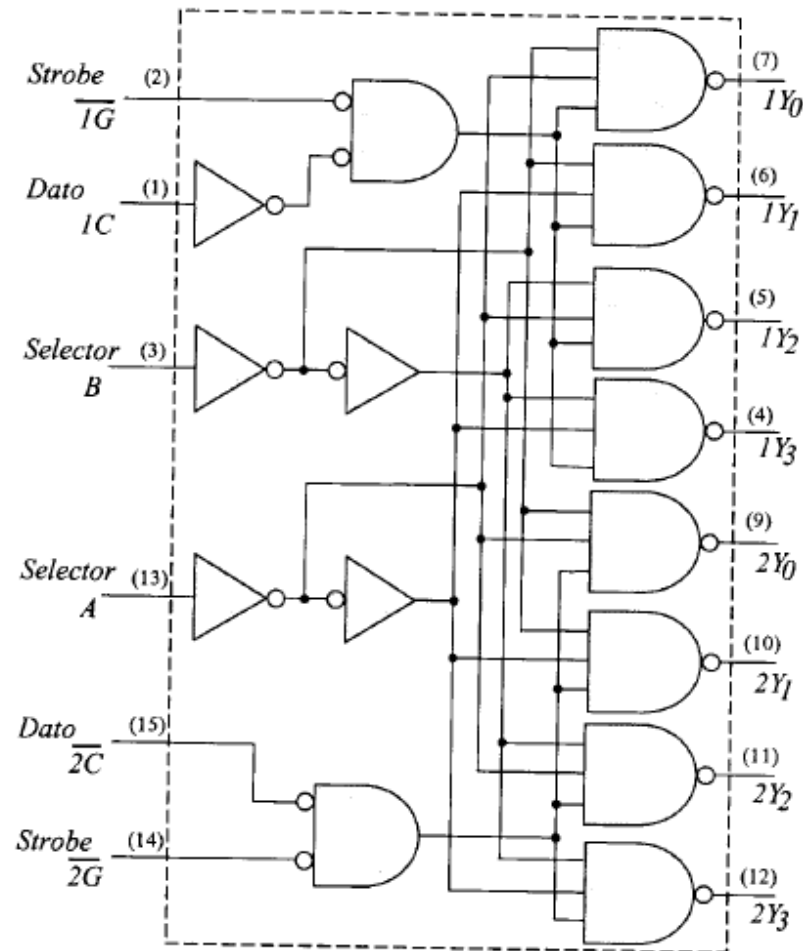
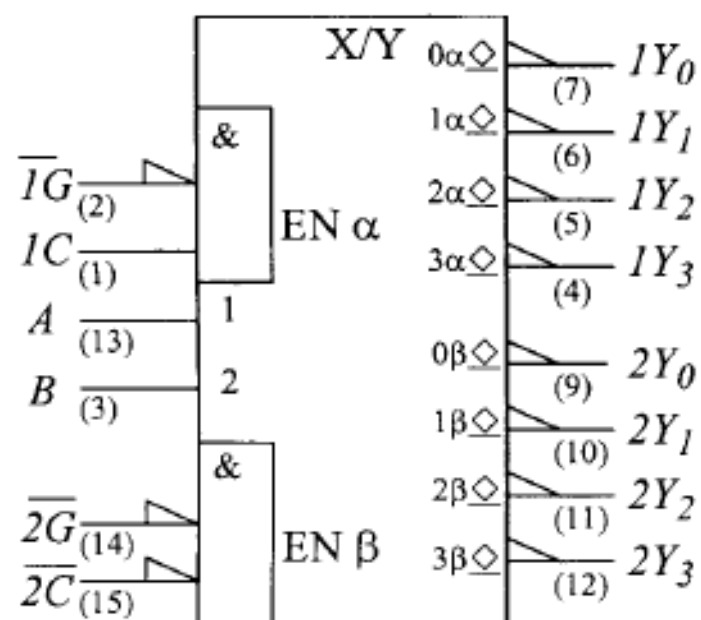
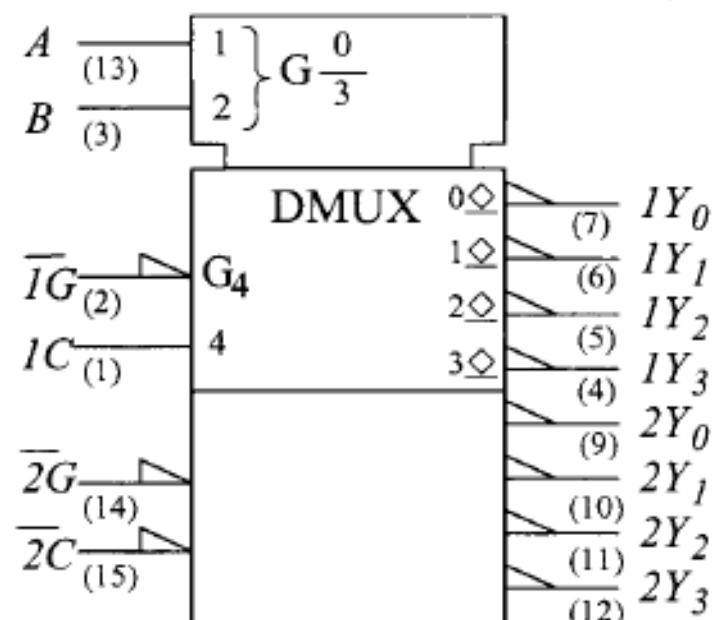


Figura 6.7. Circuito interno del SN74ALS156 que incluye dos demultiplexos 1 a 4 con direccionamiento común (A, B) y entrada de facilitación/inhibición individual ($\overline{1G}$ y $\overline{2G}$).



Decodificador de 2 a 4



Demultiplexo de 1 a 4

Figura 6.8. Símbolos lógicos del circuito ALS156. (a) Decodificador de 2 a 4. (b) DEMUX dual de 1 a 4.

ENTRADAS				SALIDAS			
Selección	Strobe	Dato					
B	A	$\overline{1G}$	1C	1Y ₀	1Y ₁	1Y ₂	1Y ₃
x	x	H	x	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

ENTRADAS				SALIDAS			
Selección	Strobe	Dato					
B	A	$2\overline{G}$	$2\overline{C}$	$2Y_0$	$2Y_1$	$2Y_2$	$2Y_3$
x	x	H	x	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

Figura 6.9. Circuito ALS156. Tablas de verdad para controlar el funcionamiento del circuito como decodificador de 2 a 4 y como DEMUX doble de 1 a 4.

Así pues, los circuitos demultiplexores/decodificadores intervienen en el diseño lógico a tres niveles:

- a) *Funciones específicas de distribución de datos.*
- b) *Funciones específicas de decodificación.*
- c) *Como módulos generales de diseño.*

DESCRIPCIÓN	TIPO de SALIDA	NOMBRE (SN74xxx)
DEMUX de 4 a 16	Tres estados	154
4 a 16	Colector abierto	159
4 a 10 (BCD a Decimal)	Dos estados	42
4 a 10 (Exceso 3 a Decimal)	Dos estados	43
3 a 8 con biestables en las tres líneas de dirección	Dos estados	137
Dual 2 a 4	Dos estados	139
BCD a Decimal	Colector abierto	141
BCD a Siete Segmentos	" "	246

Figura 6.10. Algunos ejemplos de circuitos demultiplexos y decodificadores específicos.

Uso como decodificador BCD a decimal

- El uso es muy sencillo, ya que, se pondrá la entrada a un nivel lógico fijo (1 o 0 según interese) y luego mediante la combinación binaria que metamos en las patillas de selección conseguiremos el nivel lógico introducido a la entrada en la salida seleccionada, conformando con ello un decodificador.

CÓDIGO BCD				DECIMAL
8	4	2	1	
<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	$\{D_i\}$
0	0	0	0	$D_0 = \overline{D} \overline{C} \overline{B} \overline{A}$
0	0	0	1	$D_1 = \overline{D} \overline{C} \overline{B} A$
0	0	1	0	$D_2 = \overline{D} \overline{C} B \overline{A}$
0	0	1	1	$D_3 = \overline{D} \overline{C} B A$
0	1	0	0	$D_4 = \overline{D} C \overline{B} \overline{A}$
0	1	0	1	$D_5 = \overline{D} C \overline{B} A$
0	1	1	0	$D_6 = \overline{D} C B \overline{A}$
0	1	1	1	$D_7 = \overline{D} C B A$
1	0	0	0	$D_8 = D \overline{C} \overline{B} \overline{A}$
1	0	0	1	$D_9 = D \overline{C} \overline{B} A$

Figura 6.11. Decodificador BCD a decimal. Tabla de verdad y funciones lógicas asociadas a cada dígito decimal.

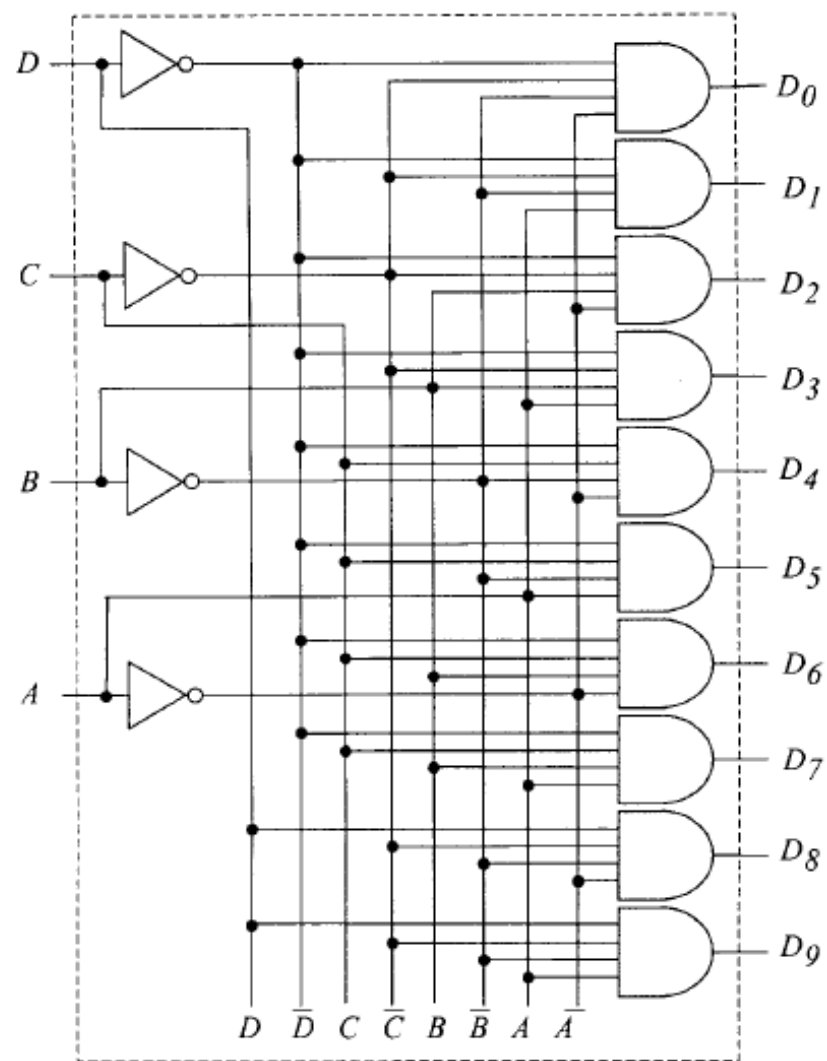
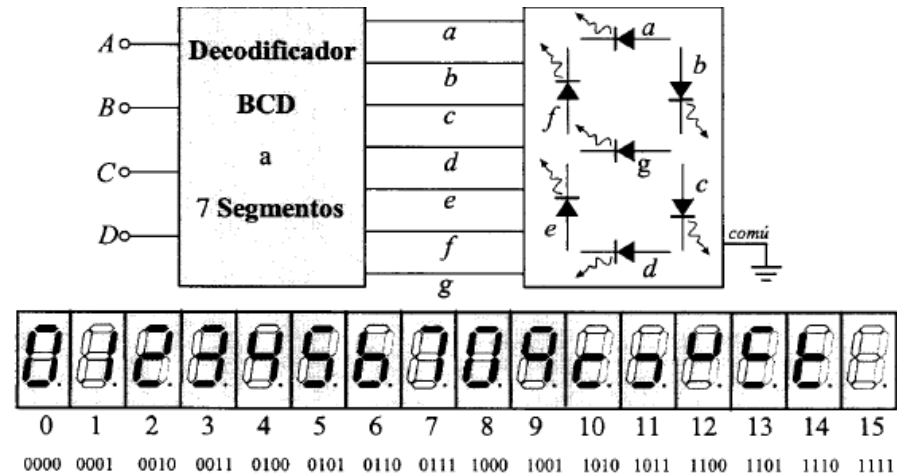


Figura 6.12. Síntesis del decodificador BCD a decimal.

Decodificador BCD a 7 segmentos



(a)

	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	0	0	0	1	1	0	1
11	1	0	1	1	0	0	1	1	0	0	1
12	1	1	0	0	0	1	0	0	0	1	1
13	1	1	0	1	1	0	0	1	0	1	1
14	1	1	1	0	0	0	0	1	1	1	1
15	1	1	1	1	0	0	0	0	0	0	0

(b)

Figura 6.13. Decodificador BCD a 7 segmentos. (a) Código de diodos usado para representar los dígitos. (b) Tablas de verdad.

Síntesis del segmento a

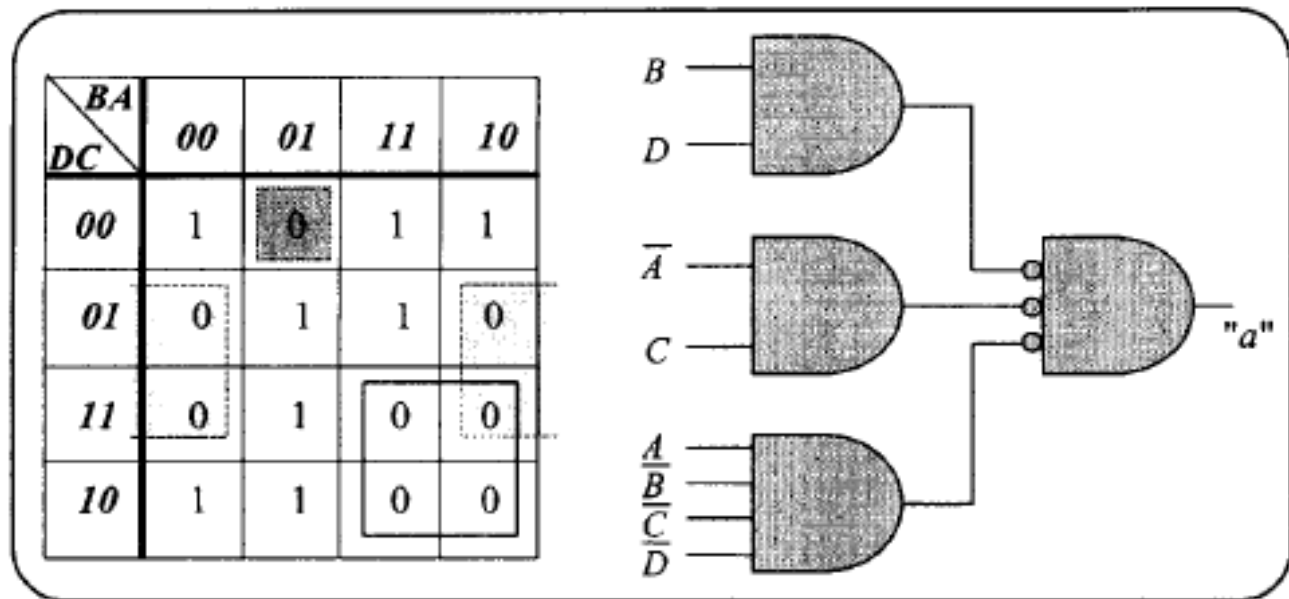


Figura 6.14. Síntesis del segmento "a".

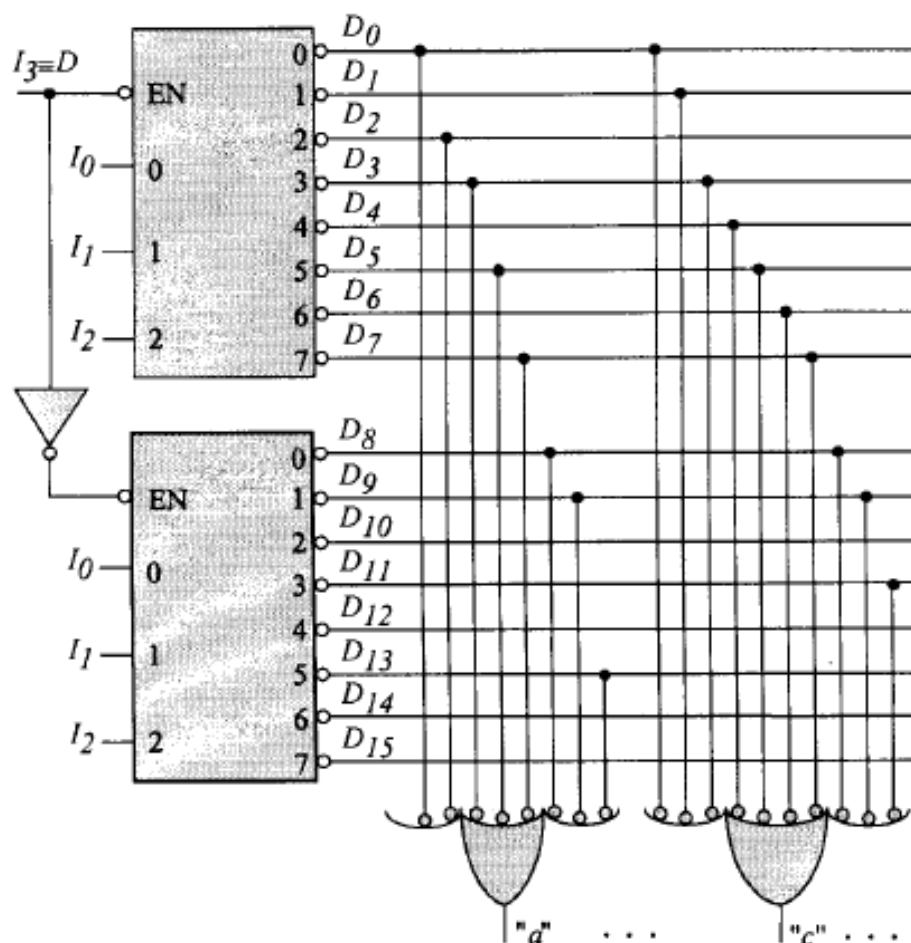


Figura 6.15. Uso de circuitos demultiplexores en la síntesis de funciones lógicas. Ejemplo de uso de dos circuitos 3 a 8 conectados a través del terminal de facilitación/inhibición para producir 16 términos mínimos. Las puertas OR con las conexiones indicadas sintetizan los segmentos "a" y "c" del decodificador del ejemplo anterior.

6.3 Codificadores con prioridad

- Un circuito codificador genera una salida en función del código correspondiente a la entrada activa.
- Si están activadas más de una entrada es necesario establecer un criterio de prioridad de forma que en todo momento sólo se genere el código de la línea más prioritaria de entre todas las activas.
- A este tipo de codificadores se les denomina codificadores con prioridad

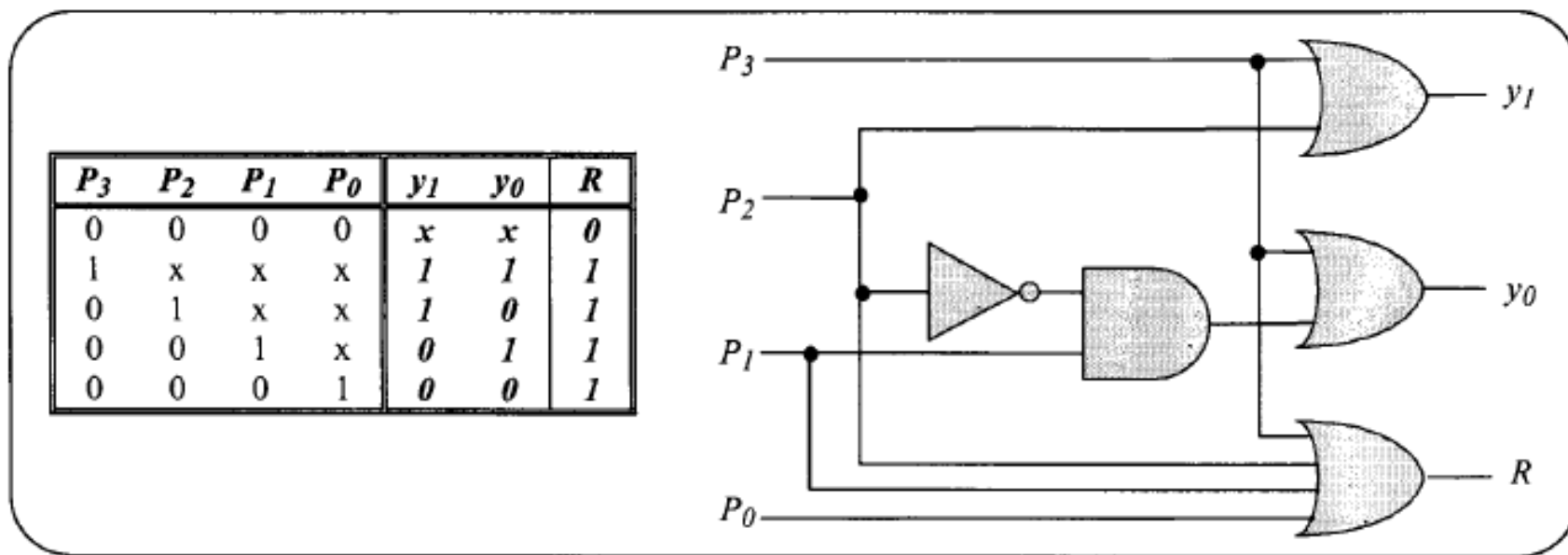


Figura 6.16. Tabla de verdad y circuito correspondiente al diseño de un codificador con cuatro niveles de prioridad. Se considera que P_3, P_2, P_1, P_0 y R son activas en baja y que y_1 e y_0 son activas en alta.

<i>Entradas</i>									<i>Salidas</i>			
1	2	3	4	5	6	7	8	9	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>
H	H	H	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>
x	x	x	x	x	x	x	x	L	<i>L</i>	<i>H</i>	<i>H</i>	<i>L</i>
x	x	x	x	x	x	x	L	H	<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>
x	x	x	x	x	x	L	H	H	<i>H</i>	<i>L</i>	<i>L</i>	<i>L</i>
x	x	x	x	x	L	H	H	H	<i>H</i>	<i>L</i>	<i>L</i>	<i>H</i>
x	x	x	x	L	H	H	H	H	<i>H</i>	<i>L</i>	<i>H</i>	<i>L</i>
x	x	x	L	H	H	H	H	H	<i>H</i>	<i>L</i>	<i>H</i>	<i>H</i>
x	x	L	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>
x	L	H	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>
L	H	H	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>

Figura 6.17. Tabla de verdad correspondiente al codificador con prioridad SN74147.

6.4 Amplificadores (Buffers-Drivers) y Transmisores-Receptores de Bus

- Circuitos integrados que sirven para amplificar la corriente de las señales y para configurar los buses de comunicación de los sistemas microprocesadores

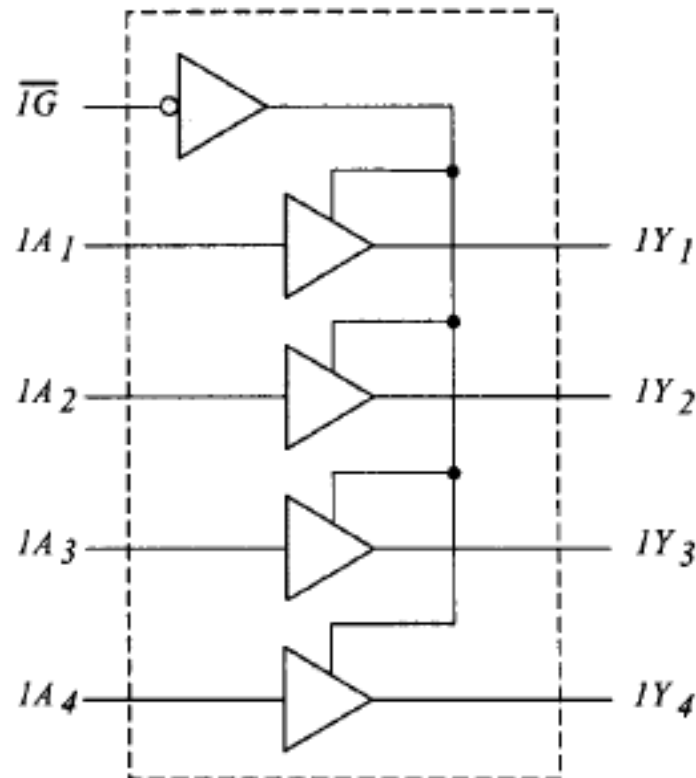
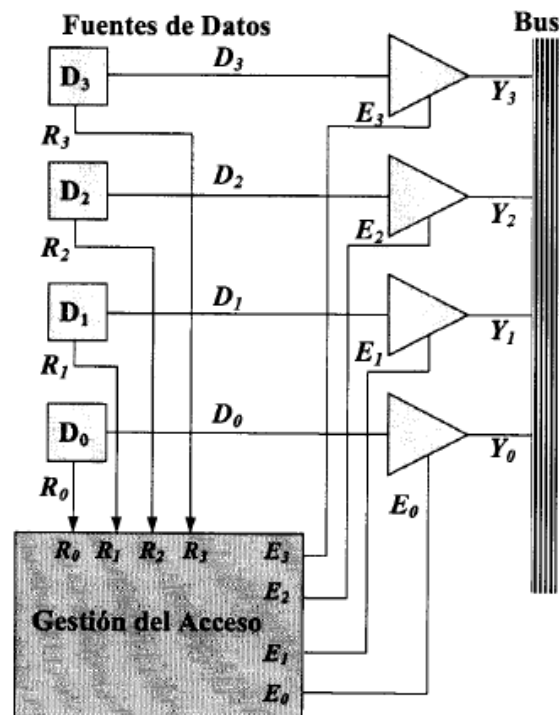


Figura 6.19. Circuitos amplificadores (“Buffers-Drivers”) tipo ALS760 (medio circuito).



Gestión del Acceso							
R_3	R_2	R_1	R_0	E_3	E_2	E_1	E_0
1	x	x	x	1	0	0	0
0	1	x	x	0	1	0	0
0	0	1	x	0	0	1	0
0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0

$E_3 = R_3$, $E_2 = \overline{R_3} R_2$, $E_1 = \overline{R_3} \overline{R_2} R_1$, $E_0 = \overline{R_3} \overline{R_2} \overline{R_1} R_0$

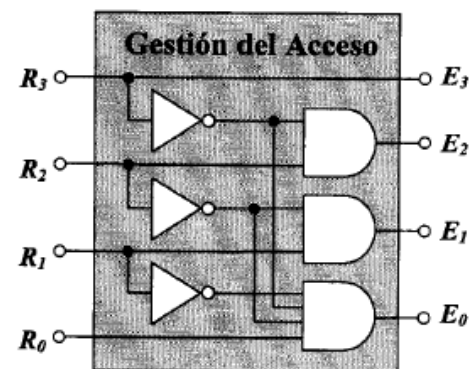


Figura 6.21. Gestión del acceso a un bus de cuatro fuentes de datos..

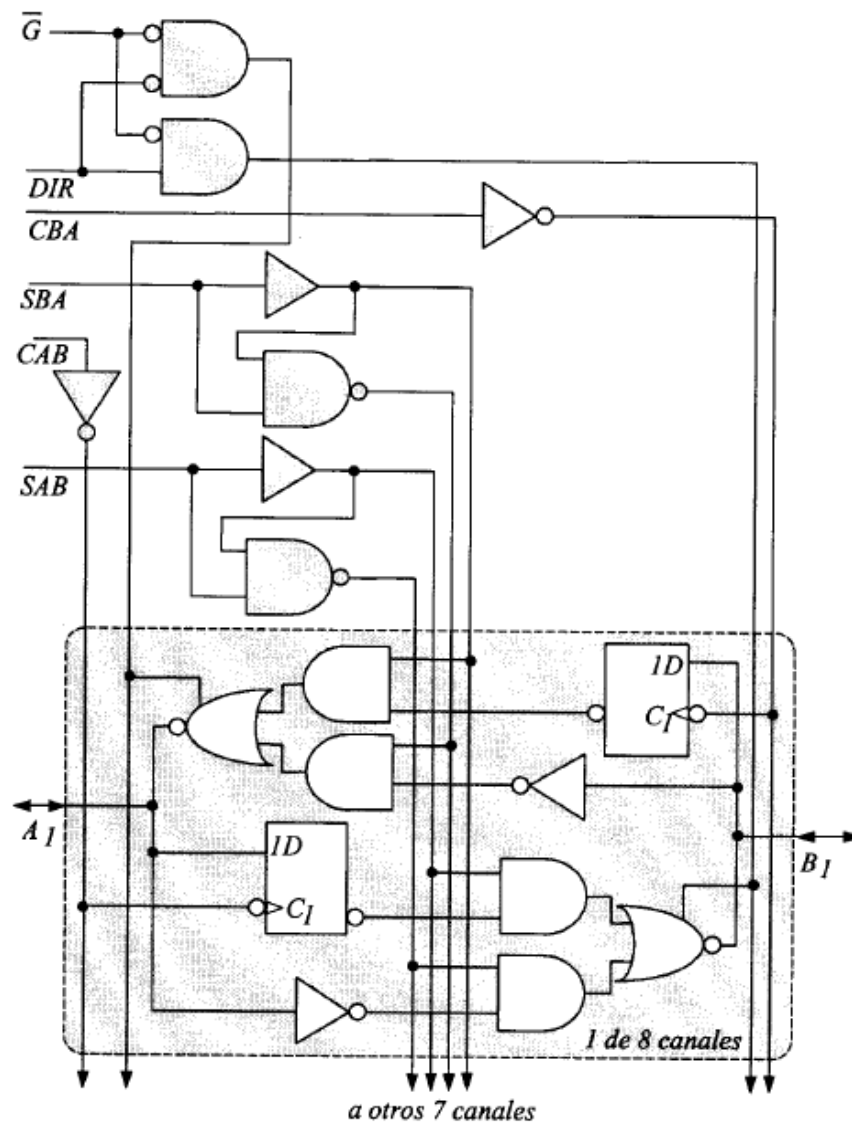


Figura 6.22. Circuito interno del octal bus transceiver ALS646