

# FUNDAMENTOS DE SISTEMAS DIGITALES

**Tema 3:**

**Lógica combinacional (II):**

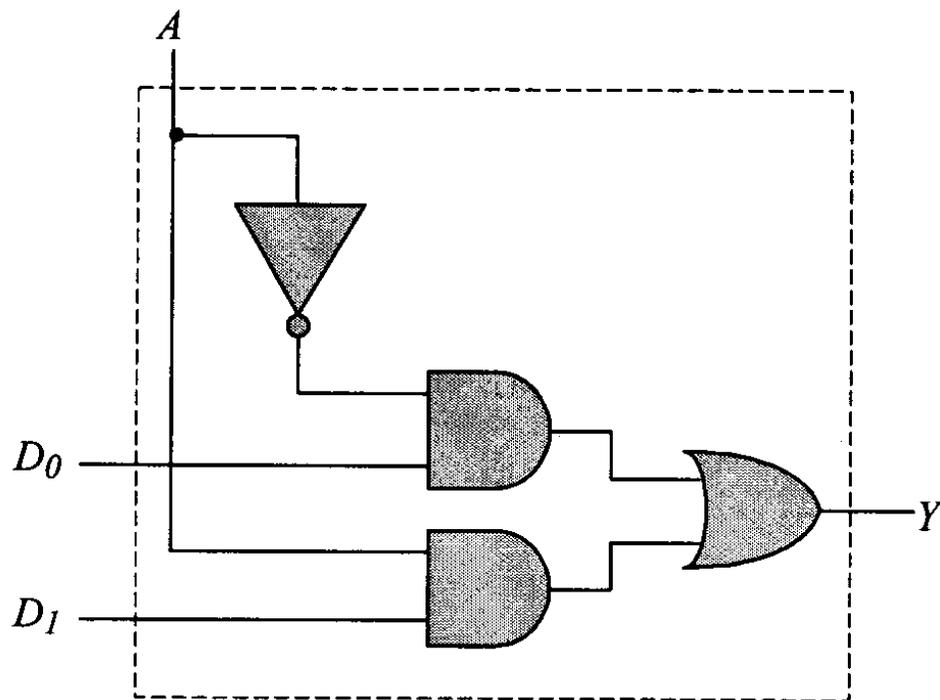
**Ruta de datos**

# Programa

- 1. Circuitos selectores de datos (multiplexores).**
- 2. Demultiplexores.**
- 3. Codificadores con prioridad.**
- 4. Amplificadores (buffers-drivers) y transmisores-receptores de bus.**

# 1. Circuitos selectores de datos

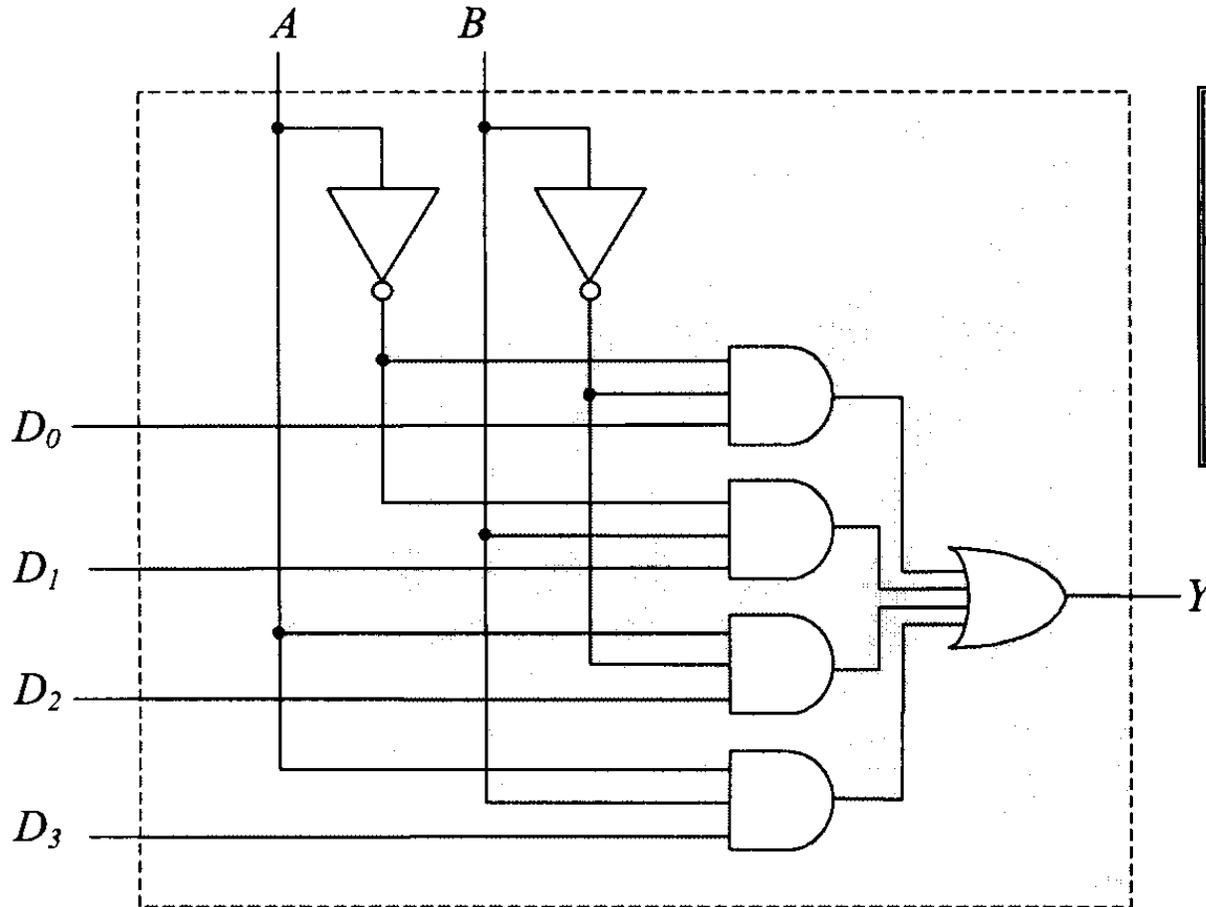
- Un multiplexor de **N** a 1 es un circuito combinacional que permite situar en un canal de salida la señal procedente de cualquiera de los **N** canales de entrada.
  - Selección del canal: mediante **n** variables binarias tales que **2<sup>n</sup>=N**.
- Multiplexor de 2 a 1:



<i>Control</i>	<i>Salida</i>
<i>A</i>	<i>Y</i>
0	<i>D<sub>0</sub></i>
1	<i>D<sub>1</sub></i>

# Circuitos selectores de datos

- Multiplexor de 4 a 1:

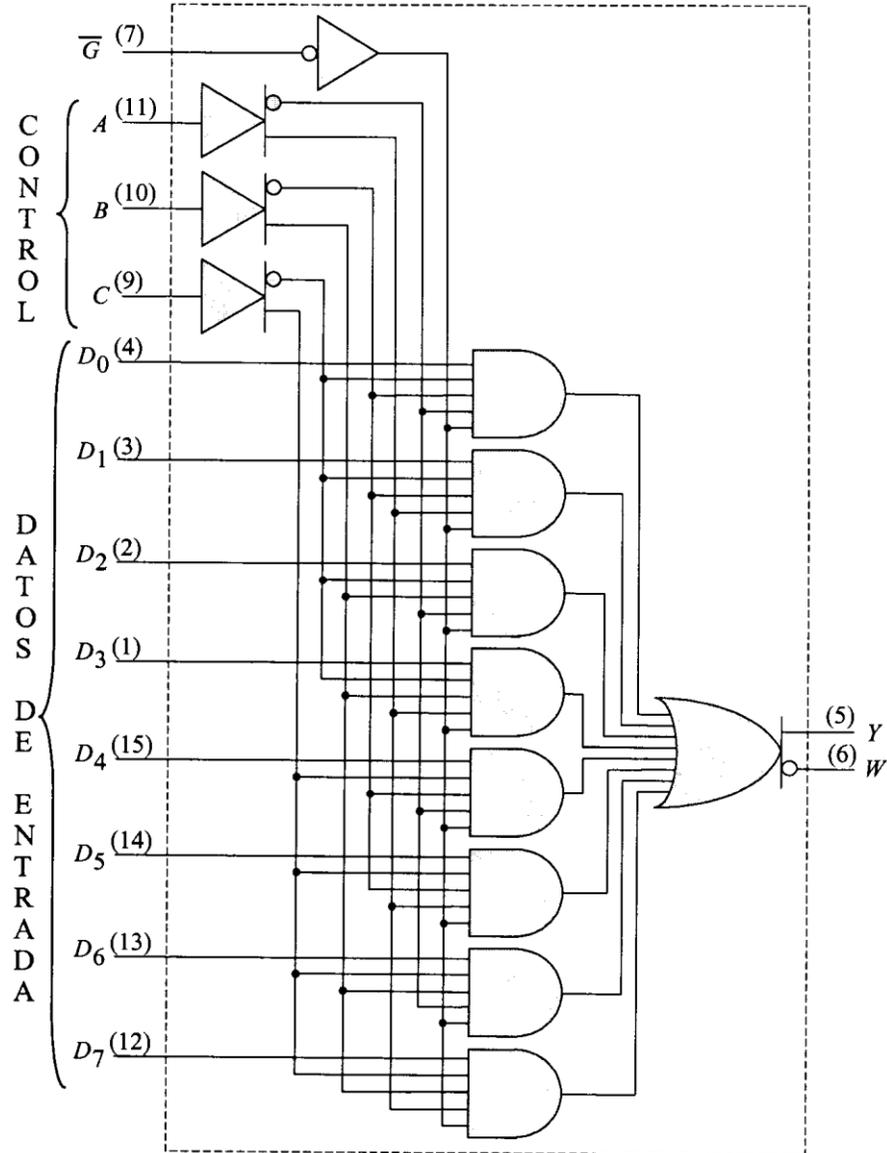


Control		Salidas
A	B	Y
0	0	$D_0$
0	1	$D_1$
1	0	$D_2$
1	1	$D_3$

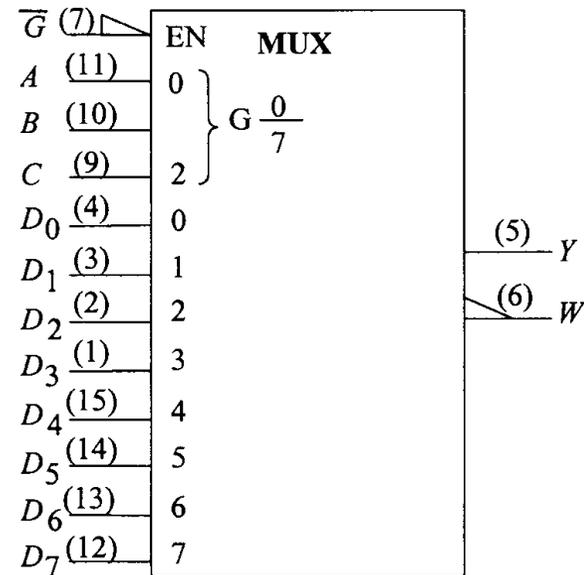
- Los multiplexores suelen llevar una señal de habilitación (*Strobe*) que controla su funcionamiento (si está inactiva, el multiplexor no deja pasar ninguna información).

# Circuitos selectores de datos

- Multiplexor AS151:



ENTRADAS				SALIDAS	
Control de Canal			Strobe	Y	W
C	B	A	$\overline{G}$		
x	x	x	H	L	H
L	L	L	L	$D_0$	$\overline{D_0}$
L	L	H	L	$D_1$	$\overline{D_1}$
L	H	L	L	$D_2$	$\overline{D_2}$
L	H	H	L	$D_3$	$\overline{D_3}$
H	L	L	L	$D_4$	$\overline{D_4}$
H	L	H	L	$D_5$	$\overline{D_5}$
H	H	L	L	$D_6$	$\overline{D_6}$
H	H	H	L	$D_7$	$\overline{D_7}$



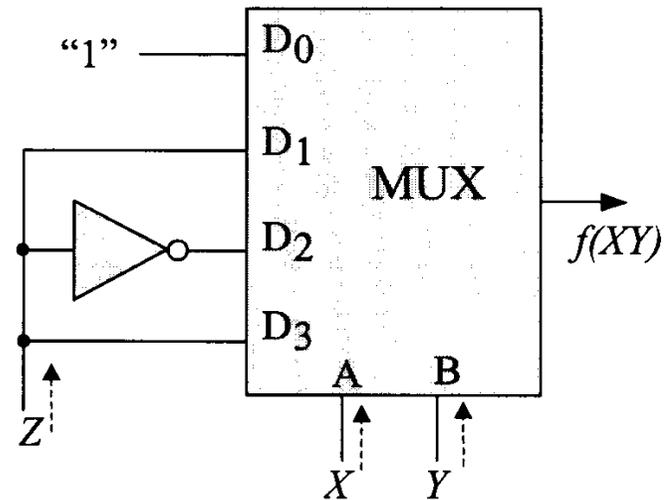
# Síntesis de funciones con multiplexores

- Función lógica de la salida de un multiplexor: 
$$Y = \left[ \sum_{i=0}^{2^n-1} D_i \cdot m_i \right] \cdot \overline{G}$$

- Con un multiplexor de  $2^n$  entradas podemos generar fácilmente una función lógica de  $n-1$  variables.
  1. Dos de las variables de la función se introducen por las entradas de las variables de control del multiplexor.
  2. Los canales de entrada de datos se utilizan para introducir la tercera variable.

- Ejemplo: función en 3 variables  $f(X,Y,Z) = \overline{X}\overline{Y} + \overline{X}YZ + X\overline{Y}\overline{Z} + XYZ$

<i>A B</i>	<i>XY</i>	<i>Residuo</i>	<i>Valor de D<sub>i</sub></i>
$m_0 = 00$	$\overline{X}\overline{Y}$	1	$D_0 = 1$
$m_1 = 01$	$\overline{X}Y$	Z	$D_1 = Z$
$m_2 = 10$	$X\overline{Y}$	$\overline{Z}$	$D_2 = \overline{Z}$
$m_3 = 11$	$XY$	Z	$D_3 = Z$



# Síntesis de funciones con multiplexores

- Cuando hay más variables, es preciso realizar un diseño en árbol, con varios niveles de multiplexores.
- Ejemplo: función en 5 variables con multiplexores de 4 a 1.

$$f(X,Y,Z,U,V) = \bar{X}\bar{Y}\bar{Z}\bar{U}V + \bar{X}\bar{Y}U\bar{V} + X\bar{Y}ZU\bar{V} + X\bar{Y}\bar{Z}U\bar{V} + XYZUV + XY\bar{Z}\bar{U}\bar{V}$$

– Dejamos para el segundo nivel las variables X e Y:

$$f(X,Y,Z,U,V) = \overbrace{\bar{X}\bar{Y}}^{D_0} \left( \overbrace{\bar{Z}\bar{U}V + U\bar{V}}^{D_1} \right) + \overbrace{\bar{X}Y}^{D_1} (0) + \overbrace{X\bar{Y}}^{D_2} \left( \overbrace{ZU\bar{V} + \bar{Z}U\bar{V}}^{D_3} \right) + \overbrace{XY}^{D_3} \left( \overbrace{ZUV + \bar{Z}\bar{U}\bar{V}}^{D_3} \right)$$

– Para el primer nivel, introduciremos U y V como variables de control y Z por las entradas de datos:

▪ D0 del segundo nivel:  $\overbrace{(\bar{Z}\bar{U}V + U\bar{V})}^{D_0} = \overbrace{U\bar{V}}^{D_0} (0) + \overbrace{UV}^{D_0} (\bar{Z}) + \overbrace{U\bar{V}}^{D_0} (1) + \overbrace{UV}^{D_0} (0)$

▪ D1 del segundo nivel: 0.

▪ D2 del segundo nivel:  $\overbrace{(ZU\bar{V} + \bar{Z}U\bar{V})}^{D_2} = \overbrace{U\bar{V}}^{D_2} (0) + \overbrace{UV}^{D_2} (0) + \overbrace{U\bar{V}}^{D_2} (Z + \bar{Z}) + \overbrace{UV}^{D_2} (0)$

▪ D3 del segundo nivel:  $\overbrace{(ZUV + \bar{Z}\bar{U}\bar{V})}^{D_3} = \overbrace{U\bar{V}}^{D_3} (\bar{Z}) + \overbrace{UV}^{D_3} (0) + \overbrace{U\bar{V}}^{D_3} (0) + \overbrace{UV}^{D_3} (Z)$

# Síntesis de funciones con multiplexores

- Ejemplo: circuito para la función en 5 variables
- Segundo nivel

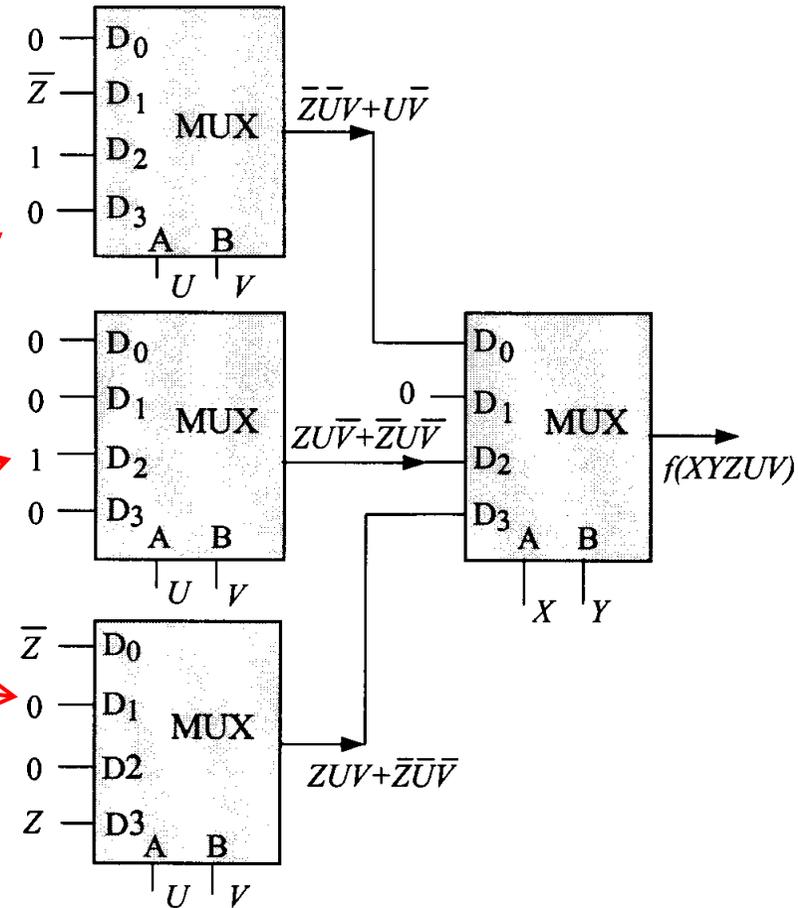
$$f(X,Y,Z,U,V) = \overline{X}\overline{Y}(\overline{Z}\overline{U}V + U\overline{V}) + \overline{X}Y(0) + X\overline{Y}(ZU\overline{V} + \overline{Z}U\overline{V}) + XY(ZUV + \overline{Z}\overline{U}\overline{V})$$

- Primer nivel

$$(\overline{Z}\overline{U}V + U\overline{V}) = \overline{U}\overline{V}(0) + \overline{U}V(\overline{Z}) + U\overline{V}(1) + UV(0)$$

$$(ZU\overline{V} + \overline{Z}U\overline{V}) = \overline{U}\overline{V}(0) + \overline{U}V(0) + U\overline{V}(Z + \overline{Z}) + UV(0)$$

$$(ZUV + \overline{Z}\overline{U}\overline{V}) = \overline{U}\overline{V}(\overline{Z}) + \overline{U}V(0) + U\overline{V}(0) + UV(Z)$$



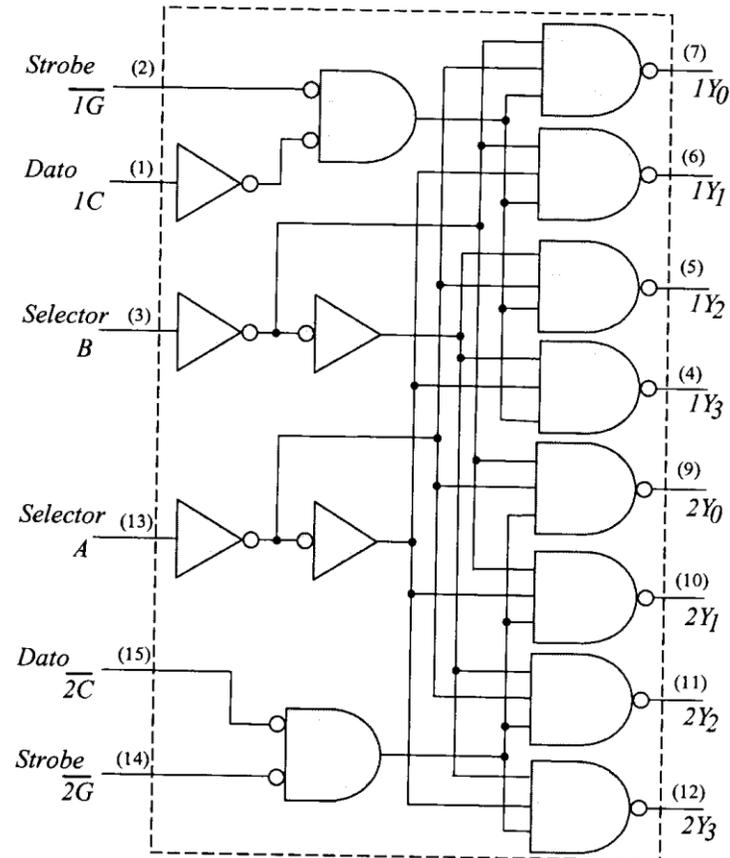
# Programa

1. Circuitos selectores de datos (multiplexores).
2. **Demultiplexores.**
3. Codificadores con prioridad.
4. Amplificadores (buffers-drivers) y transmisores-receptores de bus.

# 2. Demultiplexores

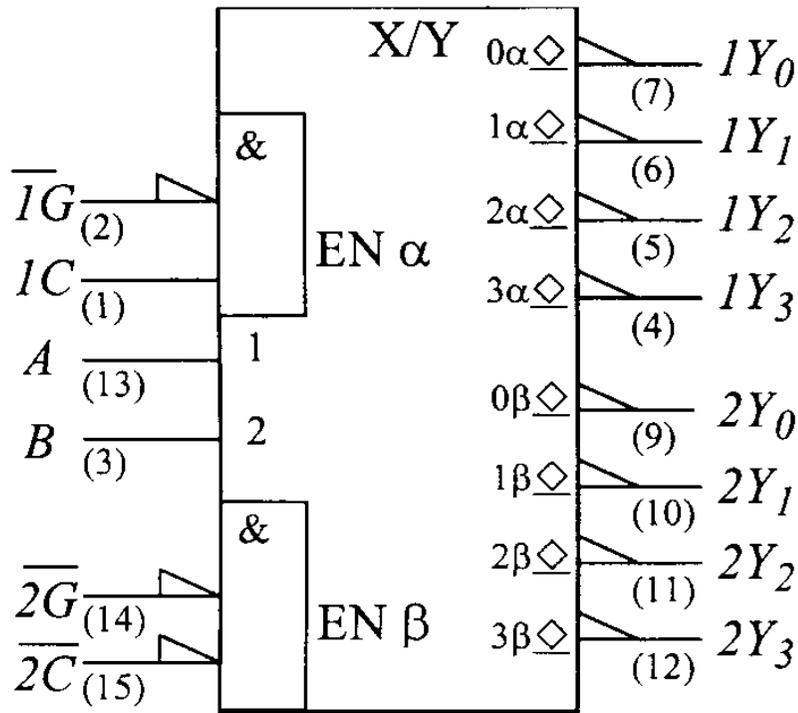
- Realizan la función opuesta a los multiplexores: un demultiplexor de 1 a  $2^n$  es un circuito con una única línea de entrada y  $2^n$  líneas de salida, controladas por  $n$  variables binarias, de modo que la entrada va al canal de salida indicado por la combinación de las variables de control.
  - Los demultiplexores también cuentan con señal de *Strobe*.

- Ejemplo: SN74ALS156 con dos demultiplexores de 1 a 4 con direccionamiento común, entradas de habilitación individual y salidas activas por nivel bajo.

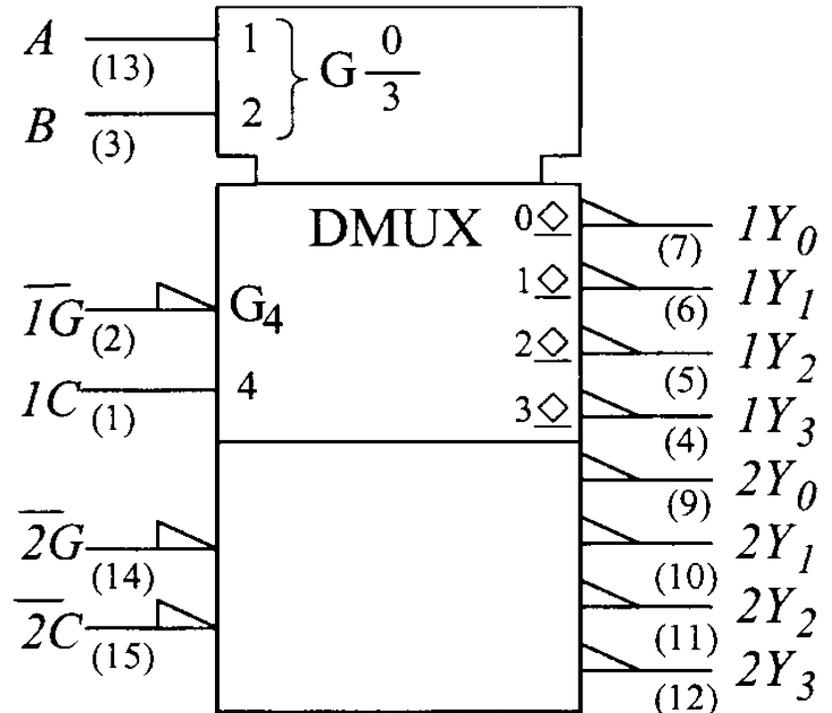


# Demultiplexores y decodificadores

- Los demultiplexores son equivalentes a los decodificadores
  - **Decodificador:** circuito con  $n$  entradas y  $2^n$  salidas, de modo que en cada momento se activa la salida que corresponde con la combinación binaria de las entradas.
- Ejemplo: SN74ALS156 como demultiplexor y como decodificador.



Decodificador de 2 a 4



Demultiplexo de 1 a 4

# Demultiplexores y decodificadores

- Ejemplo: tablas de verdad del SN74ALS156.

ENTRADAS				SALIDAS			
Selección		Strobe	Dato				
B	A	$\overline{1G}$	1C	1Y <sub>0</sub>	1Y <sub>1</sub>	1Y <sub>2</sub>	1Y <sub>3</sub>
x	x	H	x	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

ENTRADAS				SALIDAS			
Selección		Strobe	Dato				
B	A	$\overline{2G}$	$\overline{2C}$	2Y <sub>0</sub>	2Y <sub>1</sub>	2Y <sub>2</sub>	2Y <sub>3</sub>
x	x	H	x	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

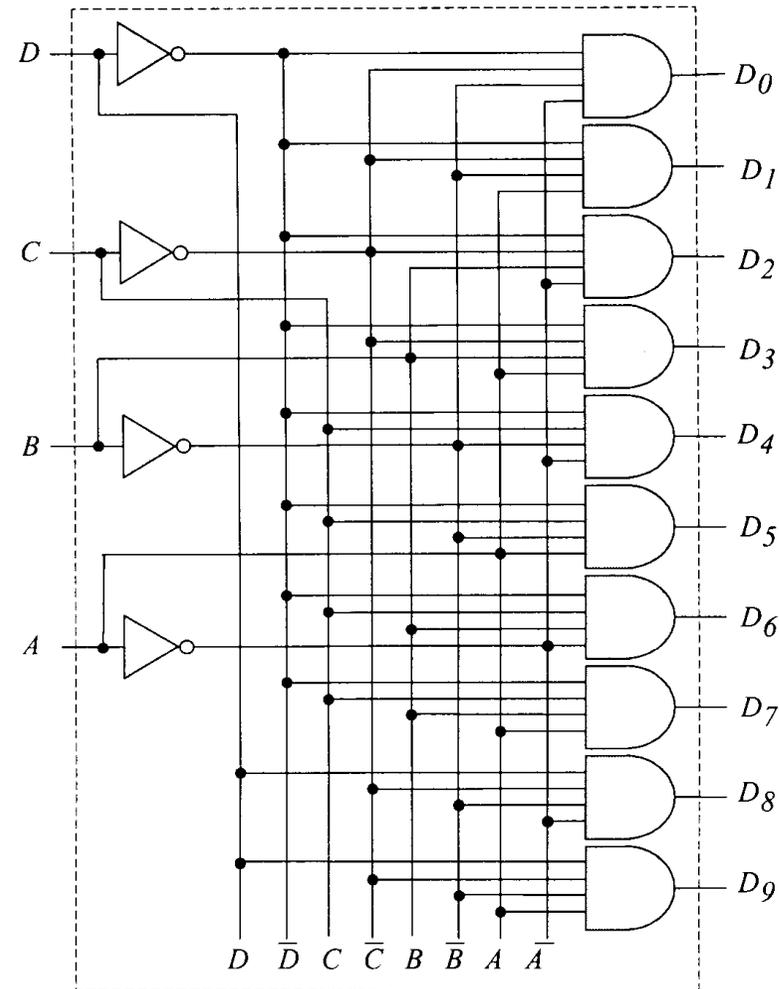
- Entrada 1C activa por nivel alto.
- Entrada  $\overline{2C}$  activa por nivel bajo.
- Los decodificadores de **n** a **2<sup>n</sup>** sirven para implementar funciones de **n** variables:
  - Cada salida del decodificador representa un minterm, y basta con poner una OR que reciba como entradas los minterms de la FND.

# Síntesis de decodificadores

- **BCD** (*binary coded decimal*): sistema de numeración decimal en binario, que representa cada dígito decimal mediante 4 dígitos binarios.
  - Sólo son válidos los códigos del 0000 (0) al 1001 (9).

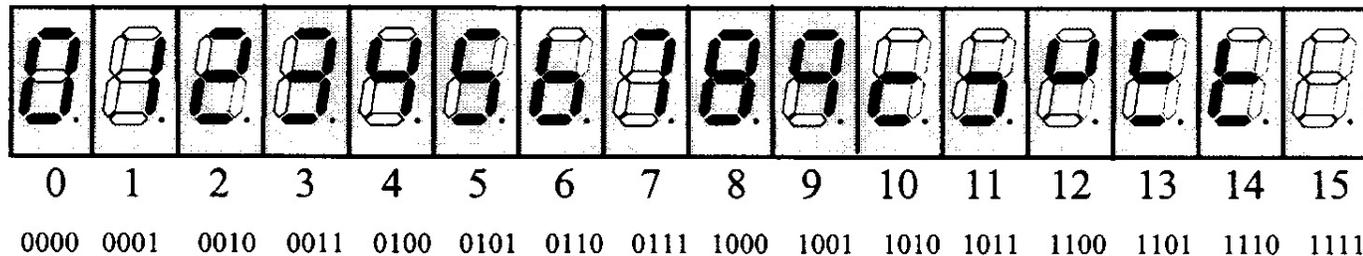
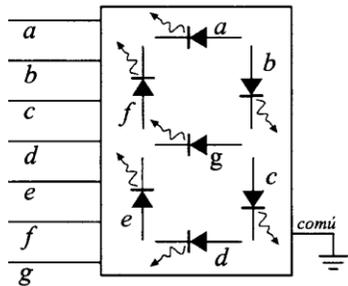
- Decodificador de BCD a decimal:

CÓDIGO BCD				DECIMAL $\{D_i\}$
8	4	2	1	
$D$	$C$	$B$	$A$	
0	0	0	0	$D_0 = \overline{D} \overline{C} \overline{B} \overline{A}$
0	0	0	1	$D_1 = \overline{D} \overline{C} \overline{B} A$
0	0	1	0	$D_2 = \overline{D} \overline{C} B \overline{A}$
0	0	1	1	$D_3 = \overline{D} \overline{C} B A$
0	1	0	0	$D_4 = \overline{D} C \overline{B} \overline{A}$
0	1	0	1	$D_5 = \overline{D} C \overline{B} A$
0	1	1	0	$D_6 = \overline{D} C B \overline{A}$
0	1	1	1	$D_7 = \overline{D} C B A$
1	0	0	0	$D_8 = D \overline{C} \overline{B} \overline{A}$
1	0	0	1	$D_9 = D \overline{C} \overline{B} A$



# Síntesis de decodificadores

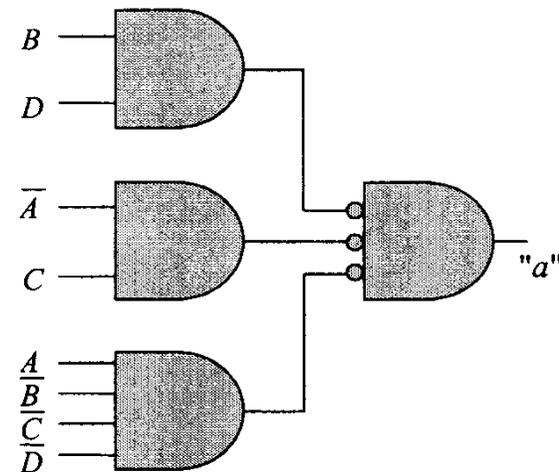
- **Visualizador (*display*) de 7 segmentos:** dispositivo que permite presentar un dígito o letra mediante 7 segmentos luminosos formados por diodos led o cristales líquidos.



- **Decodificador de BCD a 7 segmentos:** tabla de verdad y síntesis del segmento "a".

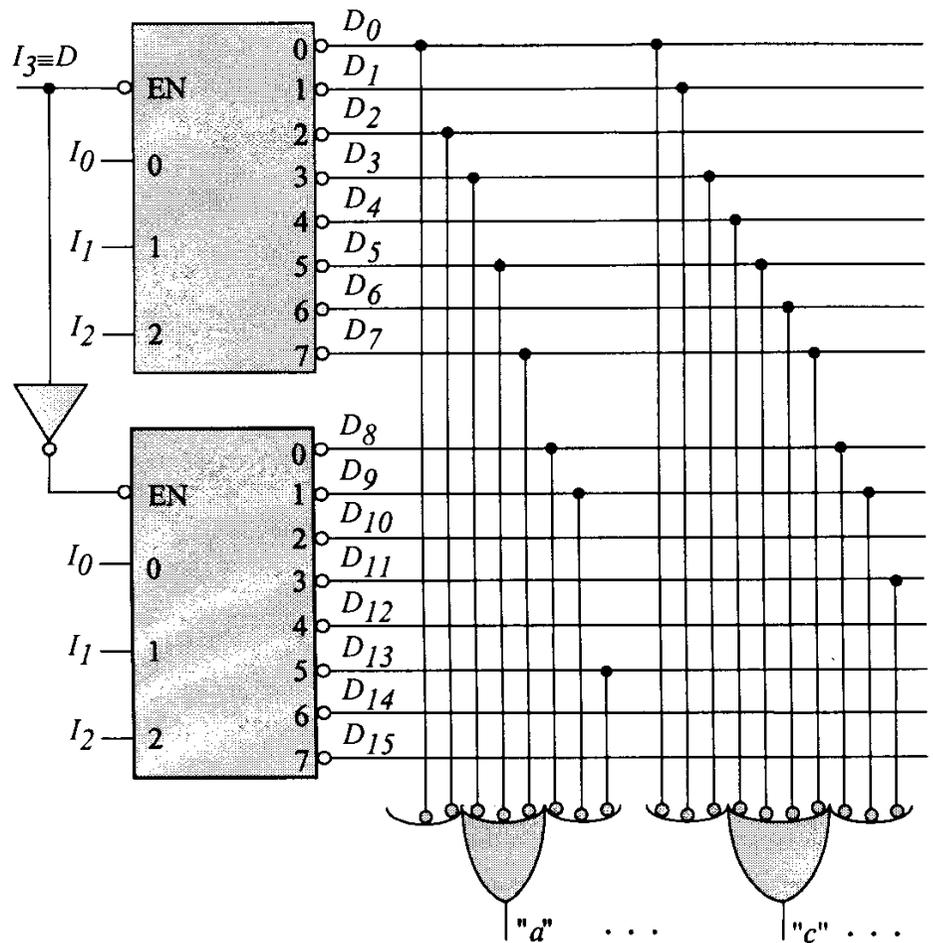
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
10	1	0	1	0	0	0	0	1	1	0	1
11	1	0	1	1	0	0	1	1	0	0	1
12	1	1	0	0	0	1	0	0	0	1	1
13	1	1	0	1	1	0	0	1	0	1	1
14	1	1	1	0	0	0	0	1	1	1	1
15	1	1	1	1	0	0	0	0	0	0	0

BA \ DC	00	01	11	10
00	1	0	1	1
01	0	1	1	0
11	0	1	0	0
10	1	1	0	0



# Síntesis de decodificadores

- Decodificador de BCD a 7 segmentos mediante dos SN74138 (decodificador de 3 a 8):
- La entrada de datos más significativa la usamos para introducirla por las respectivas entradas de *Strobe* (una afirmada y la otra negada):



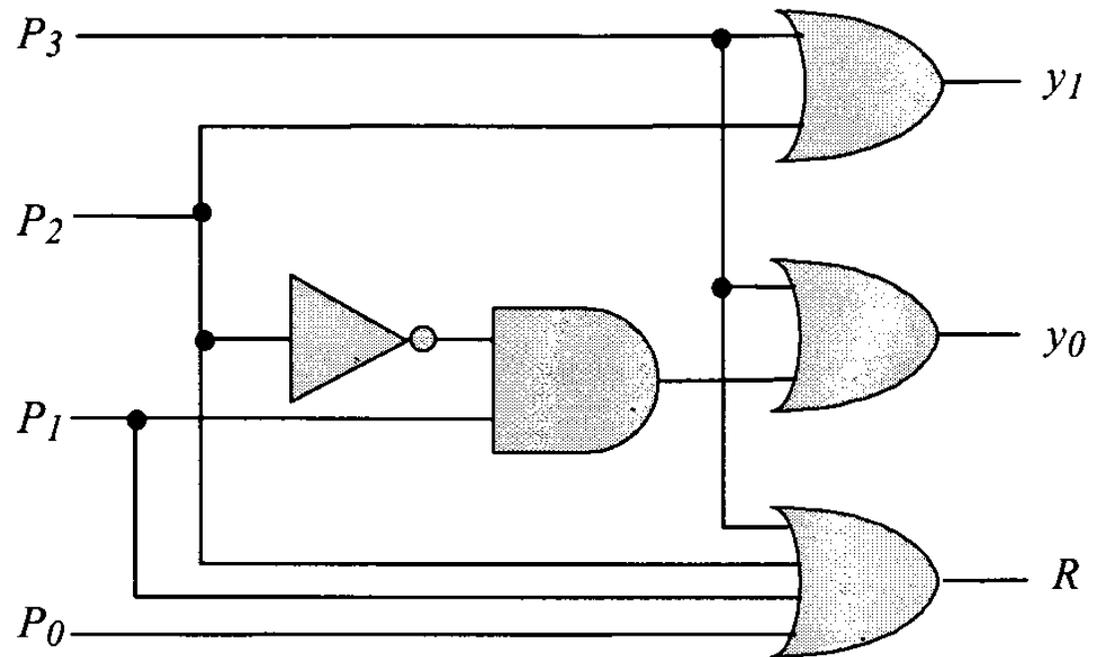
# Programa

1. Circuitos selectores de datos (multiplexores).
2. Demultiplexores.
3. **Codificadores con prioridad.**
4. Amplificadores (buffers-drivers) y transmisores-receptores de bus.

## 3. Codificadores con prioridad

- Un codificador genera a la salida el código correspondiente a la línea de entrada que está activa.
  - Si hay más de una entrada activa, es preciso establecer un criterio de prioridad.
  - Normalmente la más prioritaria es la más alta.
- Ejemplo: síntesis de un codificador de 4 entradas con prioridad.

$P_3$	$P_2$	$P_1$	$P_0$	$y_1$	$y_0$	$R$
0	0	0	0	$x$	$x$	0
1	$x$	$x$	$x$	1	1	1
0	1	$x$	$x$	1	0	1
0	0	1	$x$	0	1	1
0	0	0	1	0	0	1

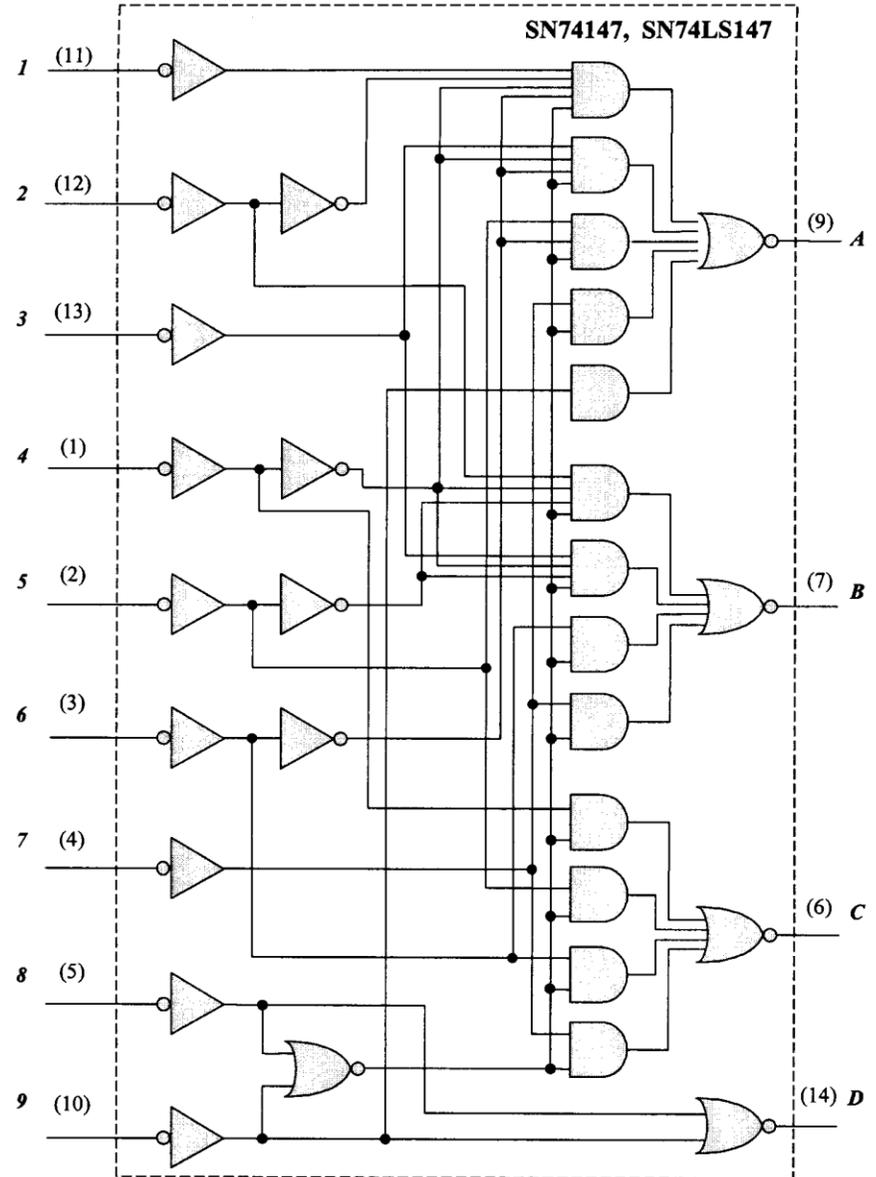


# Codificadores con prioridad

- Circuito SN74147 de 9 líneas de datos en decimal a 4 líneas en BCD:

<i>Entradas</i>									<i>Salidas</i>			
1	2	3	4	5	6	7	8	9	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>
H	H	H	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>H</i>	<i>H</i>
x	x	x	x	x	x	x	x	L	<i>L</i>	<i>H</i>	<i>H</i>	<i>L</i>
x	x	x	x	x	x	x	L	H	<i>L</i>	<i>H</i>	<i>H</i>	<i>H</i>
x	x	x	x	x	x	L	H	H	<i>H</i>	<i>L</i>	<i>L</i>	<i>L</i>
x	x	x	x	x	L	H	H	H	<i>H</i>	<i>L</i>	<i>L</i>	<i>H</i>
x	x	x	L	H	H	H	H	H	<i>H</i>	<i>L</i>	<i>H</i>	<i>H</i>
x	x	L	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>L</i>	<i>L</i>
x	L	H	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>L</i>	<i>H</i>
L	H	H	H	H	H	H	H	H	<i>H</i>	<i>H</i>	<i>H</i>	<i>L</i>

- Entradas y salidas activas por nivel bajo.



# Programa

1. Circuitos selectores de datos (multiplexores).
2. Demultiplexores.
3. Codificadores con prioridad.
4. **Amplificadores (buffers-drivers) y transmisores-receptores de bus.**

## 4. Amplificadores y transmisores-receptores de bus

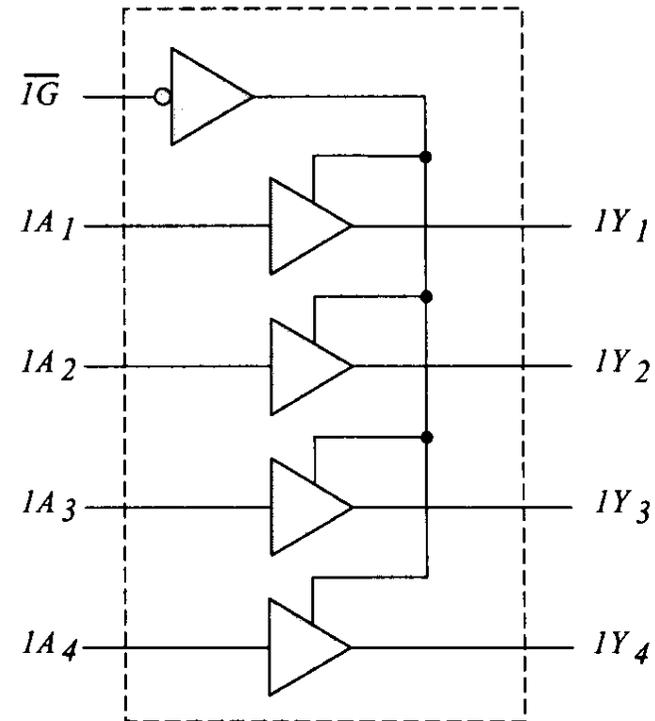
- Bus: canal de comunicación al que se conectan varios dispositivos con capacidad de poner información o leerla.
  - En un bus, no es posible que varios elementos conectados pongan información en el mismo simultáneamente, ya que se mezclarían todos los valores y no se podría leer la información correcta.
- Los amplificadores (*buffers-drivers*) y los transmisores-receptores de bus (*bus transceivers*) se emplean para permitir la conexión de varios elementos a un bus, de modo que no se produzcan interferencias eléctricas en el mismo.
- Los amplificadores y los transmisores-receptores de bus no realizan cambios lógicos en las señales que reciben, pero:
  - Las preparan para que estén disponibles donde y cuando se necesiten.
  - Dotan a las señales del nivel de corriente suficiente como para que no existan problemas eléctricos.
  - Aíslan la fuente de la señal al circuito al que debe ser aplicada dicha señal.

# Amplificadores (buffers-drivers)

- Un **buffer-driver** es un amplificador digital que incrementa o absorbe el nivel de corriente de una señal sin confundir el estado.
  - Son de tipo unidireccional.
  - Proporcionan salida triestado: alto, bajo o desconexión (alta impedancia).
    - Si la señal de habilitación está inactiva: desconexión.
    - Si la señal de control está activa: sale el valor que hay en la entrada de datos, regenerado eléctricamente, pero sin cambiar de estado.
  - Se usan para conectar dispositivos a **buses**.

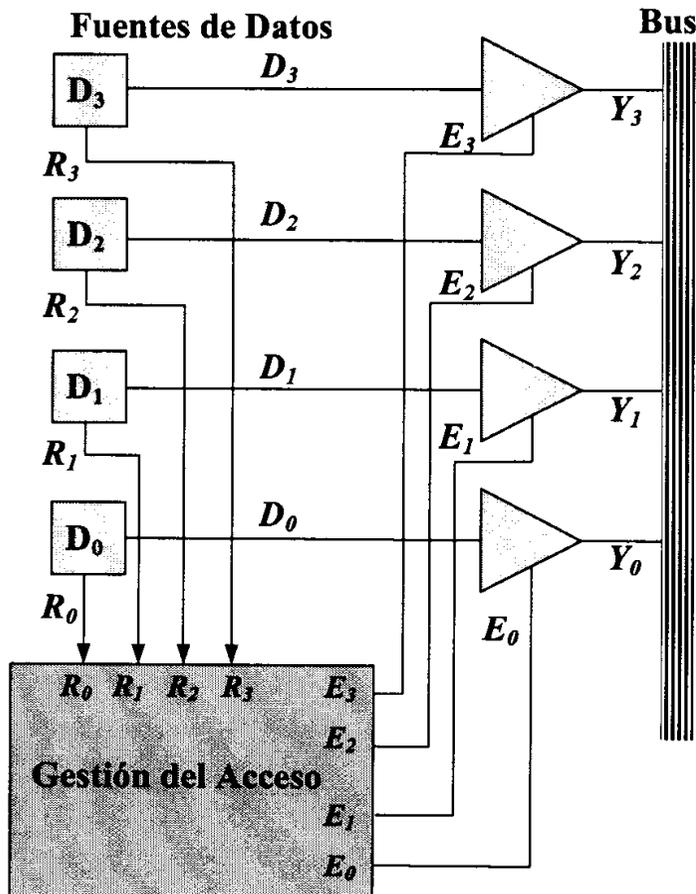
- Ejemplo de buffer-driver: 74ALS760  
(medio circuito)

- Cada medio circuito permite conectar a un bus una fuente de un dato de 4 bits.
- Si la señal de *strobe* 1G está desactivada (nivel alto), las salidas se encuentran en estado de desconexión (alta impedancia).
- Si la señal 1G está activada (nivel bajo), cada salida  $Y_i$  presenta el valor lógico de su entrada  $A_i$ .



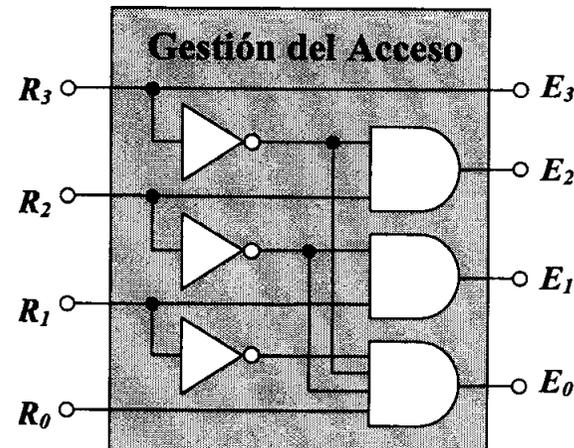
# Amplificadores (buffers-drivers)

- Ejemplo: queremos diseñar un circuito que controle el acceso a un bus de 4 fuentes de señal  $D_0, D_1, D_2$  y  $D_3$ , de un bit cada una, de modo que:
  - Cada fuente incluye un bit adicional  $R_i$  que se pone en alta cada vez que se desea acceder al bus.
  - Si varias fuentes quieren acceder al bus a la vez, la prioridad es  $D_3 > D_2 > D_1 > D_0$ .



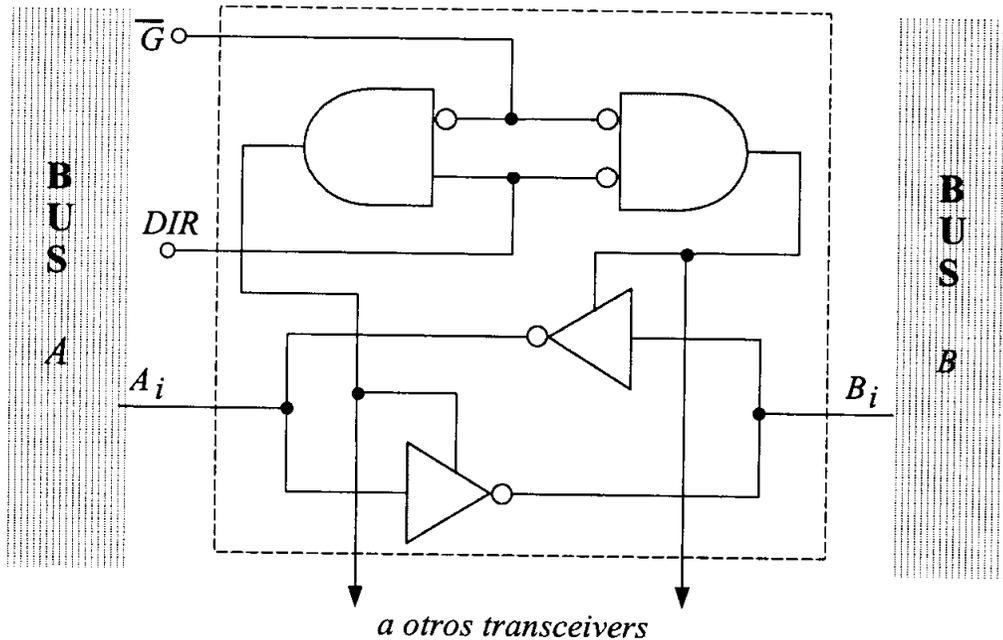
$R_3$	$R_2$	$R_1$	$R_0$	$E_3$	$E_2$	$E_1$	$E_0$
1	x	x	x	1	0	0	0
0	1	x	x	0	1	0	0
0	0	1	x	0	0	1	0
0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	0

$E_3 = R_3$ ,  $E_2 = \overline{R_3} R_2$ ,  $E_1 = \overline{R_3} \overline{R_2} R_1$ ,  $E_0 = \overline{R_3} \overline{R_2} \overline{R_1} R_0$



# Transmisores-receptores de canal

- Los transmisores-receptores de canal (*bus transceivers*):
  - Son de tipo bidireccional.
  - Mantienen las características de los *drivers* para cada dirección de transmisión.
  - Duplican el circuito básico e incluyen dos señales de control (*DIR* y  $\overline{G}$ ) que facilitan la transmisión en un sentido al mismo tiempo que la inhiben en sentido contrario.
- Los *transceivers* están pensados para facilitar las comunicaciones asíncronas y bidireccionales entre dos canales de datos (buses) A y B.
  - Ejemplo: 74ALS641



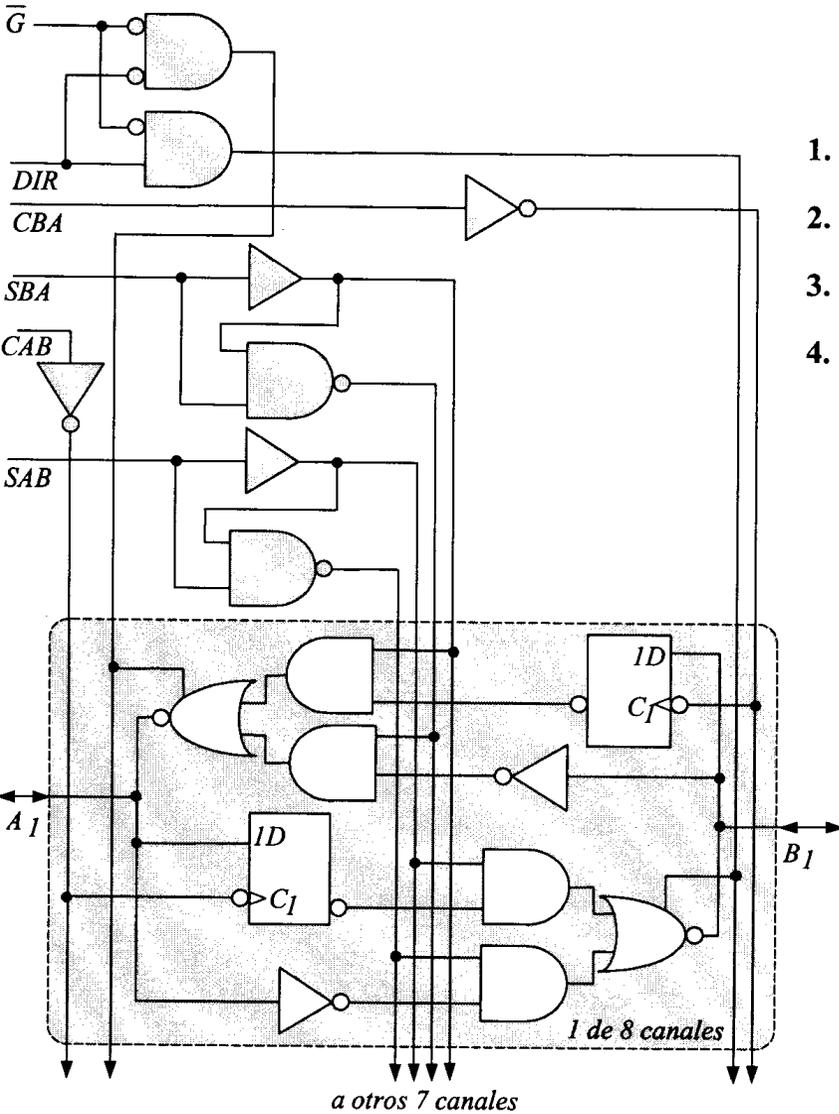
CONTROL		OPERACIÓN
$\overline{G}$	DIR	
0	0	Datos de B pasan a A
0	1	Datos de A pasan a B
1	x	Aislamiento

# Transmisores-receptores de canal

- Ejemplo: octal bus transceiver 74ALS646.

## Funciones:

- Paso directo del canal *B* al canal *A* en tiempo real.
- " " " " *A* " " *B* " " "
- Almacenamiento en los registros internos de datos procedentes del *A*, del *B* o de ambos.
- Transferencia de datos almacenados previamente a los canales *A* ó *B*.



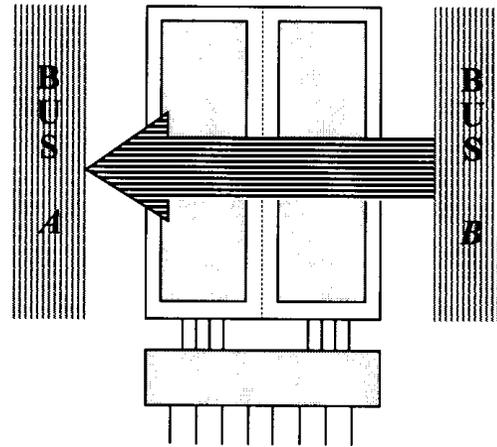
ENTRADAS						DATOS I/O		FUNCIÓN
$\bar{G}$	DIR	CAB	CBA	SAB	SBA	A1-A8	B1-B8	ALS646,647
x	x	↑	x	x	x	Entrada	NE	Almacena A. B, NE
x	x	x	↑	x	x	NE	Entrada	Almacena B. A, NE
H	x	↑	↑	x	x	Entrada	Entrada	Almacena A y B
H	x	H/L	H/L	x	x	"	"	Aislamiento (HS)
L	L	x	x	x	L	Salida	Entrada	Datos bus B al A (TR)
L	L	x	H/L	x	H	"	"	Datos B a bus A (ST)
L	H	x	x	L	x	Entrada	Salida	Datos A a bus B (TR)
L	H	H/L	x	H	x	"	"	Datos A a bus B (ST)

CBA y CAB: señales de reloj.

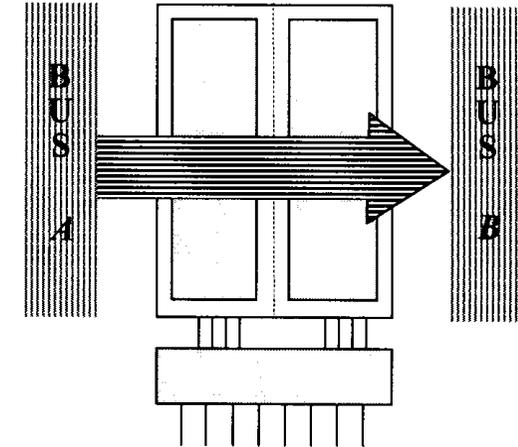
# Transmisores-receptores de canal

- Ejemplo: modos de funcionamiento del 74ALS646.

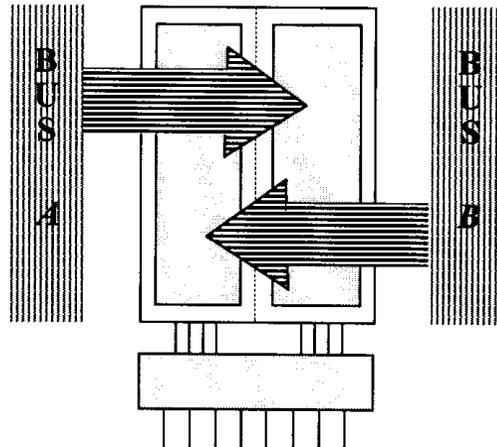
ENTRADAS						DATOS I/O		FUNCIÓN
$\bar{G}$	DIR	CAB	CBA	SAB	SBA	A1-A8	B1-B8	ALS646,647
x	x	↑	x	x	x	Entrada	NE	Almacena A, B, NE
x	x	x	↑	x	x	NE	Entrada	Almacena B, A, NE
H	x	↑	↑	x	x	Entrada	Entrada	Almacena A y B
H	x	H/L	H/L	x	x	"	"	Aislamiento (HS)
L	L	x	x	x	L	Salida	Entrada	Datos bus B al A (TR)
L	L	x	H/L	x	H	"	"	Datos B a bus A (ST)
L	H	x	x	L	x	Entrada	Salida	Datos A a bus B (TR)
L	H	H/L	x	H	x	"	"	Datos A a bus B (ST)



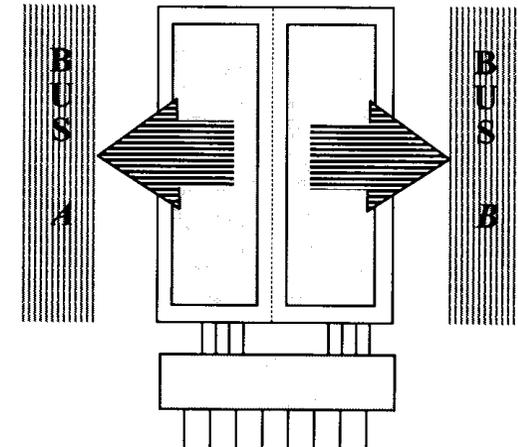
$\bar{G}$	DIR	CAB	CBA	SAB	SBA
L	L	x	x	x	L



$\bar{G}$	DIR	CAB	CBA	SAB	SBA
L	H	x	x	L	x



$\bar{G}$	DIR	CAB	CBA	SAB	SBA
x	x	↑	x	x	x
x	x	x	↑	x	x
H	x	↑	↑	x	x



$\bar{G}$	DIR	CAB	CBA	SAB	SBA
L	L	x	H/L	x	H
L	H	H/L	x	H	x