

LÓGICA COMBINACIONAL PROGRAMABLE

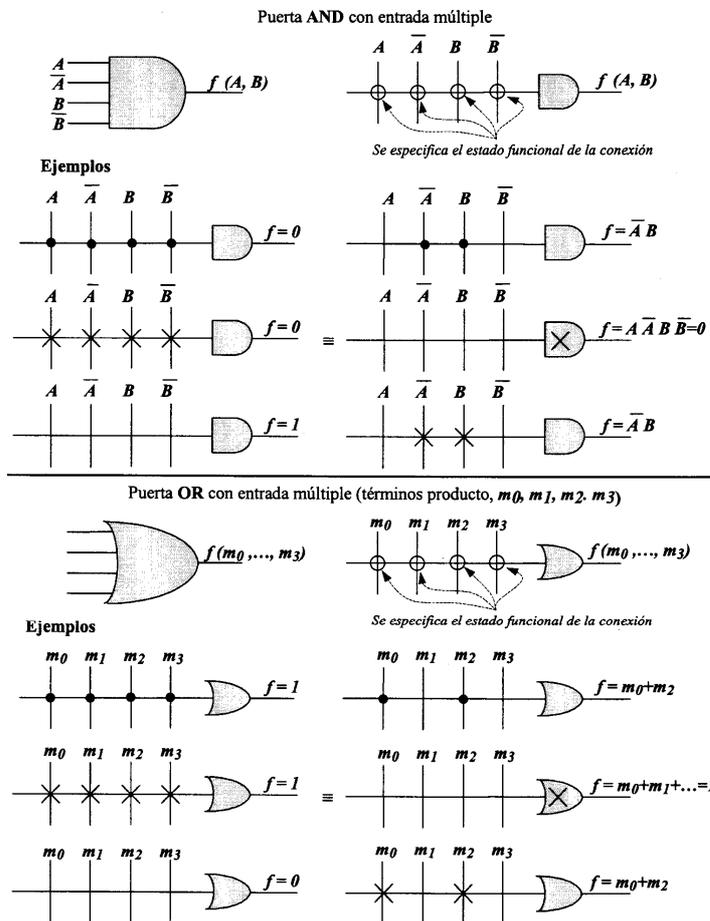
1. Procesamiento digital de la información

PLD = Dispositivo lógico programable

Compuestos por dos matrices de líneas y columnas conectadas a un grupo de puestas AND por un lado y a otro grupo de puertas OR por otro. En función de donde esté situada la matriz programable se clasifican en:

Arquitectura	Matriz AND	Matriz OR
PROM	fija	programable
PAL	Programable	fija
PLA	Programable	Programable

Notación:

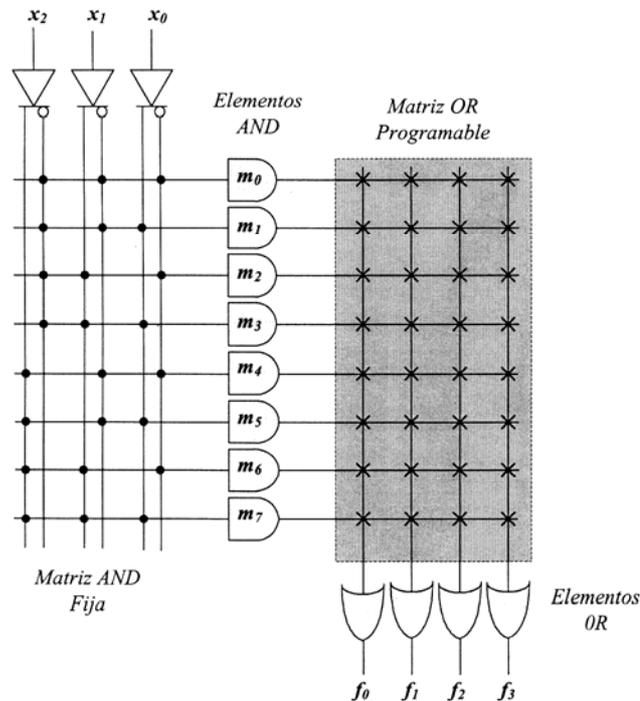


Conexión Permanente	Conexión Programable Intacta	Conexión Programable Fundida

2. Memorias PROM, EPROM, EEPROM Y FLASH

Programable la matriz **OR**

N entradas $\Rightarrow 2^n$ puertas NAND y “?” puertas OR. El número de puertas OR depende del fabricante y dispositivo seleccionado

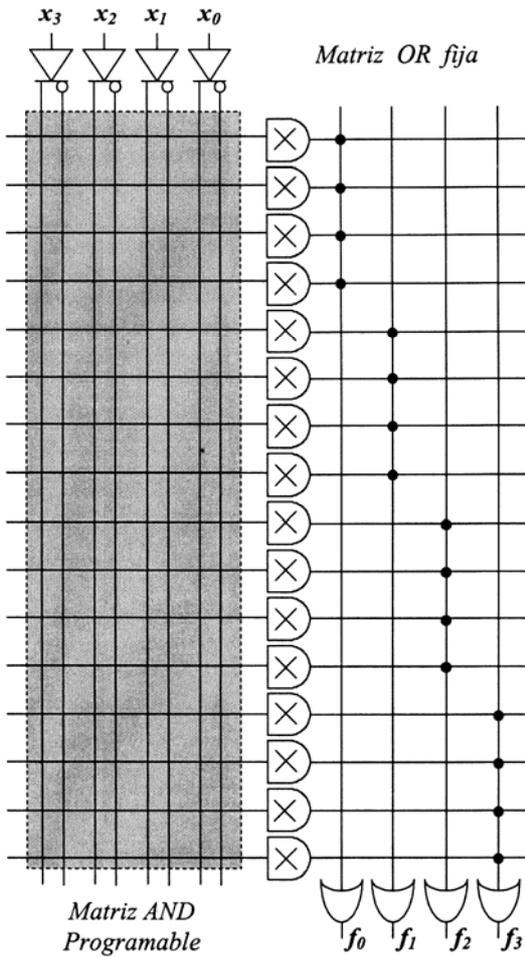


Implementación: Simplemente traspasar la **función canónica** al dispositivo PROM. Si la función no está expresada en la forma canónica se aplicará el teorema de Shanon o de expansión.

- Inconvenientes**
1. Número elevado de entradas \Rightarrow muchas células AND
 2. Ante simplificaciones extensas, muchas células AND sin utilizar
 3. Sencillo de implementar, pero alto consumo de recursos

PAL

Programable la matriz **AND** \Rightarrow uso para muchas entradas y pocos términos minterm



Arquitectura de los circuitos programables PAL.

PLA

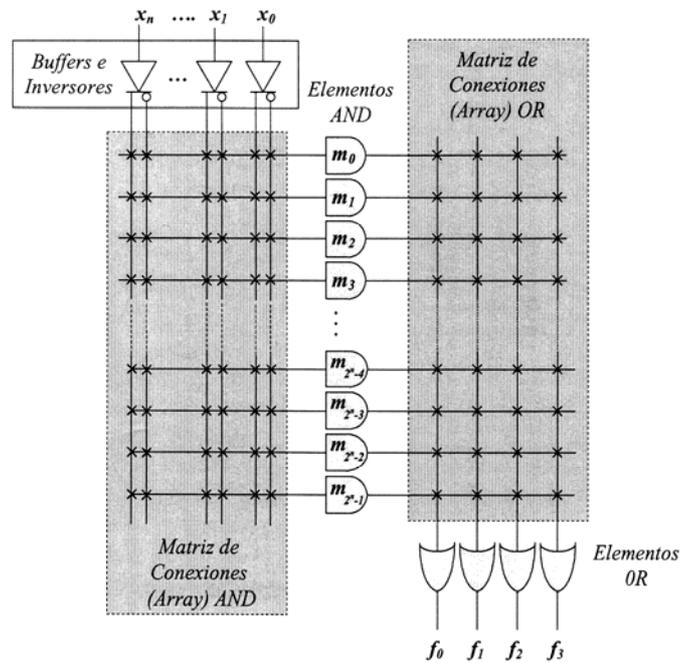
Programable las dos células \Rightarrow mayor coste, mayor versatilidad \Rightarrow facilidades de diseño

Notación:

Ejemplo:

PLA $3 \times 4 \times 2 \Rightarrow$ (3 entradas, 4 AND y 2 salidas)

$$PLA (n+1) \times (m+1) \times 4$$



Arquitectura de los circuitos PLA.

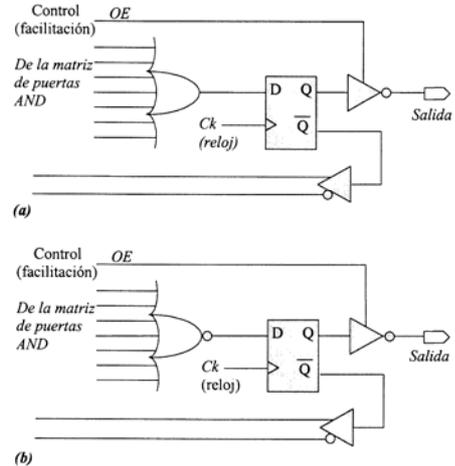
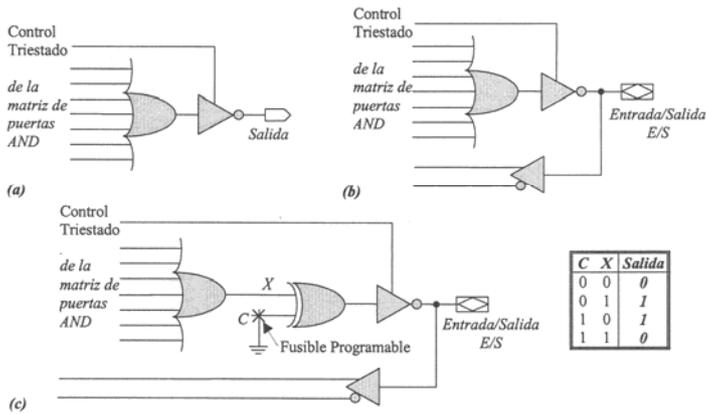
Configuraciones de salida

Tipos de salidas

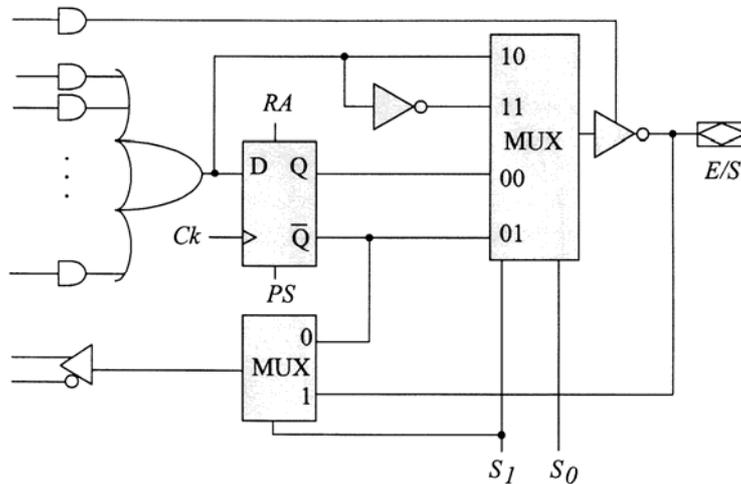
- Combinacionales
- Secuenciales

- Salida a través de XOR \Rightarrow invers. programable
- Salidas programables como entradas.
- Realimentación

- Básicas \Rightarrow biestables de salida
- Macroceldas \Rightarrow biestable + multiplexor



Salidas de una PAL a través de un biestable D (registered output). (a) Activa en baja. (b) Activa en alta.



S_0	S_1	Configuración de salida
0	0	A través del biestable D y activa en baja
0	1	A través del biestable D y activa en alta
1	0	Combinacional y activa en baja
1	1	Combinacional y activa en alta

Esquema de una macrocelda de salida típica de circuitos PAL, PALCE y GAL. Ck =pulsos de reloj, RA = Reset asincrónico, PS =Preset síncrono..

EXAMENES

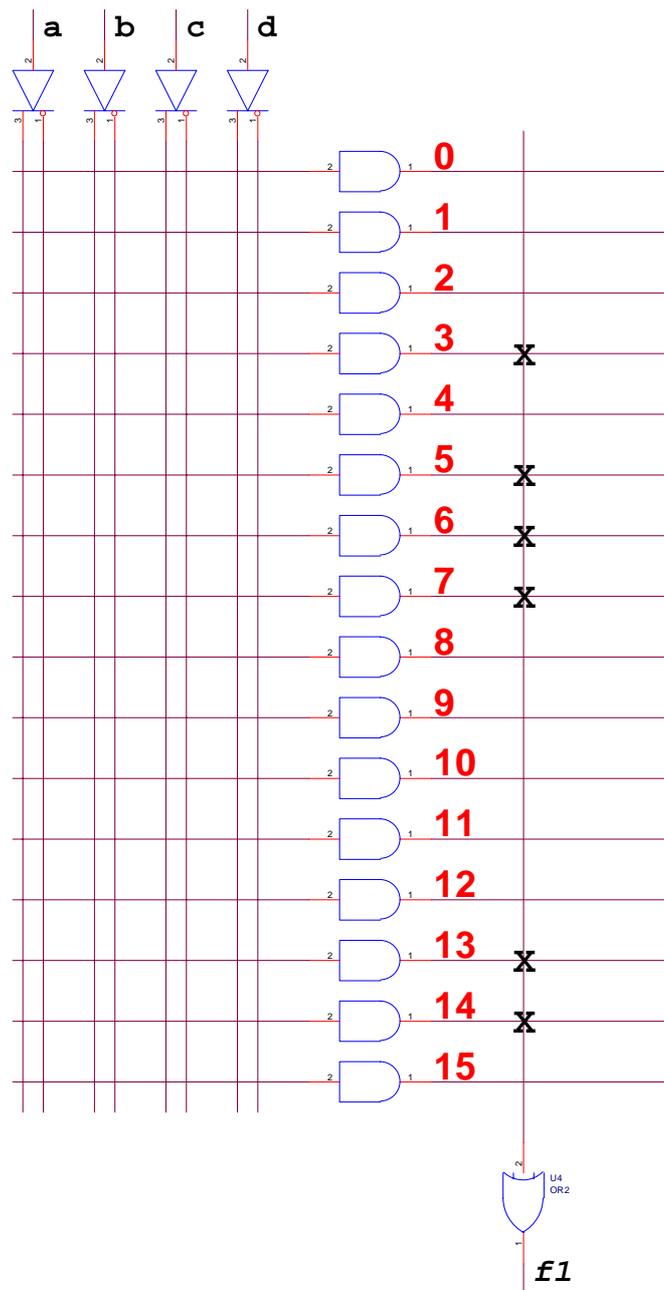
Junio de 1997

Implementar mediante PROMs la función lógica:

$$f_1 = \prod M(0, 3, 4, 5, 6, 7, 11, 13, 14, 15)$$

$$\overline{f_1} = \prod M(1, 2, 8, 9, 10, 12)$$

$$f_1 = \overline{M1 \cdot M2 \cdot M8 \cdot M9 \cdot M10 \cdot M12} = \overline{M1} + \overline{M2} + \overline{M8} + \overline{M9} + \overline{M10} + \overline{M12} = m_{14} + m_{13} + m_7 + m_6 + m_5 + m_3$$

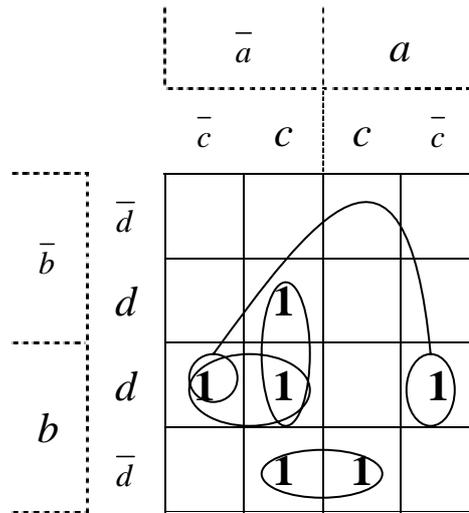
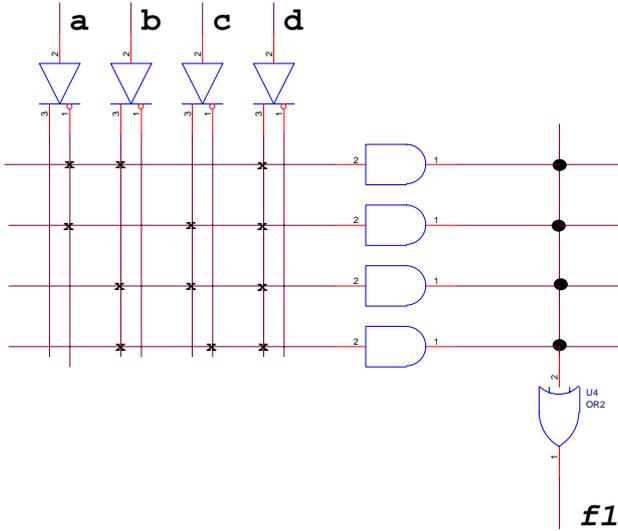


Implementación mediante PALs

Primeramente se ha de simplificar:

$$f_1 = m_3 \cdot m_5 \cdot m_6 \cdot m_7 \cdot m_{13} \cdot m_{14}$$

$$f_1 = \bar{a}bd + \bar{a}cd + bcd + b\bar{c}d$$



Ejemplo con PLAs.

Con una PLA de 3x4x2 implementar

$$f_0(a,b,c) = \sum m(3,5,6,7)$$

$$f_1(a,b,c) = \sum m(0,2,4,6)$$

$$f_0(a,b,c) = ac + bc + ab$$

$$f_1(a,b,c) = \bar{c}$$

