

PROBLEMAS DE ELECTRÓNICA DIGITAL

A. E. DELGADO - J. MIRA
R. HERNÁNDEZ - J. C. LÁZARO



SANZ Y TORRES

Prólogo a la segunda edición

En esta segunda edición del libro hemos procurado corregir los errores y erratas detectados en la edición anterior e introducir explicaciones más detalladas en aquellos problemas en los que nuestros alumnos habían detectado excesiva parquedad en el procedimiento de solución. Es decir, hemos hecho más énfasis en los aspectos tutoriales, básicos en la enseñanza a distancia.

También hemos añadido un índice temático que no es usual en libros de problemas. La razón es de nuevo la metodología de la enseñanza a distancia. Cuando el alumno busque un tipo de problema, encontrará una descripción en lenguaje natural sobre el propósito de ese problema: Análisis, síntesis con puertas, síntesis con multiplexores, control del direccionamiento de una memoria RAM, etc. De este modo, creemos que le será más fácil navegar conceptualmente desde la teoría para buscar los contenidos necesarios para la solución de un problema.

Madrid, Marzo 1999

Los autores

Problemas de Electrónica Digital

Presentación

El contenido de este libro de problemas de Electrónica Digital está asociado con el texto de teoría "Electrónica Digital" de Mira, Delgado, Dormido y Canto, también en la Editorial Sanz y Torres. Ambos textos se complementan y están pensados para cubrir la docencia de la Electrónica Digital del primer curso de la Diplomatura de Informática de Sistemas en la U.N.E.D. A su vez, sirven de base al programa de Estructura y Tecnología de Computadores II común a las especialidades de Sistemas y Gestión.

Por consiguiente, es un texto construido de acuerdo con la metodología propia de la educación a distancia, enlazando temas, manteniendo siempre claro el propósito de todas y cada una de las unidades didácticas y haciendo explícito el proceso de razonamiento que el profesor ha seguido para la solución de los problemas. Este cuidado en la línea de pensamiento seguida en el proceso de solución puede hacer que este texto de problemas sea también útil para otros alumnos de la Universidad presencial.

Los problemas que contiene son los que se propusieron al final de los capítulos correspondientes del texto de teoría, junto con otros procedentes de exámenes y un tercer grupo de problemas nuevos basados en las prácticas de laboratorio y en el uso del simulador PSpice en su versión de evaluación que es de libre circulación. Se ha añadido un conjunto nuevo de problemas para el tema 2 (dispositivos electrónicos) como consecuencia de la experiencia docente que nos ha mostrado su influencia en la comprensión del funcionamiento de las distintas familias lógicas, las celdas de memoria y otros circuitos.

Este libro de problemas es un material de trabajo con *procedimientos genéricos* y por consiguientes extrapolables a otros problemas análogos y conviene que el alumno lo use con ese criterio. No importa tanto la forma concreta de un diagrama de transición de estados como el método usado para construirlo y, posteriormente, sintetizarlo usando biestables. Lo mismo

INDICE

1 Exigencias computacionales del procesamiento digital de la información 1

E.1.1	Análisis de un circuito lógico	3
E.1.2	Analizar y pasar a NAND	4
E.1.3	Paso de NAND a NOR	8
E.1.4	Síntesis de funciones lógicas	10
E.1.5	Representación de funciones lógicas en las formas canónicas	16
E.1.6	Teoremas de DeMorgan y de Adyacencia	19
E.1.7	Minimización por diagramas de Karnaugh	22
E.1.8	Minimización de términos mínimos por Karnaugh	23
E.1.9	Minimización de términos máximos por Karnaugh	25
E.1.10	Minimización de funciones con términos irrelevantes	27

2 Dispositivos semiconductores en corte y saturación 31

E.2.1	Circuito de polarización básica del diodo	32
E.2.2	Característica de transferencia de un diodo con desplazamiento de niveles	39
E.2.3	Circuito recortador a dos niveles con diodos	45
E.2.4	Puente rectificador	50
E.2.5	Obtención de las curvas características de un transistor bipolar	55
E.2.6	Polarización de un transistor bipolar	60
E.2.7	Circuito seguidor de tensión o en colector común	66
E.2.8	Curvas características de un transistor MOS	69

3 Familias lógicas (I): TTL **75**

E.3.1	Inversor simple	76
E.3.2	Inversor simple con alimentación única	84
E.3.3	Puertas DTL	87
E.3.4	Puerta NAND en tecnología HTL	91
E.3.5	Análisis de una puerta NAND en tecnología AS	98

4 Familias lógicas (II): ECL,MOS y CMOS **105**

E.4.1	Análisis y simulación de un inversor en tecnología ECL	106
E.4.2	Análisis y simulación de la puerta NOR en tecnología ECL	110
E.4.3	Estudio de los circuitos de acoplo entre ECL y TTL	116
E.4.4	Análisis detallado detallado de un disparador Schnitt en tecnología ECL	123
E.4.5	Aplicación de las reglas de transformación para puertas CMOS	130
E.4.6	Estudio de la característica de transferencia del inversor CMOS	132
E.4.7	Utilización del integrado 4007UB para conseguir distintas operaciones lógicas	135
E.4.8	Obtención en simulación de la curva de transferencia de un inversor CMOS	138
E.4.9	Análisis de un circuito lógico CMOS y obtención de la función que realiza	141
E.4.10	Análisis de una puerta de transmisión MOS	144

5 Lógica combinacional (I): Funciones aritmético-lógicas **149**

E.5.1	Circuitos semisumador y sumador completo usando puertas NAND	150
E.5.2	Diseño del circuito restador	151
E.5.3	Diseño del circuito sumador-restador	154
E.5.4	Diseño recursivo de un comparador	158
E.5.5	Análisis del generador-detector de paridad	167
E.5.6	Utilización de la ALU-AS181	170

6	Lógica combinacional (II): Ruta de datos	179
E.6.1	Diseño de un MUX de 4 a 1 con puertas lógicas	180
E.6.2	Diseño en dos niveles mediante MUX	183
E.6.3	Análisis de un circuito realizado con MUX	186
E.6.4	Diseño de circuitos decodificadores mediante MUX y DEMUX	187
E.6.5	Diseño del circuito conversor de BCD a siete segmentos	197
7	Introducción a la lógica programable	203
E.7.1	Síntesis de funciones lógicas mediante PROM's, PAL's y PLA's	203
E.7.2	Sumador mediante lógica programable	206
E.7.3	Comparador mediante lógica programable	209
E.7.4	Sumador-restador mediante lógica programable	212
E.7.5	Diseño de una mini-ALU mediante lógica programable	215
E.7.6	Implementación de funciones lógicas mediante lógica programable	221
E.7.7	Síntesis de circuitos conversores de código mediante lógica programable	223
8	Exigencias computacionales de la lógica secuencial: Circuitos biestables	227
E.8.1	Análisis de un circuito secuencial	228
E.8.2	Análisis de un circuito secuencial	230
E.8.3	Análisis de un circuito secuencial	233
E.8.4	Síntesis de autómatas finitos utilizando biestables D	236
E.8.5	Diseño de un biestable R-S mediante puertas NAND	245
E.8.6	Diseño de un biestable J-K utilizando otros biestables	247
E.8.7	Análisis de un circuito formado por biestables J-K "maestro-esclavo"	249

9 Introducción al diseño secuencial: Contadores y registros **253**

E.9.1	Circuito de control de un ascensor	254
E.9.2	Síntesis de un autómata finito de dos estados con biestable J-K	264
E.9.3	Diseño de un autómata universal de dos estados	276
E.9.4	Síntesis de detectores de secuencia binaria	278
E.9.5	Diseño de contadores asíncronos	285
E.9.6	Generador de secuencias	290
E.9.7	Análisis de contadores	298
E.9.8	Registro de desplazamiento	303
E.9.9	Análisis de un registro de desplazamiento universal (SN74S195)	310
E.9.10	Síntesis de registro de desplazamiento	313

10 Temporizadores y relojes **317**

E.10.1	Análisis de un circuito monoestable construido con puertas TTL	318
E.10.2	Obtención de formas de onda de un astable construido con inversores CMOS	323
E.10.3	Construcción de un circuito astable con dos monoestables	328
E.10.4	Análisis del comportamiento del circuito integrado 555	333
E.10.5	Síntesis de un divisor $\div 2$ de frecuencia con un monoestable y un astable	337
E.10.6	Síntesis de un detector de omisión de un pulso de un tren de pulsos	341
E.10.7	Análisis de circuitos de generación de trenes de pulsos	346
E.10.8	Síntesis de un reloj polifásico a partir del cronograma	350

11 Memorias RAM y CAM **357**

E.11.1	Análisis de una celda básica de memoria en tecnología NMOS	358
E.11.2	Análisis temporal de una celda de memoria RAM estática al escribir datos	360
E.11.3	Análisis temporal de una celda RAM estática en tecnología MOS	362
E.11.4	Síntesis de una celda de memoria estática en tecnología CMOS	364
E.11.5	Diseño de circuitería para direccionar, leer y escribir en una memoria RAM	366
E.11.6	Diseño de la circuitería para acceder a las celdas de una memoria RAM	369

E.11.7 Organización de memorias y circuito comprobador de escritura	373
E.11.8 Organización de memorias	377
E.11.9 Diseño con memorias CAM	380
E.11.10 Diseño de los circuitos del lectura y escritura para una memoria CAM	383

12 Memorias de acceso secuencial **387**

E.12.1 Estudio comparativo CCD y MOS	388
E.12.2 Análisis de un registro de desplazamiento con reloj bifásico	390
E.12.3 Registro CMOS con puertas de transmisión	292
E.12.4 Diseño de circuitos para estructuras de memorias secuenciales	394
E.12.5 Conexión en serie y en paralelo de dos memorias FIFO	401
E.12.6 Conexión de memorias LIFO	408

TEMA 1

Exigencias computacionales del procesamiento digital de la información

PROPÓSITO

El propósito de este primer capítulo de problemas de Electrónica Digital es ofrecer al alumno las bases lógicas de la electrónica combinacional. Es decir, queremos que el alumno sepa representar, minimizar, analizar y sintetizar circuitos lógicos de pocas variables.

Representar una función lógica es encontrar un procedimiento para describir de forma completa a esa función. Para cada configuración de valores lógicos en sus variables de entrada (x_1, \dots, x_n) , debemos especificar los valores de la variable de salida, $y = f(x_1, \dots, x_n)$.

Hemos visto en teoría la representación por tablas de verdad y por expresiones booleanas en forma AND, OR, NOT, sólo NAND o sólo NOR. Por consiguiente, los problemas de este apartado se refieren a cambios de representación. Dada una tabla obtener la función, dada una función en términos de los operadores (AND, OR, NOT), obtener otra equivalente usando sólo NAND, etc., tal como se ilustra en el diagrama de la figura (1.0.1).

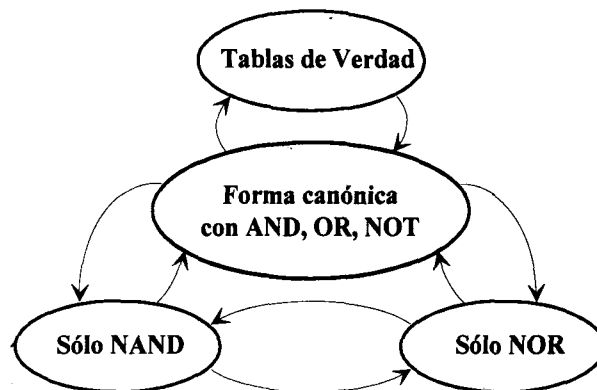


Fig. 1.0.1 Posibles tipos de problemas que hacen referencia a cambios de representación

Dentro de los problemas de representación hay una familia de problemas que no se preocupan de cambiar la representación sino de obtener la representación mínima, eliminando los términos redundantes. También incluimos algunos problemas de este tipo que usan los diagramas de Karnaugh para hacer vecinos a los términos que sólo se diferencian en el valor de una de sus variables de forma tal que hacen evidente el proceso de minimización usando los teoremas de adyacencia.

*Otro tipo general de problemas se refiere al **análisis** de circuitos lógicos. Aquí se propone al alumno un determinado circuito con varias entradas y una o más salidas y se pide la expresión que relaciona las entradas con las salidas. Basta seguir el circuito y sustituir los símbolos de los operadores (Y, O, NO, XOR, NAND, NOR,...) por su función lógica hasta llegar a cada una de las salidas y después simplificar. Se comprueba en extenso que el análisis ha sido correcto cuando para todas las configuraciones de entrada, el circuito de partida y la función propuesta por nosotros dan el mismo resultado.*

***Minimizar** una función lógica es la obtención de una segunda función lógica equivalente, de tal forma que frente a las mismas combinaciones de entrada proporcione las mismas salidas que la función original pero con una representación mucho más simple. La minimización proporciona circuitos en los que intervienen menos elementos y/o elementos con menos entradas. La minimización es dependiente de la representación empleada. Es decir, que la minimización de una función lógica en una representación podrá proporcionar esquemas más sencillos que la minimización de la misma función empleando otra representación.*

Finalmente, el tercer tipo de problemas es la *síntesis*. Ahora proponemos un conjunto de funciones y pedimos su realización física. En ocasiones pediremos que el circuito final contenga solo un tipo de operador (NOR, NAND, etc.). En otros el diseño será libre.



EJERCICIOS RESUELTOS

E.1.1 Análisis de un circuito lógico

Obtener las expresiones lógicas que describen las relaciones entre las variables de entrada X , Y y Z y las variables de salida A y B en el circuito de la figura.

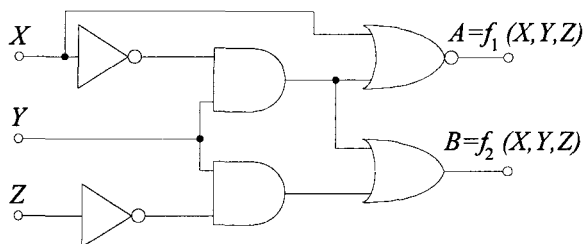


Fig. 1.1.1 Circuito correspondiente al ejercicio E.1.1

Solución:

Este es un problema de análisis. Para facilitar su solución, repetimos el esquema escribiendo detrás de cada operador la función local que realiza (figura 1.1.2)

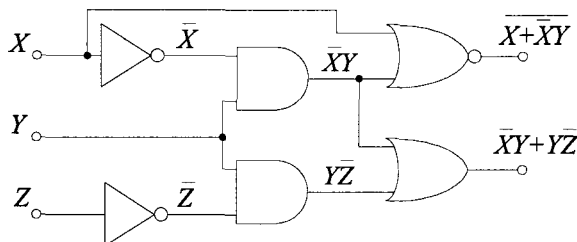
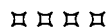


Fig. 1.1.2 Solución del ejercicio E.1.1

Obtenemos así:

$$A = f_1(X, Y, Z) = \overline{X} + \overline{X}Y \quad \text{y} \quad B = f_2(X, Y, Z) = \overline{X}Y + Y\overline{Z}$$



E.1.2 Analizar y pasar a NAND

Analizar el circuito de la figura y pasarlo a su equivalente en puertas NAND.

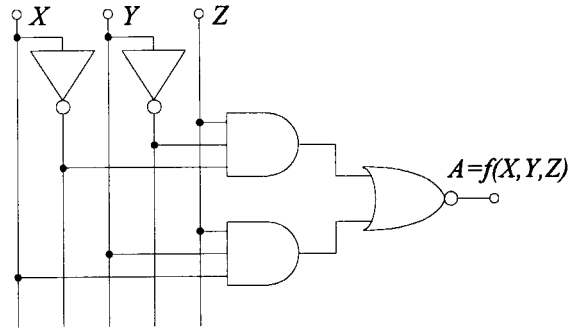


Fig. 1.2.1 Circuito correspondiente al ejercicio E.1.2

Solución:

Este problema posee una primera parte de análisis y otra de cambio de representación. Para la primera parte, escribimos la función detrás de cada operador (fig. 1.2.2), con lo que se obtiene:

$$A = f_1(X, Y, Z) = \overline{\overline{X} \overline{Y} Z} + \overline{XYZ}$$

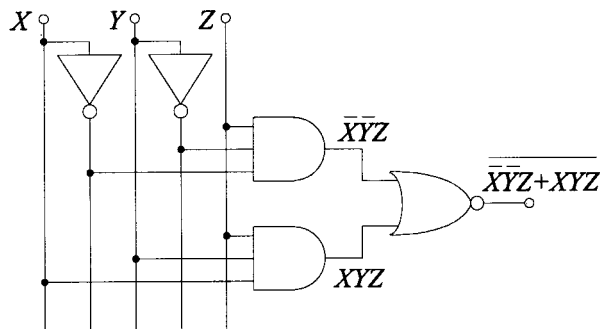


Fig. 1.2.2 Circuito del ejercicio E.1.2 especificando las funciones locales

Para la segunda parte, vamos a desarrollar la expresión anterior buscando su forma canónica mínima mediante la aplicación de los postulados y los teoremas del algebra de Boole. Después cambiaremos la representación a puertas NAND.

Así, aplicando el Teorema de Morgan

$$A = \overline{\overline{X} \overline{Y} Z + XYZ} = \overline{(\overline{X} \overline{Y} Z)(XYZ)} = (X + Y + \overline{Z})(\overline{X} + \overline{Y} + \overline{Z})$$

Desarrollando y teniendo en cuenta el postulado de complementariedad ($X\overline{X} = 0$ e $Y\overline{Y} = 0$) y el Teorema de identificación ($\overline{Z}\overline{Z} = \overline{Z}$)

$$A = \underbrace{\overline{X}\overline{X}}_0 + X\overline{Y} + X\overline{Z} + Y\overline{X} + \underbrace{Y\overline{Y}}_0 + Y\overline{Z} + \overline{Z}\overline{X} + \overline{Z}\overline{Y} + \underbrace{\overline{Z}\overline{Z}}_{\overline{Z}}$$

y considerando el postulado de existencia de Elemento Neutro:

$$(\overline{Z}(X + Y + \overline{X} + \overline{Y}) + \overline{Z} = \overline{Z})$$

tendremos:

$$A = X\overline{Y} + Y\overline{X} + \underbrace{\overline{Z}(X + Y + \overline{X} + \overline{Y})}_{\overline{Z}} + \overline{Z} = X\overline{Y} + \overline{X}Y + \overline{Z}$$

es decir

$$A = X\overline{Y} + \overline{X}Y + \overline{Z}$$

Esta expresión ya es mínima. Lo podemos comprobar usando el diagrama de Veith-Karnaugh correspondiente. Figura (1.2.3).

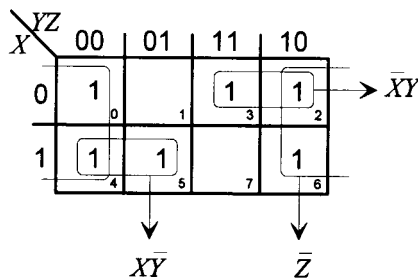


Fig. 1.2.3 Diagrama de Karnaugh del ejercicio E.1.2

Para obtener la representación equivalente usando solo puertas NAND, el procedimiento general es complementar dos veces (lo que equivale a dejar la función tal como estaba) y aplicar los teoremas de DeMorgan. Llega un momento en el que en la expresión lógica sólo quedan variables negadas ($\overline{X}, \overline{Y}$) o negaciones de productos, con lo que hemos terminado. La negación de las variables se pueden sintetizar con

una puerta NAND en la que unimos las dos entradas, comportándose entonces como un inversor tal y como se muestra en la figura 1.2.4.

$$X\bar{Y} + \bar{X}Y + \bar{Z} = \overline{\overline{X\bar{Y} + \bar{X}Y + \bar{Z}}} = \overline{(\overline{X\bar{Y}})(\overline{\bar{X}Y})Z} = (X \uparrow \bar{Y}) \uparrow (\bar{X} \uparrow Y) \uparrow Z$$



Fig. 1.2.4 Empleo de la puerta NAND para complementar las variables X e Y

Con lo que el circuito final realizado solo con puertas NAND nos queda:

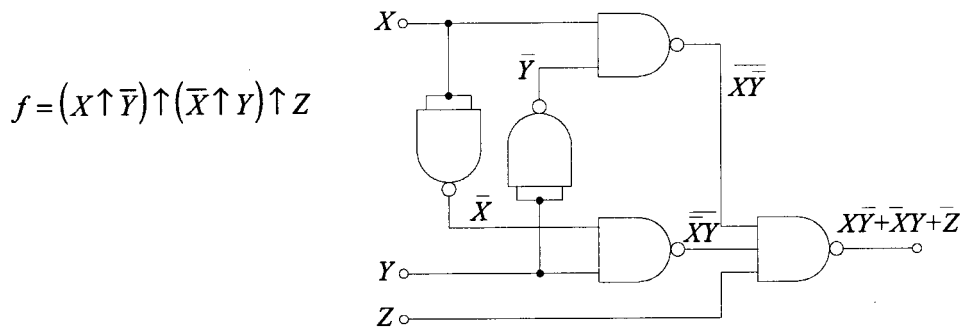


Fig. 1.2.5 Circuito sintetizado utilizando únicamente puertas NAND

Existe una posibilidad alternativa de pasar desde el circuito inicial (AND, OR, NOT) al final (sólo NAND) aplicando directamente los teoremas de DeMorgan sobre el esquema correspondiente a la forma canónica normal disyuntiva. Si una conexión la niego dos veces no pasa nada. Así:



Fig. 1.2.6 "Truco" para aplicar las leyes de DeMorgan directamente sobre el esquema

Por consiguiente, volvemos al circuito $X\bar{Y} + \bar{X}Y + \bar{Z}$ y complementamos la salida del primer nivel y la entrada al segundo, tal como se ilustra en la figura (1.2.7).

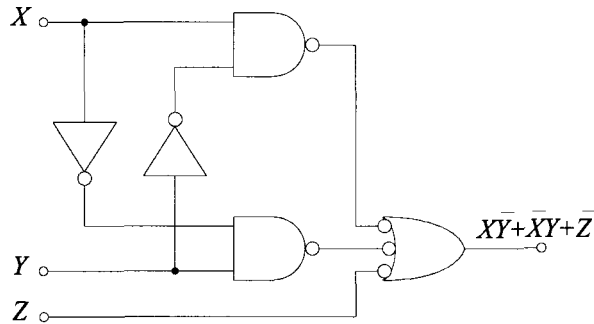


Fig. 1.2.7 Aplicación de las leyes de DeMorgan al circuito del ejercicio E.1.2

Obsérvese que así ya lo tenemos todo en forma NAND, ya que:

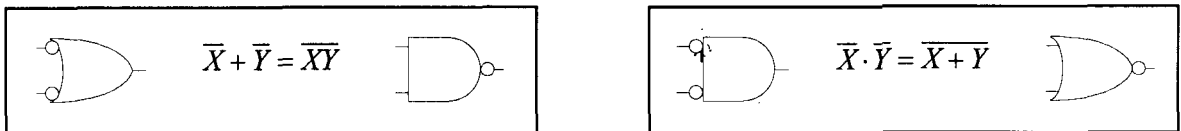


Fig. 1.2.8 Representación gráfica de los teoremas de DeMorgan

En la figura (1.2.8) se muestran las expresiones analíticas y los circuitos correspondientes a los dos teoremas de DeMorgan. El método es válido tanto para circuitos representados como suma de términos mínimos como para los que se representan como producto de términos máximos.

□ □ □ □

E.1.3 Paso de NAND a NOR

Pasar a puertas NOR el circuito del problema anterior.

Solución:

Es de nuevo un problema de cambio de representación. En este caso también tenemos como punto de partida en el enunciado el esquema del circuito, por lo que lo primero que deberíamos hacer es un análisis del mismo, como se hizo en el ejercicio anterior.

Partimos ahora de la expresión obtenida entonces:

$$A = f_1(X, Y, Z) = \overline{\overline{X} \overline{Y} Z + XYZ}$$

Aplicando DeMorgan: $A = \overline{\overline{X} \overline{Y} Z + XYZ} = (X + Y + \overline{Z})(\overline{X} + \overline{Y} + \overline{Z})$

Que en la lógica de dos niveles (OR-AND) da lugar al circuito de la figura (1.3.1).

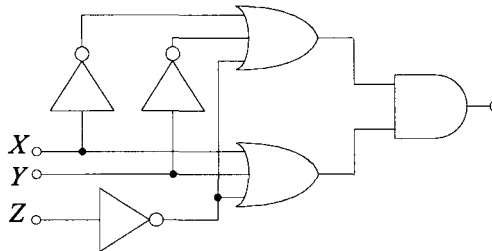


Fig. 1.3.1 Esquema del circuito resultante como producto de "maxterms"

Si negamos dos veces y aplicamos de nuevo DeMorgan para obtenemos la representación con sólo puertas NOR:

$$\begin{aligned} f &= \overline{(X + Y + \overline{Z})(\overline{X} + \overline{Y} + \overline{Z})} = \overline{(X + Y + \overline{Z})} + \overline{(\overline{X} + \overline{Y} + \overline{Z})} = \\ &= (X \downarrow Y \downarrow \overline{Z}) \downarrow (\overline{X} \downarrow \overline{Y} \downarrow \overline{Z}) \end{aligned}$$

que se representa mediante el circuito de la figura (1.3.2):

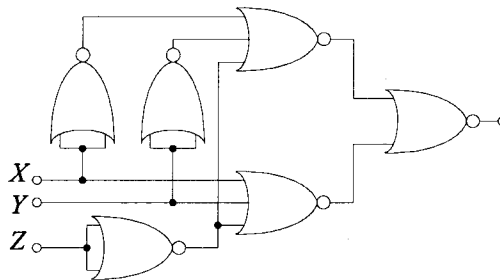


Fig. 1.3.2 Implementación de la función del ejercicio E.1.3 sólo con puertas NOR

Una forma más sencilla y rápida de conseguir la transformación, en este caso que ya disponemos del circuito en su representación OR-AND, es emplear el método gráfico descrito en el ejercicio E.1.2. Como ya se describió, este método se puede aplicar directamente sobre el esquema del circuito. Consiste en negar las salidas de las puertas del primer nivel y las entradas de las puertas del segundo nivel. Con esta doble negación, que no altera lo más mínimo la función del circuito, se convierten las puertas AND(OR) del primer nivel en puertas NAND(NOR) y las puertas OR(AND) del segundo nivel en puertas OR(AND) con las entradas negadas, o lo que es lo mismo en puertas NAND(NOR) con las entradas sin negar. Este hecho, como ya se apuntó en el mencionado ejercicio no es mas que el teorema de DeMorgan: $\overline{X + Y} = \overline{X} \overline{Y}$; $\overline{X \overline{Y}} = \overline{X} + Y$.

Como se acaba de describir este método es igualmente válido para obtener la representación sólo con puertas NAND partiendo del esquema del circuito representado con la lógica de dos niveles AND-OR (suma de minterms), como para obtener la representación sólo con puertas NOR a partir del esquema del circuito representado con la lógica de dos niveles OR-AND (producto de maxterms).

Aplicando este método al esquema de la figura (1.3.1) y sustituyendo los inversores por puertas NOR con las entradas unidas, obtenemos inmediatamente el circuito de la figura (1.3.2) sin necesidad de realizar ningún cálculo.

□ □ □ □

E.1.4 Síntesis de funciones lógicas

Sintetizar a) usando AND, OR y Negación, b) sólo puertas NAND, c) sólo puertas NOR, el circuito correspondiente a las siguientes funciones lógicas:

$$A = f_1(X, Y, Z) = (\bar{X}Y + X\bar{Y})Z + \bar{Z}(XY + \bar{X}\bar{Y})$$

$$B = f_2(X, Y, Z) = \bar{X} + \bar{Y}Z + \bar{Z}X$$

Solución:

Se trata de un problema de cambio de representación que incluye las formas más usuales.

A) Representación AND-OR-NOT

Veamos primero la representación (AND, OR, NOT), buscando su expresión mínima en forma normal disyuntiva.

Al desarrollar los productos de Z y \bar{Z} por los términos incluidos en los paréntesis, obtenemos un conjunto de términos que ya no admiten minimización, tal como comprobamos al representarlos en el diagrama de Karnaugh correspondiente:

$$A = f_1 = \underbrace{\bar{X}YZ}_{m_3} + \underbrace{X\bar{Y}Z}_{m_5} + \underbrace{XY\bar{Z}}_{m_6} + \underbrace{\bar{X}\bar{Y}\bar{Z}}_{m_0} = \sum m(0, 3, 5, 6)$$

$\begin{array}{c} \diagup YZ \\ X \end{array}$	00	01	11	10
0	1 0		1 3	
1		1 5		1 6

Fig. 1.4.1 Diagrama de Karnaugh correspondiente a la función del ejercicio E.1.4

La síntesis con AND, OR, NOT a dos niveles se realiza generando primero la negación de las variables (\bar{x} , \bar{y} , \bar{z}), después los productos (términos mínimos:

m_0, m_3, m_5, m_6) y después las sumas. La implementación de esta función aparece en la figura (1.4.2 a).

La segunda función (f_2), sí se puede minimizar, tal y como podemos comprobar a continuación.

Aplicando los postulados P.2 ($x \cdot 1 = x$), P5 ($z + \bar{z} = 1$) y T.2 ($x \cdot x = x$) obtenemos:

$$\begin{aligned}\bar{X} + \bar{Z}X + \bar{Y}Z &= \bar{X} \cdot 1 + \bar{Z}X + \bar{Y}Z = \bar{X}(Z + \bar{Z}) + \bar{Z}X + \bar{Y}Z = \bar{X}Z + \bar{X}\bar{Z} + \bar{Z}X + \bar{Y}Z \\ &= (\bar{X}Z + \bar{X}\bar{Z}) + (\bar{X}\bar{Z} + \bar{Z}X) + \bar{Y}Z = \bar{X} + \bar{Z} + \bar{Y}Z\end{aligned}$$

Repitiendo esto para $\bar{Z} + \bar{Y}Z$:

$$\bar{Z} + \bar{Y}Z = \bar{Z}(Y + \bar{Y}) + \bar{Y}Z = \bar{Z}Y + \bar{Z}\bar{Y} + \bar{Y}Z = \bar{Z} + \bar{Y}$$

se obtiene finalmente

$$f_2 = \bar{X} + \bar{Y} + \bar{Z}$$

El esquema correspondiente es el que se muestra en la figura 1.4.2 b).

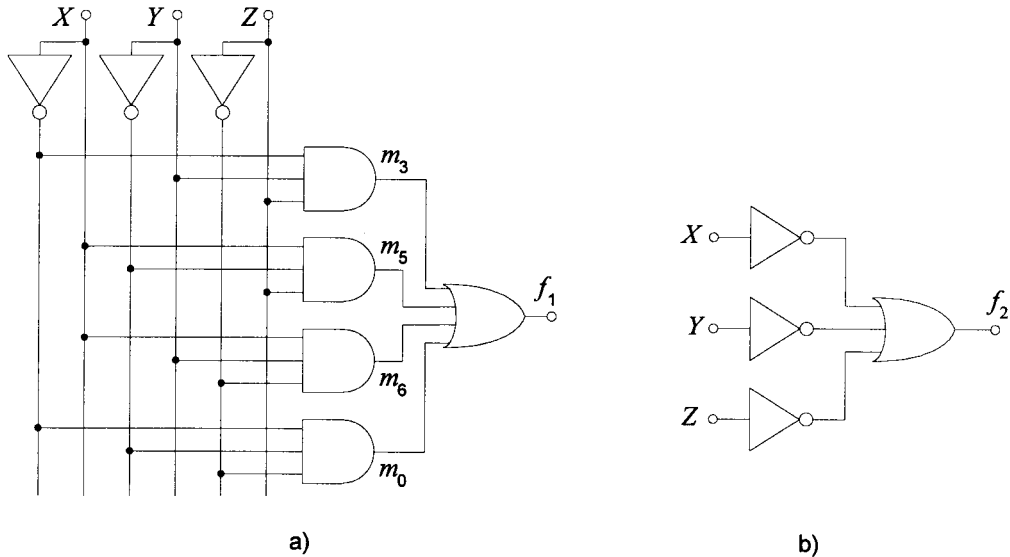


Fig. 1.4.2 a) Implementación de la función f_1 en lógica de dos niveles (AND-OR). b) Ídem de la función f_2

B) Paso a representación con solo puertas NAND

El paso a NAND no merece más comentarios. Ya lo hemos visto en problemas anteriores:

$$\begin{aligned} f_1 &= \overline{X}YZ + X\overline{Y}Z + XY\overline{Z} + \overline{X}\overline{Y}\overline{Z} = \overline{\overline{\overline{X}YZ} + \overline{\overline{X\overline{Y}Z}} + \overline{\overline{XY\overline{Z}}} + \overline{\overline{\overline{X}\overline{Y}\overline{Z}}}} = \\ &= \overline{(\overline{X}YZ)(X\overline{Y}Z)(XY\overline{Z})(\overline{X}\overline{Y}\overline{Z})} \end{aligned}$$

$$f_1 = (\overline{X} \uparrow Y \uparrow Z) \uparrow (X \uparrow \overline{Y} \uparrow Z) \uparrow (X \uparrow Y \uparrow \overline{Z}) \uparrow (\overline{X} \uparrow \overline{Y} \uparrow \overline{Z})$$

Haciendo lo mismo con la función f_2 obtenemos:

$$f_2 = \overline{X} + \overline{Y} + \overline{Z} = \overline{XYZ} = X \uparrow Y \uparrow Z$$

La implementación de estas dos funciones f_1 y f_2 se muestra en las figuras (1.4.3 a) y (1.4.3 b) respectivamente:

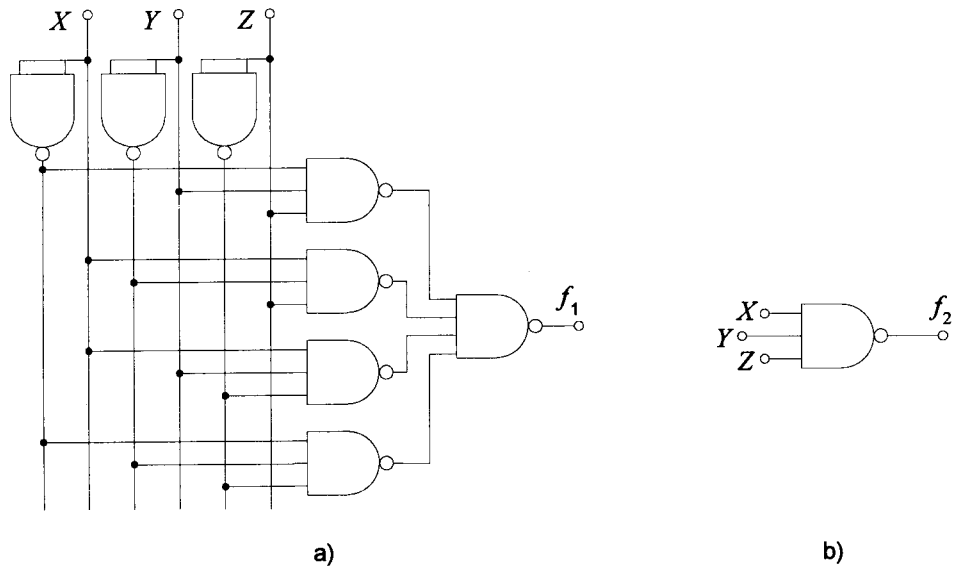


Fig. 1.4.3 a) Implementación de la función f_1 sólo con puertas NAND.

b) Ídem de la función f_2

C) Paso a representación sólo con puertas NOR.

Para implementarla con puertas NOR es más conveniente expresar la función como producto de sumas:

$$\begin{aligned}
 f_1 &= (\overline{X}Y + X\overline{Y})Z + (XY + \overline{X}\overline{Y})\overline{Z} = \overline{\overline{X}YZ + X\overline{Y}Z + XY\overline{Z} + \overline{X}\overline{Y}\overline{Z}} = \\
 &= \overline{(\overline{X}YZ)(X\overline{Y}Z)(XY\overline{Z})(\overline{X}\overline{Y}\overline{Z})} = \overline{(X + \overline{Y} + \overline{Z})(\overline{X} + Y + \overline{Z})(\overline{X} + \overline{Y} + Z)(X + Y + Z)} \\
 f_1 &= \overline{\left[\overline{Z} + (X + \overline{Y})(\overline{X} + Y) \right] \left[(\overline{X} + \overline{Y})(X + Y) + Z \right]} = \\
 &= \underbrace{\overline{\overline{Z}Z} + \overline{Z}(\overline{X} + \overline{Y})(X + Y) + Z(X + \overline{Y})(\overline{X} + Y)}_0 + \underbrace{(X + \overline{Y})(\overline{X} + Y)(\overline{X} + \overline{Y})(X + Y)}_0
 \end{aligned}$$

Al igual que la suma de todos los minterms de n variables es igual a uno, el producto de todos los maxterms es igual a cero. Como $X\overline{X} = 0$ y $Y\overline{Y} = 0$:

$$\begin{aligned}
 \underbrace{(X + \overline{Y})(\overline{X} + Y)}_{X\overline{X} + X\overline{Y} + \overline{Y}\overline{X} + \overline{Y}Y} \underbrace{(\overline{X} + \overline{Y})(X + Y)}_{\overline{X}X + \overline{X}\overline{Y} + \overline{Y}X + \overline{Y}Y} &= (XY + \overline{Y}\overline{X})(\overline{X}Y + \overline{Y}X) = \\
 &= \underbrace{XY\overline{X}Y}_0 + \underbrace{XY\overline{Y}X}_0 + \underbrace{\overline{Y}\overline{X}\overline{X}Y}_0 + \underbrace{\overline{Y}\overline{X}\overline{Y}X}_0 = 0
 \end{aligned}$$

con lo que sustituyendo y desarrollando:

$$\begin{aligned}
 f_1 &= \overline{Z} \left[\underbrace{\overline{X}X}_0 + \overline{X}Y + \overline{Y}X + \underbrace{\overline{Y}Y}_0 \right] + Z \left[\underbrace{X\overline{X}}_0 + XY + \overline{X}\overline{Y} + \underbrace{\overline{Y}Y}_0 \right] = \\
 &= \overline{\overline{X}Y\overline{Z} + X\overline{Y}\overline{Z} + XYZ + \overline{X}\overline{Y}Z} = \overline{(\overline{X}Y\overline{Z})(X\overline{Y}\overline{Z})(XYZ)(\overline{X}\overline{Y}Z)} = \\
 &= \overline{(X + \overline{Y} + Z)(\overline{X} + Y + Z)(\overline{X} + \overline{Y} + \overline{Z})(X + Y + \overline{Z})}
 \end{aligned}$$

De donde negando dos veces y aplicando una vez los teoremas de DeMorgan se obtiene la representación final sólo con puertas NOR:

$$f_1 = (X \downarrow \bar{Y} \downarrow Z) \downarrow (\bar{X} \downarrow Y \downarrow Z) \downarrow (\bar{X} \downarrow \bar{Y} \downarrow \bar{Z}) \downarrow (X \downarrow Y \downarrow \bar{Z})$$

con lo que el circuito final es el representado en la figura (1.4.4 a).

Aquí se ha realizado el desarrollo completo aplicando sucesivamente los teoremas del álgebra de Boole pero hay un camino más corto que es el de pasar la función expresada como suma de "minterms" a producto de "maxterms" de donde negando dos veces obtenemos directamente la función expresada sólo en función de operadores NOR:

$$f_1 = \sum m(0, 3, 5, 6) = \prod M(1, 2, 4, 7)$$

$$f_1 = (X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z}) =$$

$$\begin{aligned} &= \overline{\overline{(X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z})}} \\ &= \overline{\overline{(X + Y + \bar{Z})} + \overline{\overline{(X + \bar{Y} + Z)} + \overline{\overline{(\bar{X} + Y + Z)} + \overline{\overline{(\bar{X} + \bar{Y} + \bar{Z})}}}} \end{aligned}$$

$$f_1 = (X \downarrow \bar{Y} \downarrow Z) \downarrow (\bar{X} \downarrow Y \downarrow Z) \downarrow (\bar{X} \downarrow \bar{Y} \downarrow \bar{Z}) \downarrow (X \downarrow Y \downarrow \bar{Z})$$

Obsérvese que en la síntesis con puertas NOR, los inversores se realizan uniendo las entradas de una puerta NOR, de forma equivalente al caso NAND.

Con la segunda función (f_2), dada su sencillez, la forma NOR se obtiene de forma directa, sin más que aplicar el teorema de DeMorgan a su expresión en forma NAND.

$$f_2 = \overline{XYZ} = \bar{X} + \bar{Y} + \bar{Z}$$

La función f_2 , sigue siendo muy sencilla también con puertas NOR. Figura (1.4.4 b)

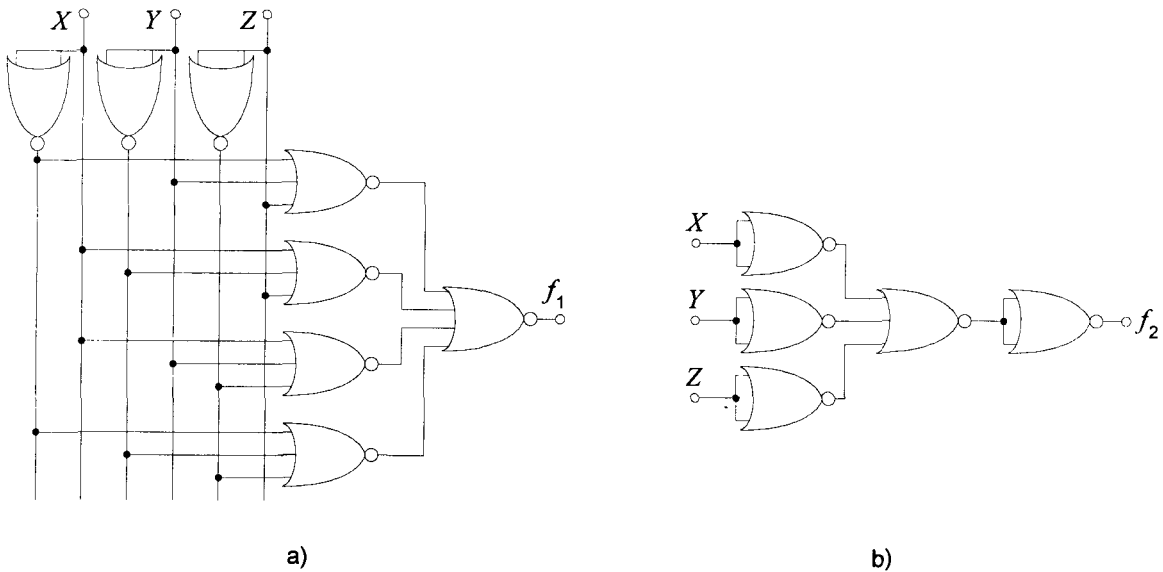


Fig. 1.4.4 Implementación de las funciones $A (f_1)$ y $B (f_2)$ sólo con puertas NOR

En este ejercicio se puede ver claramente la diferencia considerable que existe entre implementar una función (f_2 en este caso) con puertas NAND (fig. 1.4.3 b) y con puertas NOR (fig. 1.4.4 b). Con puertas NOR, la realización resulta antieconómica. Habrá otros casos en los que suceda al revés. Esto pone de manifiesto el hecho de que la minimización es relativa a la forma canónica elegida, es decir, en una forma canónica, el circuito resultante puede ser más simple que en otra.

□ □ □ □

E.1.5 Representación de funciones lógicas en las formas canónicas

Representar en forma canónica de términos mínimos las funciones f_1 y f_2 del ejercicio anterior. Cambiar la representación a maxterms y explicar los aspectos puntuales del principio de dualidad sobre ambos ejemplos.

$$A = f_1(X, Y, Z) = (\bar{X}Y + X\bar{Y})Z + \bar{Z}(XY + \bar{X}\bar{Y})$$

$$B = f_2(X, Y, Z) = \bar{X} + \bar{Y}Z + \bar{Z}X$$

Solución:

Gran parte del contenido de este problema se ha incluido en el desarrollo del problema anterior porque para la implementación NOR era más conveniente expresar la función en forma de suma de productos. Allí hicimos el desarrollo a partir de las expresiones lógicas de f_1 y f_2 . Aquí lo vamos a hacer de forma más sistemática, intentando profundizar en el significado del cambio. La tabla de la figura 1.7 del texto de teoría resume la dualidad de ambas representaciones. En el ejemplo de este ejercicio, se han elegido dos funciones representativas. La primera (f_1) es convencional, es decir posee varios términos mínimos en los que aparecen todas las variables, negadas o sin negar (términos mínimos m_0, m_3, m_5, m_6), con lo que su representación dual poseerá los términos máximos (maxterms) complementarios:

$$\begin{aligned} f_1|_{\text{Maxterms}}(X, Y, Z) &= \prod_{i=0}^7 (A_i + M_i) = \\ &= (1 + M_0)(0 + M_1)(0 + M_2)(1 + M_3)(0 + M_4)(1 + M_5)(1 + M_6)(0 + M_7) \end{aligned}$$

Todas la sumas que poseen un 1 desaparecen del producto final pues:

$$(1 + \text{"lo que sea"}) = 1$$

Por lo tanto:

$$f_1(X, Y, Z) = M_1 \cdot M_2 \cdot M_4 \cdot M_7 = (X + Y + \bar{Z})(X + \bar{Y} + Z)(\bar{X} + Y + Z)(\bar{X} + \bar{Y} + \bar{Z})$$

pues (Fig. 1.5.1):

$$M_1 = \overline{m_1} = \overline{\overline{X}\overline{Y}Z} = X + Y + \overline{Z}$$

$$M_2 = \overline{m_2} = \overline{\overline{X}Y\overline{Z}} = X + \overline{Y} + Z$$

$$M_4 = \overline{m_4} = \overline{\overline{X}\overline{Y}Z} = \overline{X} + Y + Z$$

$$M_7 = \overline{m_7} = \overline{\overline{X}YZ} = \overline{X} + \overline{Y} + \overline{Z}$$

De hecho, podríamos haber escrito el cambio de representación directamente ya que la forma minterm ("maxterm") de una función (f) se obtiene complementando la forma maxterm ("minterm") de la función complementaria (\overline{f}). Es decir, como f_1 tenía los minterms (0, 3, 5 y 6), cogemos los minterms (1, 2, 4 y 7) y los complementamos para obtener los "maxterms" (1, 2, 4 y 7).

Como cada término mínimo es un producto de variables o sus negadas, al complementarlo obtenemos una suma de las variables negadas o sin negar.

La tabla de la figura (1.5.1) muestra los términos mínimos y máximos correspondientes a la función f_1 de este ejercicio.

X	Y	Z	Minterms de f_1	Maxterms de f_1
0	0	0	$m_0 \rightarrow SI$	$M_0 = \overline{m_0} \rightarrow NO \quad (A_0 = 1)$
0	0	1	$m_1 \rightarrow NO$	$M_1 = \overline{m_1} \rightarrow SI \quad (A_1 = 0)$
0	1	0	$m_2 \rightarrow NO$	$M_2 = \overline{m_2} \rightarrow SI \quad (A_2 = 0)$
0	1	1	$m_3 \rightarrow SI$	$M_3 = \overline{m_3} \rightarrow NO \quad (A_3 = 1)$
1	0	0	$m_4 \rightarrow NO$	$M_4 = \overline{m_4} \rightarrow SI \quad (A_4 = 0)$
1	0	1	$m_5 \rightarrow SI$	$M_5 = \overline{m_5} \rightarrow NO \quad (A_5 = 1)$
1	1	0	$m_6 \rightarrow SI$	$M_6 = \overline{m_6} \rightarrow NO \quad (A_6 = 1)$
1	1	1	$m_7 \rightarrow NO$	$M_7 = \overline{m_7} \rightarrow SI \quad (A_7 = 0)$

Fig. 1.5.1 "Minterms" y "maxterms" representativos de la función f_1

Veamos ahora $f_2 = \bar{X} + \bar{Y} + \bar{Z}$

Esta función ya está en forma de "maxterm", porque aparece solo un término de suma $(\bar{X} + \bar{Y} + \bar{Z})$ en el que se incluyen todas las variables (negadas en este caso). Por consiguiente, lo que tenemos que hacer es pasar f_2 a forma "minterm". Como el único "maxterm" que contiene es M_7 , su forma "minterm" contendrá el complemento del resto de los "maxterms" ($\bar{M}_0, \bar{M}_1, \bar{M}_2, \bar{M}_3, \bar{M}_4, \bar{M}_5, \bar{M}_6$). Es decir ($m_0, m_1, m_2, m_3, m_4, m_5, m_6$). Vemos pues que en este caso la representación maxterm es mucho más compacta.

La tabla de "minterms" y "maxterms" correspondientes a la función f_2 , aparece en la figura (1.5.2).

Analíticamente:

$$f_2 = \bar{X} + \bar{Y} + \bar{Z} = \overline{XYZ} = \bar{m}_7 = m_0 + m_1 + m_2 + m_3 + m_4 + m_5 + m_6 =$$

$$= \bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z} + \bar{X}YZ + X\bar{Y}\bar{Z} + X\bar{Y}Z + XY\bar{Z}$$

X	Y	Z	Maxterms de f_2	Minterms de f_2
0	0	0	$M_0 \rightarrow NO \quad (A_0 = 1)$	$m_0 = \bar{M}_0 \rightarrow SI$
0	0	1	$M_1 \rightarrow NO \quad (A_1 = 1)$	$m_1 = \bar{M}_1 \rightarrow SI$
0	1	0	$M_2 \rightarrow NO \quad (A_2 = 1)$	$m_2 = \bar{M}_2 \rightarrow SI$
0	1	1	$M_3 \rightarrow NO \quad (A_3 = 1)$	$m_3 = \bar{M}_3 \rightarrow SI$
1	0	0	$M_4 \rightarrow NO \quad (A_4 = 1)$	$m_4 = \bar{M}_4 \rightarrow SI$
1	0	1	$M_5 \rightarrow NO \quad (A_5 = 1)$	$m_5 = \bar{M}_5 \rightarrow SI$
1	1	0	$M_6 \rightarrow NO \quad (A_6 = 1)$	$m_6 = \bar{M}_6 \rightarrow SI$
1	1	1	$M_7 \rightarrow SI \quad (A_7 = 0)$	$m_7 = \bar{M}_7 \rightarrow NO$

Fig. 1.5.2 "Minterms" y "maxterms" representativos de la función f_2

□ □ □ □

E.1.6 Teoremas de DeMorgan y de Adyacencia

Minimizar por aplicación reiterada de los teoremas de DeMorgan y del teorema de adyacencia las siguientes funciones:

$$A = f_1(X, Y, Z) = X\bar{Y} + Y\bar{Z} + \bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z + XYZ$$

$$B = f_2(X, Y, Z) = (X + Y + \bar{Z}) + (X + \bar{Y} + \bar{Z}) + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z}$$

Demostrar por inducción completa y por diagramas de Venn que las expresiones simplificadas son realmente equivalentes a las expresiones iniciales.

Solución:

Aplicando el Teorema de adyacencia obtenemos:

$$f_1 = X\bar{Y} + Y\bar{Z} + \underbrace{\bar{X}\bar{Y}\bar{Z} + \bar{X}\bar{Y}Z}_{\bar{X}\bar{Y}} + XYZ = Y\bar{Z} + \underbrace{X\bar{Y} + \bar{X}\bar{Y}}_{\bar{Y}} + XYZ$$

Negando dos veces y aplicando el Teorema de DeMorgan:

$$\begin{aligned} f_1 &= \bar{Y} + Y\bar{Z} + XYZ = \overline{\overline{\bar{Y} + Y\bar{Z} + XYZ}} = \overline{\bar{Y}\bar{Y}\bar{Z}\bar{X}YZ} = \overline{\bar{Y}(\bar{Y} + Z)(\bar{X} + \bar{Y} + \bar{Z})} = \\ &= \overline{\left(\underbrace{\bar{Y}\bar{Y}}_0 + YZ\right)(\bar{X} + \bar{Y} + \bar{Z})} = \overline{\bar{X}YZ + \underbrace{Y\bar{Y}Z}_0 + \underbrace{YZ\bar{Z}}_0} = \overline{\bar{X}YZ} = X + \bar{Y} + \bar{Z} \end{aligned}$$

$$f_1 = X + \bar{Y} + \bar{Z}$$

Con la segunda función:

$$f_2 = \underbrace{(X + Y + \bar{Z}) + (X + \bar{Y} + \bar{Z})}_{Y + \bar{Y} = 1} + \bar{X}\bar{Y}Z + \bar{X}Y\bar{Z} = 1$$

Obsérvese que en el primer sumando aparece la variable Y y en el segundo su complementaria, \bar{Y} . Así, sea cual fuere el valor de las otras variables siempre tendremos:

$$f_2(X, Y, Z) = Y + \bar{Y} + \text{"algo"} = 1 + \text{"algo"} = 1$$

Para demostrar la validez de la simplificación de f_1 usaremos ahora la inducción completa y los diagramas de Venn. En el primer caso comprobamos que para todas las configuraciones mutuamente exclusivas de las variables de entrada (000, 001, ..., 111) ambas expresiones (la inicial y la minimizada) producen el mismo valor de respuesta. Las expresiones que debemos demostrar que son iguales serán, la inicial y la obtenida después de minimizar:

Expresión inicial: $f_1 = X\bar{Y} + Y\bar{Z} + \bar{X}\bar{X}\bar{Y} + \bar{X}\bar{Y}Z + XYZ$

Expresión simplificada: $f_1 = X + \bar{Y} + \bar{Z}$

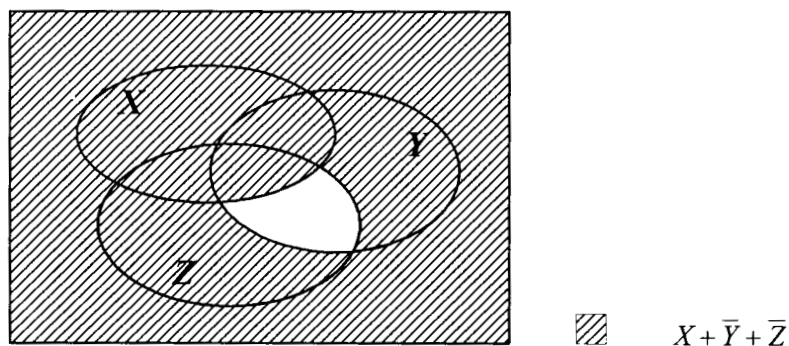
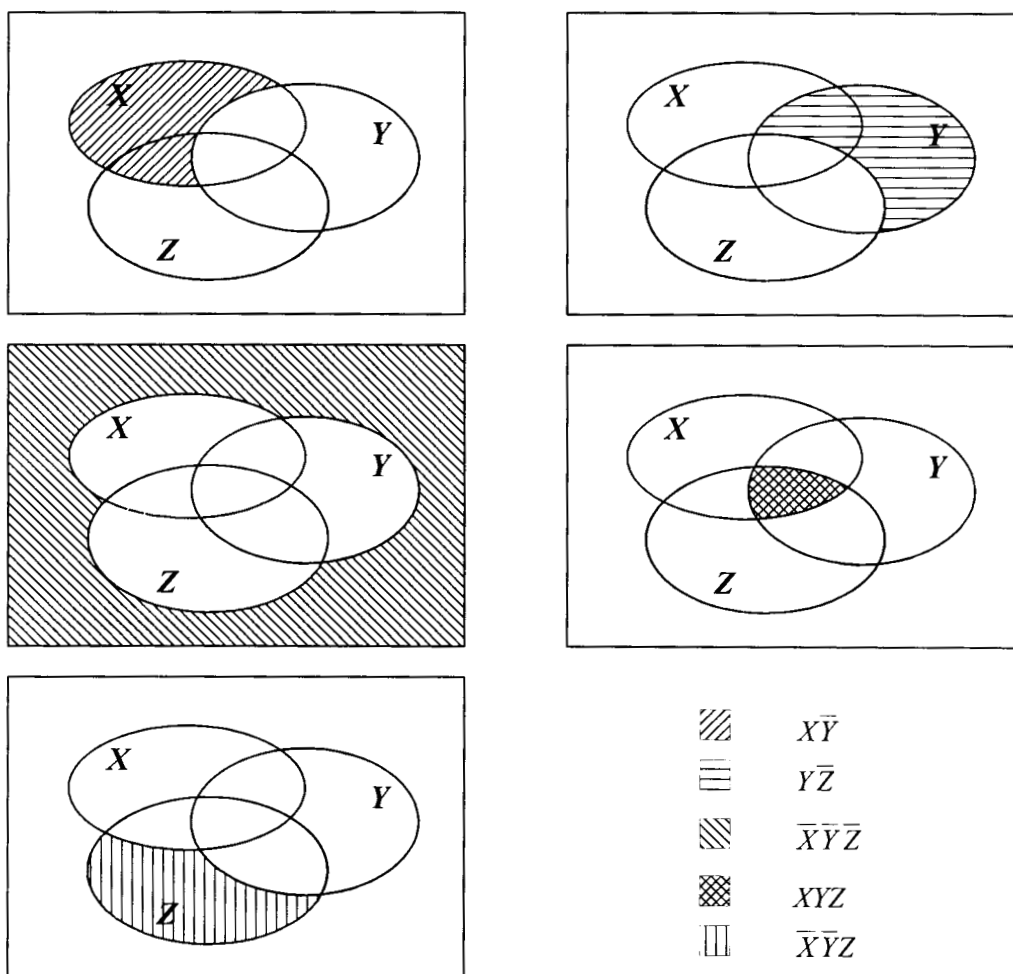
En la figura (1.6.1) se muestra la tabla de verdad en la que aparecen tanto la expresión simplificada como la inicial con todos sus sumandos. En esta tabla podemos ver que las dos últimas columnas, que corresponden a la función inicial y a su versión simplificada son iguales.

X	Y	Z	\bar{X}	\bar{Y}	\bar{Z}	$X\bar{Y}$	$Y\bar{Z}$	$\bar{X}\bar{Y}\bar{Z}$	$\bar{X}\bar{Y}Z$	XYZ	f_1	$X + \bar{Y} + \bar{Z}$
0	0	0	1	1	1	0	0	1	0	0	1	1
0	0	1	1	1	0	0	0	0	1	0	1	1
0	1	0	1	0	1	0	1	0	0	0	1	1
0	1	1	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	0	0	0	0	1	1
1	0	1	0	1	0	1	0	0	0	0	1	1
1	1	0	0	0	1	0	1	0	0	0	1	1
1	1	1	0	0	0	0	0	0	0	1	1	1

Fig. 1.6.1 Tabla de verdad correspondiente a la función f_1

En el segundo caso, representación mediante diagramas de Venn, hemos de comprobar que en las expresiones inicial y la final simplificada dan lugar al mismo área. En la figura (1.6.2) representamos la expresión $f_1 = X + \bar{Y} + \bar{Z}$ mientras que en la figura (1.6.3) se representan todos los sumandos que constituyen la función f_1

Como puede comprobarse, la suma lógica (unión de conjuntos) de todas las áreas rayadas de esta figura (1.6.3) proporciona la misma zona rayada que aparece en la figura (1.6.2) que representa la función minimizada, con lo que se demuestra que la expresión minimizada representa realmente a la función original.

Fig. 1.6.2 Representación mediante diagramas de Venn de la suma $X + \bar{Y} + \bar{Z}$ Fig. 1.6.3 Representación mediante diagramas de Venn de los sumandos de la función f_1

De la función f_2 no decimos nada ya que como se vió contiene un término de la forma: $1 + \text{"algo"} = 1$, con lo que representa el conjunto universal y su resolución mediante diagramas de Venn es por tanto trivial al igual que su tabla de verdad.

□ □ □ □

E.1.7 Minimización por diagramas de Karnaugh

Usar los diagramas de Karnaugh para simplificar las siguientes funciones

$$A = f_1(X, Y) = \overline{X}\overline{Y} + X\overline{Y} + \overline{X}Y$$

$$B = f_2(X, Y, Z) = \overline{X}\overline{Y}Z + (\overline{Y} + \overline{Z})X + Y$$

Solución:

Es un sencillo problema de minimización del tipo de los resueltos como parte intermedia en varios problemas anteriores. El procedimiento consiste en usar los diagramas de Karnaugh para hacer vecinos a los términos mínimos que sólo se diferencian en el valor de una de sus variables de forma que la simplificación pueda realizarse por simple inspección.

Así, para la función:

$$f_1 = \overline{X}\overline{Y} + X\overline{Y} + \overline{X}Y$$

el diagrama de Karnaugh es el que se muestra en la figura (1.7.1) y a partir de él obtenemos: $f_1 = \overline{X} + \overline{Y}$ o bien: $f_1 = \overline{X\overline{Y}}$.

O lo que es lo mismo: $f_1 = \overline{X} + \overline{Y} = M_3 = \overline{m_3} = \overline{X\overline{Y}}$

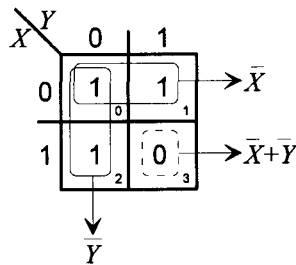


Fig. 1.7.1 Diagrama de Karnaugh correspondiente a la función f_1

Tomamos ahora la segunda función, y anotamos sobre un diagrama de Karnaugh de tres variables (1.7.2 a) los términos obtenidos tras desarrollar los paréntesis:

$$f_2 = \bar{X}\bar{Y}Z + (\bar{Y} + \bar{Z})X + Y = \bar{X}\bar{Y}Z + \bar{Y}X + \bar{Z}X + Y$$

Minimizando esta segunda función mediante el diagrama de Karnaugh en la forma que se muestra en la figura (1.7.2 b) obtenemos:

$$B = f_2 = X + Y + Z = M_0$$

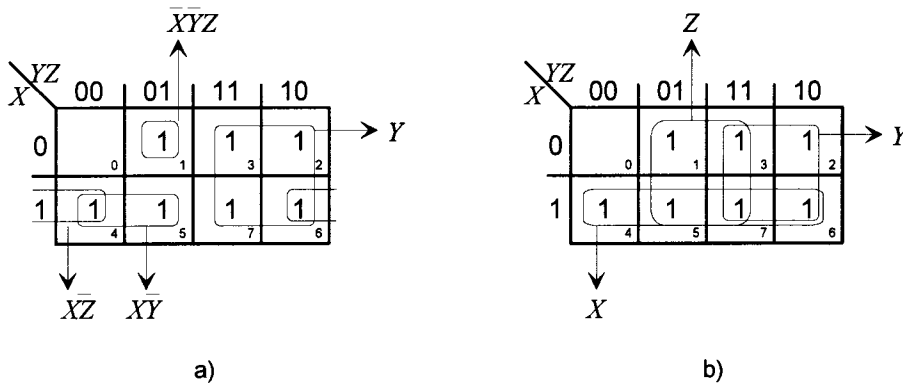


Fig. 1.7.2 Diagrama de Karnaugh de la función f_2 antes de minimizar a) y después b)

□ □ □ □

E.1.8 Minimización de términos mínimos por Karnaugh

Empleando diagramas de Karnaugh minimícense las funciones de cuatro variables que aparecen expresadas como suma de términos mínimos:

$$f_1(A, B, C, D) = \sum m(0, 1, 4, 5, 7, 8, 10, 12, 14, 15)$$

$$f_2(A, B, C, D) = \sum m(0, 2, 5, 7, 8, 10, 13, 15)$$

Solución:

Este ejercicio aparece con objeto de ilustrar el empleo de diagramas de Karnaugh con funciones de cuatro variables.

Los diagramas de Karnaugh se pueden emplear en principio, con cualquier número de variables, pero una realización práctica y cómoda limita el uso de este sistema a funciones con no más de cinco o seis variables. Sin embargo, para este tipo de funciones y otras de mayor número de variables es preferible el empleo de otros métodos más sistemáticos. Estos métodos facilitan además su implementación de forma programada, con lo que la minimización se convierte en una tarea tremendamente sencilla.

El aspecto de un diagrama de Karnaugh de cuatro variables aparece en la figura (1.8.1) donde se han introducido ya los términos mínimos correspondientes a f_1 .

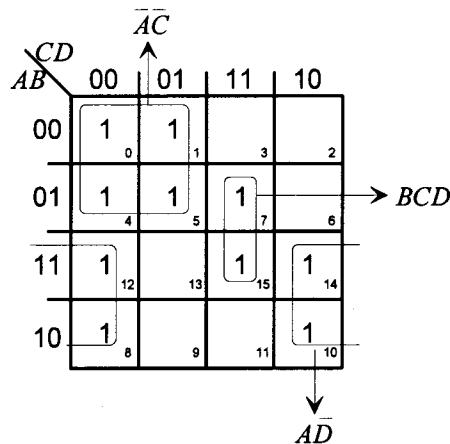


Fig. 1.8.1 Diagrama de Karnaugh correspondiente a la función f_1

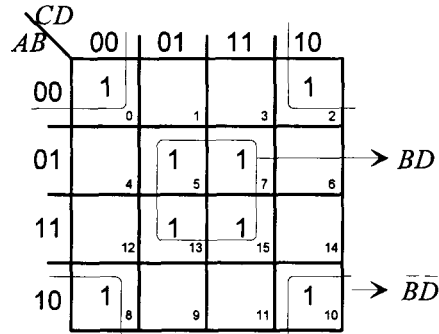
Obsérvese que el orden de numeración de las casillas, se establece como siempre para que casillas adyacentes se correspondan con "minterms" que sólo se diferencian en una variable.

Realizando las agrupaciones correspondientes, que aparecen reflejadas en la figura (1.8.1) obtenemos:

$$f_1 = \bar{A}\bar{C} + BCD + \bar{A}\bar{D}$$

Haciendo lo mismo con la segunda función (figura 1.8.2) obtenemos:

$$f_2 = BD + \bar{B}\bar{D}$$

Fig. 1.8.2 Diagrama de Karnaugh correspondiente a la función f_2

□ □ □ □

E.1.9 Minimización de términos máximos por Karnaugh

Minimizar las siguientes funciones expresadas como producto de términos máximos, empleando directamente estos términos sobre el diagrama de Karnaugh:

$$f_1 = \prod M(0,3,4,5,6,7,11,13,14,15)$$

$$f_2 = \prod M(1,3,4,5,6,7,9,11,13)$$

Solución:

Para representar los "maxterms" en un diagrama de Karnaugh empleamos ceros ("0") en lugar de unos ("1") que representan "minterms".

Las agrupaciones de "maxterms" siguen las mismas reglas que hemos visto hasta ahora con los "minterms" pero teniendo en cuenta que una agrupación de ceros ("maxterms") producen una suma de variables en lugar de un producto. Hay que tener en cuenta también que el criterio para tomar una variable o su complementaria es inverso al caso de los términos mínimos. Es decir, si una agrupación cae en una zona en la que la variable X es "1", se toma \bar{X} y si es "0" se tomará directamente X .

Aplicando ésto a la primera función (figura 1.9.1) obtenemos:

$$f_1 = (A + C + D)(\bar{B} + \bar{C})(\bar{B} + \bar{D})(\bar{C} + \bar{D})$$

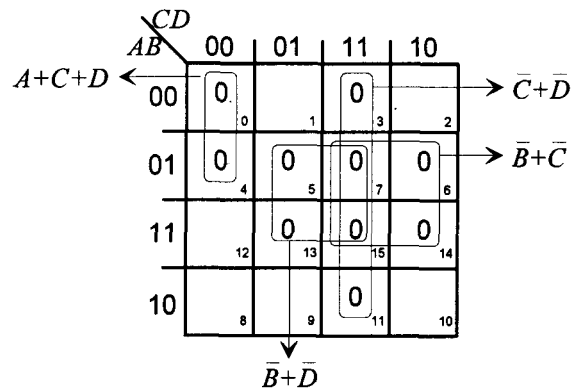


Fig. 1.9.1 Diagrama de Karnaugh correspondiente a la función f_1

Haciendo lo mismo con la segunda función tal y como aparece en la figura 1.9.2 tendremos:

$$f_2(A, B, C, D) = (A + \bar{B})(B + \bar{D})(C + \bar{D})$$

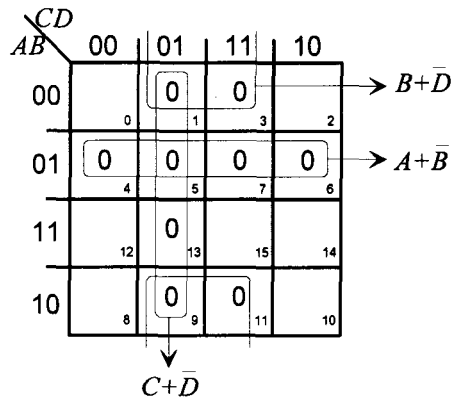


Fig. 1.9.2 Diagrama de Karnaugh correspondiente a la función f_2

□ □ □ □

E.1.10 Minimización de funciones con términos irrelevantes

Hay situaciones en las que algunas combinaciones de entrada son intrascendentes (no importa la salida en ese caso), o bien sabemos a priori que no se producirán nunca. Esas combinaciones las podemos representar en un diagrama de Karnaugh por x y tomarlas como "0" o "1" según convenga para obtener una expresión más minimizada.

Utilizar los diagramas de Karnaugh para minimizar las siguientes funciones como "minterms", y como "maxterms":

$$f_1 = \sum m(0,1,4,5,9,11,15) + d(2,6,7,13)$$

$$f_2 = \sum m(3,7,11) + d(12,13,14,15)$$

Donde el término $d(\dots)$ representa a los términos intrascendentes.

Solución:

Como sugiere el enunciado, representamos los términos intrascendentes con x sobre el diagrama de Karnaugh. Una vez hecho esto procederemos como en los casos anteriores a realizar las agrupaciones que engloben el mayor número posible de casillas hasta que hayan sido incluidas en uno u otro grupo todas aquellas que contienen un "1".

Sin embargo, ahora podemos tomar casillas que contienen una x (combinación de entrada intrascendente) para conseguir agrupaciones que contengan un mayor número de casillas, ya que esto nos lleva a puertas con menor número de entradas, a la vez que favorece el que el número de grupos necesario (n° de puertas) sea más pequeño.

Si una casilla que contiene una x nos puede servir para completar una agrupación de unos, la tomaremos como "1" y la incluiremos. El resto de casillas que representan combinaciones intrascendentes podemos ignorarlas (sólo estamos obligados a agrupar las que contengan un "1"), lo que equivale a considerar que producen un "0" en la salida.

Con esto lo que hacemos es asignar a cada combinación intrascendente o bien un "1" si incluimos la casilla correspondiente dentro de una agrupación, o un "0" si no la incluimos en ninguna.

Hay que tener en cuenta que la x no representa un tercer estado sino una indeterminación o irrelevancia. Es decir para esas combinaciones de entrada la salida será "0" o "1", aunque no importe cuál de las dos exactamente. Al hacer las agrupaciones lo que hacemos es resolver la indeterminación de la forma más favorable para conseguir una implementación más optimizada.

Si en el diagrama de Karnaugh representamos los términos máximos en lugar de los mínimos, las agrupaciones las realizamos con ceros en lugar de con unos, por lo que al incluir una casilla irrelevante en una agrupación le estamos asignando un "0" y a las no incluidas un "1".

A) Función f_1 expresada como de suma de productos ("minterms").

En la figura (1.10.1 a) se muestra el diagrama de Karnaugh correspondiente a la primera función para minimizarla como suma de productos. En ella se puede ver como la casilla 13 ha sido incluida para formar una agrupación de 4 casillas. Sin embargo, las casillas 2, 6 y 7 se han dejado fuera ignorándolas ya que no nos sirven para obtener una agrupación mayor.

Según lo comentado anteriormente, se observa que hemos tomado $d_{13}=1$ y $d_2=d_6=d_7=0$. La función minimizada será: $f_1 = \overline{A}\overline{C} + AD$

B) Función f_1 expresada como producto de sumas ("maxterms").

La función f_1 escrita como producto de maxterms será:

$$f_1 = \prod M(3, 8, 10, 12, 14) d(2, 6, 7, 13)$$

Obviamente las combinaciones de entrada que aparecían como irrelevantes en la expresión de f_1 expresada como suma de "minterms" siguen apareciendo como irrelevantes en la forma de producto de "maxterms".

La figura (1.10.1 b) muestra las agrupaciones elegidas para realizar la minimización. Ahora, al incluir las casillas irrelevantes en alguna agrupación les estamos asignado un "0" y a las que dejamos fuera les asignamos un "1". Es decir: $d_{13}=1$ y $d_2=d_6=d_7=0$.

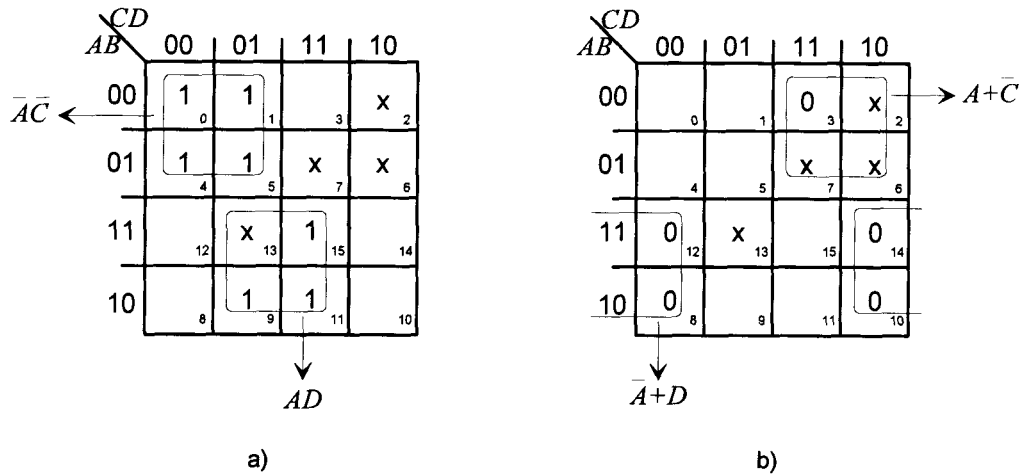


Fig. 1.10.1 Diagramas de Karnaugh para la minimización de la función f_1
a) como suma de productos b) como producto de sumas

La expresión obtenida con la minimización será:

$$f_1 = (A + \bar{C})(\bar{A} + D)$$

C) Función f_2 expresada como suma de productos ("minterms").

Haciendo lo mismo con la función f_2 obtenemos la siguiente función expresada de forma mínima (figura 1.10.2 a):

$$f_2 = CD$$

En este caso hemos tomado $d_{15}=1$ y $d_{12}=d_{13}=d_{14}=0$.

D) Función f_2 expresada como producto de sumas ("maxterms").

Procediendo de la misma forma que en los casos anteriores obtenemos la expresión:

$$f_2 = CD$$

Esto se deduce de las agrupaciones reflejadas en la figura (1.10.2 b), en la que hemos tomado $d_{15}=1$ y $d_{12}=d_{13}=d_{14}=0$.

Hay que señalar que aunque en este caso la expresión obtenida es idéntica a la del apartado c) su naturaleza es distinta. En el apartado c) CD representan un producto de dos variables (no hay mas sumandos), sin embargo, en este apartado, CD representa el producto de dos sumandos en los que sólo interviene una variable.

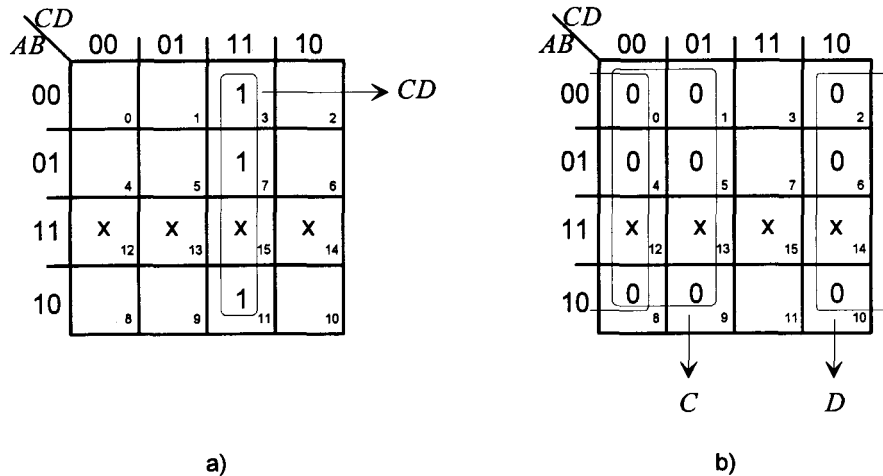


Fig. 1.10.2 Diagramas de Karnaugh para la minimización de la función f_2
a) como suma de productos b) como producto de sumas

TEMA 2

Dispositivos semiconductores en corte y saturación

PROPÓSITO

En el capítulo segundo del libro de teoría no se propusieron enunciados de problemas pensando que el carácter general y resumido del tema no los hacía necesarios. Sin embargo, la experiencia docente nos ha demostrado justo lo contrario. Debido al carácter compacto del tema y a su dependencia de ciertos conocimientos sobre física de dispositivos y teoría de circuitos no incluidos de forma explícita, se han generado un gran número de consultas. Por esa razón rectificamos ahora y en el texto dedicado a la solución de los problemas propuestos en otros temas incluimos también enunciados y soluciones para este tema. Hemos usado una estrategia múltiple en la solución de los problemas mezclando soluciones convencionales ("de papel y lápiz"), sencillos programas de simulación de acceso libre y propuestas orientadas hacia el laboratorio.

Los primeros problemas se dedican a la obtención de las curvas características de diodos y al uso de éstos como elementos de circuito no lineales recortando ondas, siguiéndolas a tramos y actuando como circuitos rectificadores.

La segunda parte está dedicada a los transistores bipolares. De nuevo se hace énfasis en la obtención de las curvas características y en la polarización del dispositivo viendo como se cruza la recta de carga con las curvas características del transistor y como aparecen las tres regiones (corte, activa y saturación) al modificar el valor de la tensión Base-Emisor.

La parte final se dedica a los transistores de efecto de campo. Como nos hemos querido obligar a usar un "software" de fácil adquisición, el transistor usado no es el ideal para aplicaciones en conmutación. Sin embargo, cumple de forma satisfactoria los objetivos pedagógicos que nos hemos propuesto.



EJERCICIOS RESUELTOS

E.2.1 Circuito de polarización básica del diodo

Con ayuda del circuito básico de polarización de un diodo (Fig. 2.1.1), obtener la curva característica del mismo por simulación. ¿Qué sucede cuando excitamos con onda senoidal de la forma: $V_{in} = 5\sin(2\pi ft)$? Obtener por simulación la forma de onda de la señal de tensión en bornes de la resistencia y del diodo y explicar la relación entre ambas. Explíquense detalladamente las curvas obtenidas. Móntese el circuito con un diodo real y obténganse experimentalmente los valores y curvas pedidos.

A = Ánodo

K = Cátodo

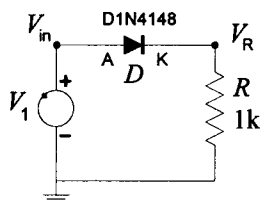


Fig. 2.1.1 Circuito básico de polarización de un diodo

Solución:

La forma más sencilla de obtener la curva característica de un diodo es polarizándolo con un generador de tensión y medir la corriente que pasa a través de él. También podemos emplear su forma dual, es decir excitando con un generador de corriente y midiendo la tensión que se produce en bornes del diodo. No obstante, en la práctica se añade una resistencia para limitar la corriente y evitar daños al dispositivo.

Para la experiencia hemos escogido un diodo rectificador de los que incorpora el programa de simulación PSpice en su versión básica y de fácil localización en el comercio (1N4148) y una resistencia de $1k\Omega$ como dispositivo limitador.

Si partimos de una tensión nula, obviamente la corriente será también nula. Si la vamos aumentando lentamente en sentido positivo ($V_A > V_K$) llegará un momento en que alcanzará el valor de la tensión umbral del diodo y éste empezará a conducir. Este valor suele estar cercano a los 0.5 Voltios. Una vez alcanzado este valor, el diodo está polarizado en directa y comienza a conducir. Si seguimos aumentado lentamente la tensión, el diodo pasa a presentar una resistencia muy baja por lo que no pondrá apenas obstáculos al paso de corriente. Se dice entonces que el diodo entra en saturación. Este valor de saturación suele estar alrededor de los 0.7-0.8 Voltios. Sin embargo, estos valores son orientativos y dependerán del modelo concreto de diodo que empleemos y de sus características particulares. No obstante, cuando nos proponen analizar un circuito sin especificar el modelo concreto de diodo ni nos dan sus valores particulares, pueden usarse éstos como valores generales que nos permitirán obtener un comportamiento cualitativo del circuito bajo estudio. Una vez alcanzada la saturación, pequeños incrementos en la tensión de entrada al circuito, producirán unos fuertes incrementos en la corriente. Es por esto por lo que se añade una resistencia limitadora.

Si invertimos la señal de entrada y excitamos ahora con tensiones negativas ($V_A < V_K$) no pasará corriente por mucho que aumentemos la tensión dentro de unos límites razonables. Más allá de esos límites se producirá la ruptura Zener o la ruptura por avalancha.

De esta forma podemos obtener la curva característica de forma experimental. Basta con tomar pares de valores (V_D , I) y representarlos en una gráfica.

Para obtener la curva característica del diodo, introducimos el esquema del circuito con los valores apropiados y elegimos un estudio en continua (DC analysis). En el cuadro de diálogo correspondiente a este tipo de análisis (Opción Analysis/Setup/DC Sweep...), establecemos los parámetros necesarios que se resumen en la tabla de la figura (2.1.2).

Swept Var. Type:	Voltage Source	Name:	V1
Swept type:	Linear	Start value:	-2V
		Stop value:	2V
		Increment:	0.01V

Fig. 2.1.2 Parámetros necesarios para realizar el análisis de continua

Hemos elegido un análisis de continua (DC analysis ó DC Swept), porque lo que nos interesa es el estudio del comportamiento del circuito en función de la variación de una tensión (tensión de entrada). Si hubiésemos querido estudiar la evolución del circuito en función del tiempo habríamos elegido un análisis de transitorio (transient analysis), o si deseásemos hacerlo en el dominio de la frecuencia deberíamos realizar un análisis de alterna (AC analysis ó AC Sweep), etc... Veremos más ejemplos de análisis de continua y transitorio en varios ejercicios.

El significado de los parámetros es el siguiente:

Name indica el nombre del generador que se va a emplear como entrada. En nuestro caso V1. El **Start Value** indica el primer valor para el que se realizará la simulación. **Stop Value** indica el último. Entre estos dos valores se introducen tantos puntos como quepan separados entre sí por el valor del parámetro **increment**. En este ejemplo, se realiza el estudio comenzando con $V1 = -2V$ y se calcula un nuevo punto en la gráfica cada $0.01V$ hasta que se alcance el valor $V1 = 2V$.

Swept Var. Type: Indica el tipo de magnitud física en función de la que vamos a realizar la simulación. En este caso es una tensión.

Swept Type: Establece la forma en la que se tomarán los incrementos. Si elegimos **linear**, los puntos intermedios estarán equiespaciados. Si elegimos **Octave** ó **Decade** el espaciado irá creciendo de forma logarítmica, bien por octavas o por décadas. Por último, con **Value list** podemos elegir arbitrariamente los puntos para los que queremos que se realice el análisis. Estos valores se pueden introducir en la casilla **Values**. En todos los ejercicios emplearemos únicamente barridos lineales (**Swept Type: Linear**).

Después de realizar la simulación, podemos obtener la curva que representa la corriente del diodo en función de la tensión de entrada al circuito (figura 2.1.3)

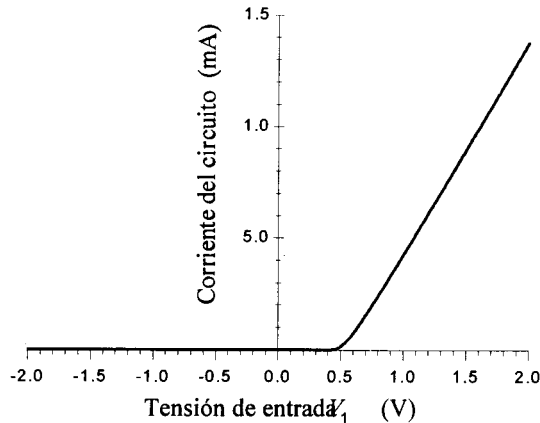


Fig. 2.1.3 Corriente en el circuito en función de la tensión de entrada obtenida por simulación para el circuito de la figura (2.1.1)

Sin embargo, esta figura no representa la característica del diodo ya que al tener una resistencia en serie con el mismo, la tensión debe repartirse entre ambos. Para obtener la característica real del diodo debemos representar la corriente que circula por la resistencia (igual a la que circula por el diodo) en función de la tensión en bornes del diodo y no de la tensión en bornes de todo el circuito. Esto se puede conseguir si cambiamos la variable que se representa en el eje X del programa de presentación gráfica. Por defecto esta variable es siempre la tensión que se empleó para realizar la simulación (V_1 en nuestro caso). Pero en el programa de presentación podemos escoger cualquier tensión o cualquier corriente en cualquier punto del circuito y representar el resto de magnitudes en función de ella. Este cambio se hace con la opción **X Variable...** del menú **Axis**. Al hacer esto obtenemos la curva característica del diodo (figura 2.1.4).

Obsérvese la diferencia entre las curvas de las dos figuras. En la que aparece la curva característica, la corriente crece mucho más rápidamente una vez alcanzada la tensión umbral o de "despegue", que en la otra. Esto es debido a que hemos eliminado el efecto limitador de la resistencia. Obsérvese también que para el mismo valor de la corriente, no se alcanza el valor de dos voltios fijado como límite superior de la simulación. Esto es debido a que una vez que comienza a pasar la corriente, comienza a producirse una caída de tensión en la resistencia y ya no aumenta la caída de tensión

en el diodo. Es decir, por mucho que aumentásemos la tensión de entrada, la tensión en bornes del diodo quedaría establecida en su valor de saturación y no seguiría aumentando, aunque la corriente seguiría creciendo con la única limitación de la resistencia (ley de Ohm).

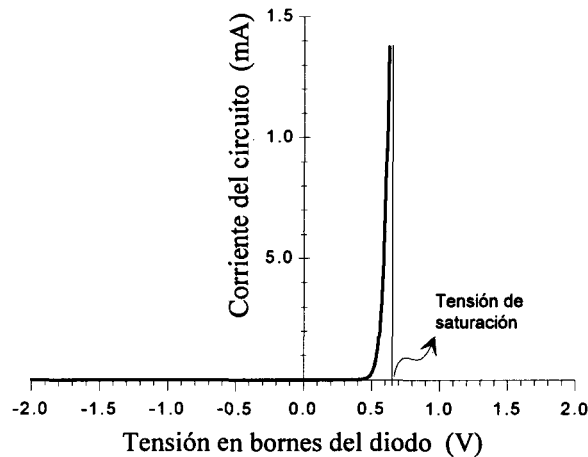


Fig. 2.1.4 Curva característica del diodo 1N4148 obtenida por simulación

Esto lo podemos ver muy claramente si, tal como pide el enunciado, representamos las tensiones en bornes del diodo y de la resistencia en función de la tensión de entrada (Figura 2.1.5).

En esta figura se ve claramente que cuando el diodo está polarizado en inversa, toda la tensión cae en el propio diodo. Esto es lógico ya que por el circuito no pasa corriente, y por lo tanto por la ley de Ohm, en la resistencia limitadora no hay caída de tensión y sus extremos estarán al mismo potencial. Cuando el diodo está polarizado en directa pero por debajo de su tensión umbral, la situación sigue siendo la misma. Esta situación cambia cuando la tensión en los terminales del diodo supera su valor umbral. A partir de ese momento, comienza a circular corriente por el diodo y la tensión en bornes de la resistencia comienza a incrementarse. Como la tensión total (Diodo + Resistencia) debe ser igual a la tensión de entrada, si comienza a aumentar la tensión en los terminales de la resistencia, la tensión en el diodo decrecerá su ritmo de incremento. Alcanzado el valor de saturación entre los extremos del diodo, éste apenas ofrece resistencia al paso de la corriente, por lo que toda la

tensión que sobrepase ese valor de saturación caerá sobre la resistencia. A partir de ese momento la tensión en bornes de la resistencia será igual a la tensión de entrada menos el valor de saturación del diodo. Estos comentarios están reflejados en las curvas de la figura (2.1.5), donde aparecen las tensiones en los terminales de los dos elementos en función de la tensión de entrada.

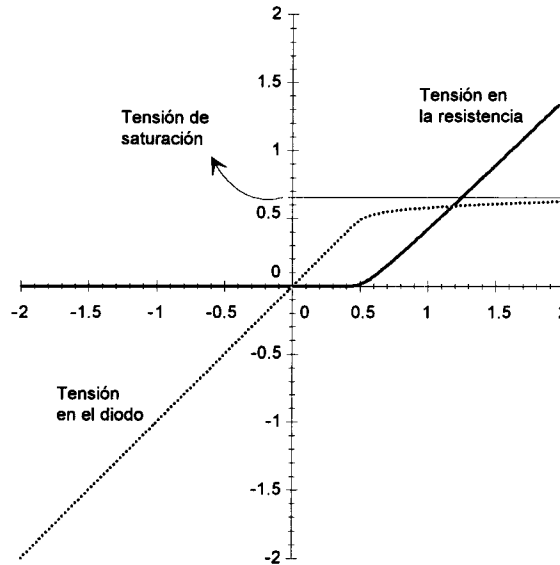


Fig. 2.1.5 Tensión en bornes de la resistencia (línea continua) y del diodo (línea punteada) en función de la tensión de entrada al circuito

Veamos ahora que sucede cuando excitamos con una señal sinusoidal. En este caso, si pretendemos obtener las formas de onda de la tensión en función del tiempo deberemos realizar un análisis de transitorio. Para realizar esto, elegimos V1 de tipo generador de tensión sinusoidal (VSIN) y establecemos los parámetros que nos sugiere el enunciado $V_m = 5 \text{ sen}(2\pi ft)$:

```
voff=      0V
vAMPL=     5V
freq=      1000
```

En este caso hemos tomado $f=1000\text{Hz}$, una amplitud de 5V y un nivel de continua nulo. El resto de parámetros del generador podemos ignorarlos. Para realizar la simulación en este caso debemos especificar durante cuanto tiempo deseamos

estudiar el circuito. Si excitamos con una señal de 1 kHz. y deseamos ver el comportamiento del circuito durante un ciclo completo de la señal de entrada, necesitaremos establecer un tiempo de simulación de 1ms que es el periodo de una señal de 1kHz. Esto se establece en el cuadro de diálogo correspondiente a la opción Analysis/ setup/ transient...

En la figura (2.1.6) se muestran los resultados obtenidos en la simulación temporal (análisis transitorio). En esta figura aparece la señal sinusoidal de entrada y la tensión en bornes de la resistencia y del diodo. La relación entre ambas se entiende claramente si tenemos en cuenta los comentarios realizados para el análisis de continua.

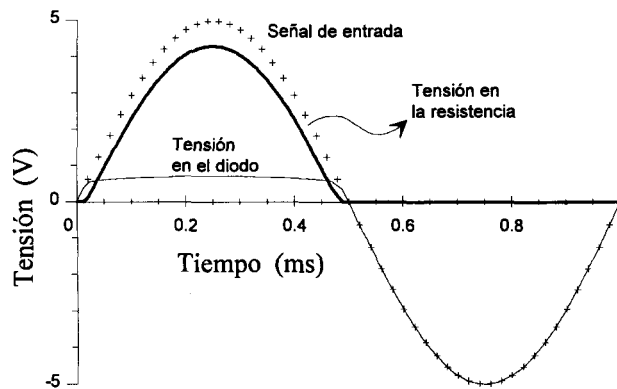


Fig. 2.1.6 Formas de onda cuando excitamos el circuito con onda senoidal

Cuando el diodo está polarizado en inversa (semiciclo negativo), la caída de tensión en la resistencia es nula (ya que no pasa corriente) y toda la caída de tensión es soportada por el diodo. Cuando está polarizado en directa (semiciclo positivo), la tensión en la resistencia sigue a la entrada con la pequeña diferencia de la caída de tensión en el diodo (tensión de saturación). Nuevamente podemos comprobar que la suma de las caídas de tensión en la resistencia y en el diodo es igual a la tensión de entrada.

En esta figura se comprueba también el caracter rectificador del diodo, ya que pese a que la entrada es alternativamente positiva y negativa, sobre la resistencia sólo caerán tensiones positivas.



E.2.2 Característica de transferencia de un diodo con desplazamiento de niveles

Dado el circuito de la figura (2.2.1):

- Obtener su característica de transferencia para los casos $V_p = 5V$ y $V_p = -5V$.
- Dibujar la forma de la señal de salida en ambos casos con excitación sinusoidal
- Tomando $R = 50\Omega$ calcular el valor de la resistencia del diodo en conducción a partir de los datos de la simulación.

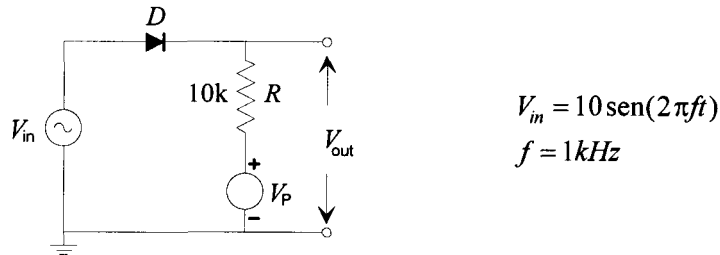


Fig. 2.2.1 Circuito correspondiente al ejercicio E.2.2

Solución:**A.1) Característica de transferencia con $V_p = 5V$.**

Para que circule corriente por el circuito será necesario que el diodo esté polarizado en directa. Para que suceda esto se debe cumplir:

$$V_{in} > V_p + V_\gamma \approx 5.5V$$

A partir de este valor de la entrada el diodo entra en directa y la corriente estará limitada únicamente por la resistencia R y la resistencia interna del diodo. Como en este caso: $R = 10k\Omega \gg R_{\text{diodo}} \approx$ pocos ohmios, casi toda la caída de tensión debida al paso de corriente se producirá en R . El efecto del generador V_p es doble: por una parte desplaza la tensión umbral del diodo hasta los 5.5 Voltios, y por otra, mantiene la salida en 5 Voltios ya que si no pasa corriente la diferencia de tensión en los terminales de la resistencia R es nula. Como consecuencia, la tensión en los terminales de salida (V_{out}) será la misma que la del generador V_p . Se ha producido por tanto un doble desplazamiento respecto de la curva característica del circuito de polarización simple del ejercicio E.2.1 (figura 2.1.3).

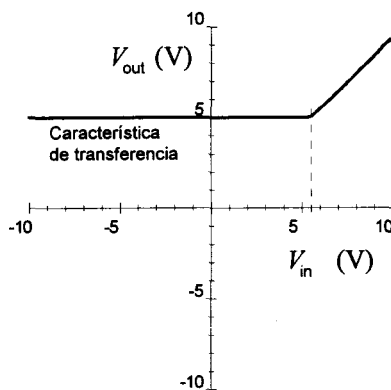
Este estudio analítico nos lleva a una curva como la de la figura (2.2.2 a).

A.2) Característica de transferencia con $V_p = -5V$

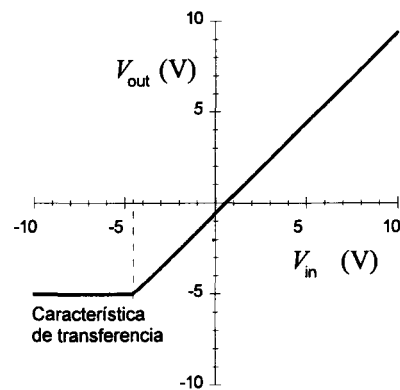
Igual que antes, tendremos que la conducción comenzará cuando el diodo se polarice en directa. En este caso este hecho se producirá cuando:

$$V_{in} > V_p + V_\gamma \approx -4.5V$$

Mientras el diodo esté polarizado de forma inversa, no circulará corriente y la tensión en los bornes de salida viene determinada como en el caso anterior por el valor de $V_p = -5V$. La característica de transferencia obtenida en este caso será por tanto la de la figura (2.2.2 b). Obsérvese que nuevamente se ha producido un doble desplazamiento, en este caso de $-5V$ en ambos ejes respecto del mismo circuito sin V_p .



a) $V_p = 5V$



b) $V_p = -5V$

Fig. 2.2.2 Características de transferencia obtenidas por simulación.

B) Excitación sinusoidal

Una vez obtenida la característica de transferencia podemos dibujar fácilmente la forma de la señal de salida para cualquier señal de entrada. Para hacer esto de forma gráfica no tenemos mas que dibujar la característica de transferencia junto con la señal de entrada situada debajo, empleando el eje común que presentan ambas

gráficas. Este eje común es el de abscisas para la característica de transferencia y el de ordenadas para la señal de entrada. El eje de abscisas de la señal de entrada será obviamente el tiempo. El eje de ordenadas de la característica de transferencia es común con el eje de ordenadas de la señal de salida. Basta ahora con establecer la correspondencia entre las tres gráficas obtenidas de la forma que se ilustra en la figura (2.2.3). La forma de onda que aparece en la mencionada figura fué obtenida por simulación para conseguir una mayor precisión aunque el método gráfico nos proporciona un resultado que nos permite conocer de forma cualitativa el comportamiento del circuito. En este caso hemos empleado la señal senoidal sugerida en el enunciado, pero puede emplearse con cualquier tipo de señal de excitación.

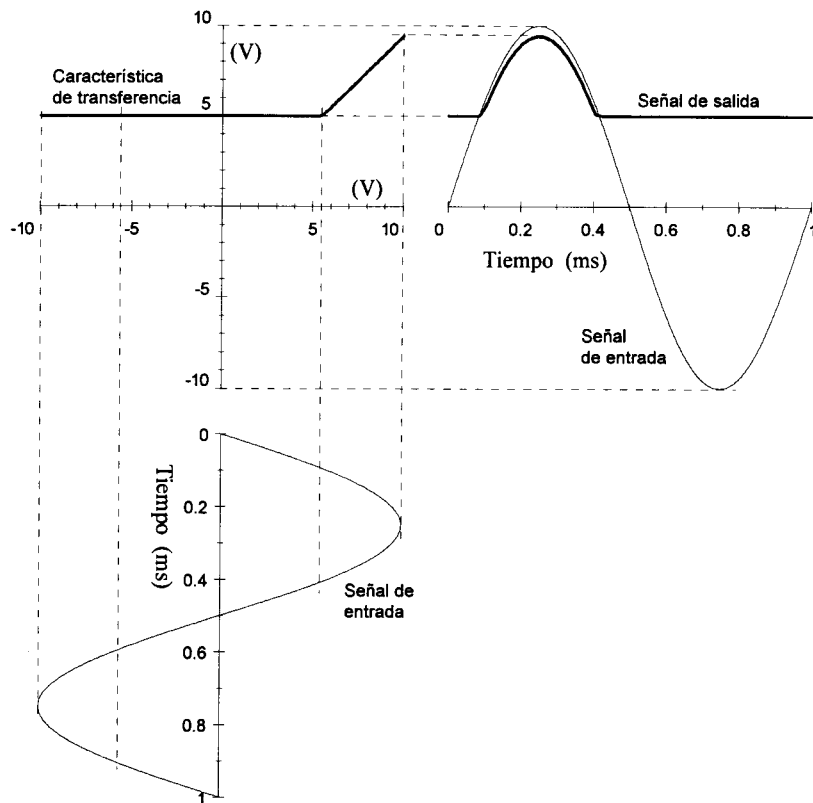


Fig. 2.2.3 Obtención de la señal de salida en función de la entrada con ayuda de la característica de transferencia: $V_p = 5V$

Esto mismo lo podemos realizar con la característica de transferencia obtenida para $V_p = -5V$. Las curvas obtenidas en este caso se representan en la figura (2.2.4).

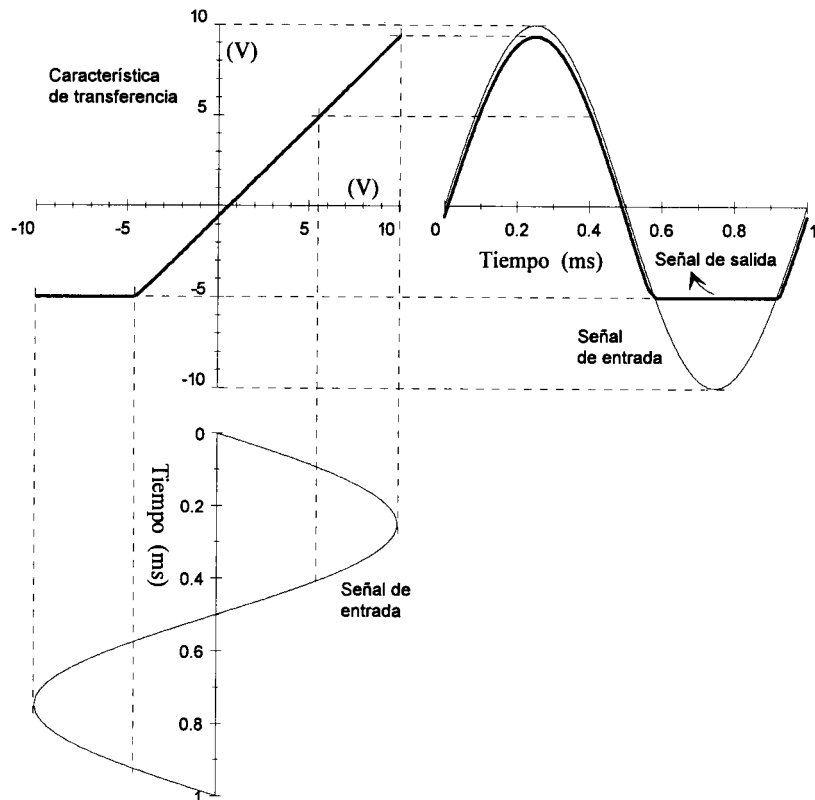


Fig. 2.2.4 Obtención de la señal de salida en función de la entrada con ayuda de la característica de transferencia: $V_p = -5V$

C) Cálculo de la resistencia en conducción

Falta calcular ahora el valor de la resistencia del diodo cuando está en conducción a partir de los datos obtenidos en simulación. Para hacer esto recordemos el circuito simplificado del diodo en conducción (figura 2.2.5).

El valor de R_s es pequeño, por eso para obtener mayor precisión el enunciado nos sugiere emplear una resistencia en el circuito de un valor mucho más bajo que el inicial ($10k\Omega \rightarrow 50\Omega$). De esta forma, el valor de la resistencia externa se acerca al de

la resistencia interna en conducción con lo que los efectos debidos a la resistencia se repartirán sobre ambas.

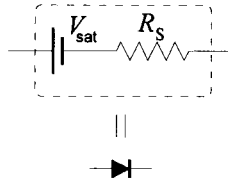


Fig. 2.2.5 Modelo de un diodo en conducción

Al sustituir el diodo por su modelo en conducción obtenemos el circuito que se muestra en la figura (2.2.6).

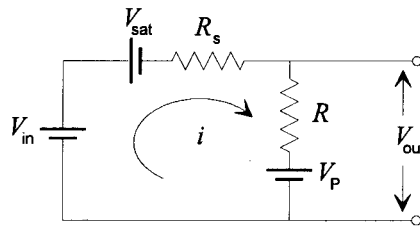


Fig. 2.2.6 Circuito del enunciado sustituyendo el diodo por su modelo en conducción.

De donde obtenemos:

$$V_{in} = V_{sat} + i(R + R_s) + V_P \quad \text{y}$$

$$V_{out} = V_P + iR$$

de la primera obtenemos R_s :

$$R_s = \frac{V_{in} - V_{sat} - V_P}{i} - R$$

y de la segunda obtenemos i :

$$i = \frac{V_{out} - V_P}{R}$$

sustituyendo:

$$R_S = \frac{(V_m - V_{sat} - V_p)R}{V_{out} - V_p} - R$$

En esta expresión conocemos $V_p=5V$, $R=50\Omega$ y $V_{sat}\approx 0.65V$. Este último valor puede obtenerse de las curvas obtenidas en simulación para un diodo del tipo 1N4148 (ver fig. 2.1.4). Por otro lado es un valor general que puede elegirse por defecto cuando no se poseen datos más precisos. Recuérdese que toda la zona de trabajo de un diodo polarizado en directa se encuentra entre 0.5V (despegue) y 0.8V (saturación). Cualquier valor intermedio (0.6, 0.65, 0.7) es adecuado para análisis en continua.

Sigamos ahora con la resolución del problema. Nos falta únicamente tomar un par de valores (V_m, V_{out}). Como es lógico tomamos este par de valores de la curva de transferencia con ayuda del cursor del programa de presentación gráfica. Escogiendo por ejemplo el valor extremo: a $V_m = 10V$ le corresponde $V_{out} = 8.255V$. Sustituyendo los valores obtenemos: $R_S = 17.28\Omega$

Se puede escoger cualquier otro par de valores, siempre y cuando correspondan a la zona de saturación del diodo, ya que de lo contrario, el modelo empleado para éste no sería válido, aparte de que lo que nos piden es el valor de la resistencia interna del diodo en conducción. Pruébense otros valores y compruébese que se obtienen valores similares.

Si editamos el fichero de librería (EVAL.LIB en la versión de educación para MS-Windows) que es donde figura la descripción de los parámetros del diodo 1N4148, se puede comprobar que el valor establecido para R_S en este diodo es de 16Ω que es muy cercano al obtenido.

Hay que señalar que este procedimiento es igualmente válido si lo que se desea es medir la R_S de un diodo real. En este caso, en lugar de obtener el par de valores de las curvas obtenidas en simulación deberían obtenerse con un par de voltímetros o bien con la ayuda de un osciloscopio. Si se hubiese realizado la experiencia con el valor original de $10k\Omega$, la caída de tensión en R_S habría sido tan pequeña que hubiese resultado difícil y poco preciso determinarla por métodos gráficos. Esto justifica el cambio de R a un valor más cercano al de R_S . Si al obtener el valor hubiésemos obtenido un valor todavía lejano al de R deberíamos haber vuelto a cambiar R para

acercarnos al valor de R_S y aumentar así la precisión. Por el contrario, si ponemos una resistencia excesivamente baja o incluso nula, al aumentar la tensión y alcanzar la saturación del diodo, no habría ningún elemento en el circuito que limitase la corriente a través del mismo, y en una experiencia real de laboratorio, podríamos destruir el diodo.

□ □ □ □

E.2.3 Circuito recortador a dos niveles con diodos

Obtégase la característica de transferencia del circuito de la figura. Dibujar la señal de salida cuando a la entrada tenemos la señal: $V_{in} = 10 \sin(2\pi ft)$ con $f=1000\text{Hz}$.

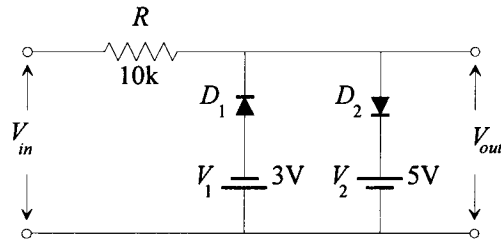


Fig. 2.3.1 Circuito recortador a dos niveles para el ejercicio E.2.3

Solución:

- A) Consideremos primero **tensiones positivas**: $V_{in} > 0$.

Si a la entrada tenemos una tensión positiva ($V_{in} > 0$), el diodo D_1 estará polarizado en inversa y entonces por la rama correspondiente no pasará ninguna corriente y puede eliminarse del circuito obteniendo el esquema de la figura (2.3.2).

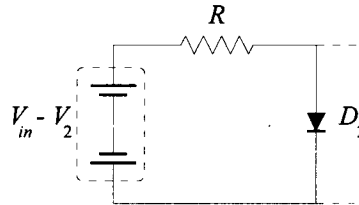


Fig. 2.3.2 Circuito simplificado para tensiones de entrada positivas

Para que haya conducción en esta rama será necesario superar la tensión umbral V_γ del diodo:

$$V_{in} - V_2 > V_\gamma \Rightarrow V_{in} > V_2 + V_\gamma$$

Si suponemos una tensión umbral $V_\gamma \approx 0.5V$, para que el diodo conduzca se precisará: $V_{in} > 5.5V$.

Mientras V_{in} no supere ese valor los dos diodos están cortados y no circula corriente por ninguna rama. Si no circula corriente por el circuito, en la resistencia R no habrá caída de tensión y la tensión a la salida será la misma que a la entrada $V_{out} = V_{in}$. Recuérdese que estamos considerando tensiones positivas por debajo de la tensión umbral del diodo D_2 y que por lo tanto esta conclusión solo es válida en ese rango de tensiones de entrada.

Si V_{in} supera los 5.5 Voltios, el diodo D_2 entrará en conducción y si la entrada sigue aumentando, alcanzará rápidamente la saturación. En ese momento, podemos sustituirlo por su modelo en conducción. (fig. 2.3.3)

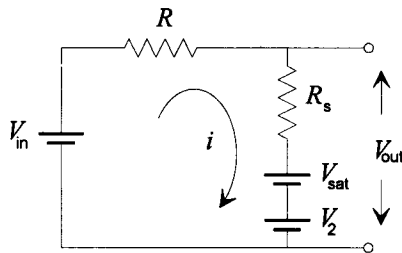


Fig. 2.3.3 Circuito simplificado cuando D_2 está saturado.

En este circuito tendremos:

$$V_{in} = i(R + R_s) + V_{sat} + V_2 \quad y$$

$$V_{out} = iR_s + V_{sat} + V_2$$

Como $R \gg R_S$ podemos suprimir R_S del circuito ya que la caída de tensión producida por el paso de corriente se producirá casi en su totalidad en R . Según esto, la tensión de salida quedará establecida en:

$$V_{out} = V_2 + V_{sat} \approx 5.65V$$

donde se ha supuesto que $V_{sat} \approx 0.65V$ tal y como sucede con el diodo 1N4148 como puede verse en el ejercicio E.2.2.

Obsérvese que una vez alcanzada la saturación, la salida no depende de la entrada y se mantendrá en unos 5.65 Voltios.

B) Consideremos ahora **tensiones negativas**: $V_{in} < 0$

En este caso, es el diodo D_2 el que está polarizado en inversa y su rama puede eliminarse del circuito con lo que obtenemos el circuito de la figura (2.3.4).

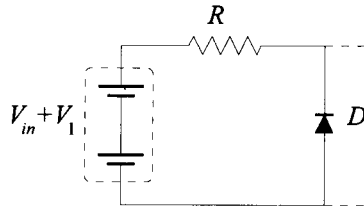


Fig. 2.3.4 Circuito simplificado para tensiones de entrada negativas

Razonando de la misma forma que en el caso anterior tendremos que para que D_1 conduzca debe cumplirse que:

$$V_{in} + V_1 < -V_\gamma \Rightarrow V_{in} < -V_\gamma - V_1 \approx -3.5V$$

En este caso la salida quedará recortada cuando:

$$V_{in} \leq -V_1 - V_{sat} \approx -3.65V$$

Es decir, al igual que en el caso anterior, la tensión de salida seguirá a la de entrada mientras esta última sea negativa pero no lo suficientemente elevada en valor absoluto como para polarizar D_1 en directa. En el momento en que V_{in} sea menor que -3.5 Voltios D_1 comenzará a conducir y si la entrada baja más de -3.65 Voltios D_1 entrará en saturación y la salida dejará de seguir a la tensión de entrada.

Con todos estos datos, ya podemos dibujar la característica de transferencia que se muestra en la figura (2.3.5). Para tensiones positivas menores de 5.5 Voltios o negativas por encima de -3.5 Voltios, ninguna de las ramas conduce (se comportan como un circuito abierto) y la salida sigue a la entrada $V_{out} = V_{in}$. Cuando D_2 satura ($V_{in} > 5.65$ V) la salida no depende de la entrada y quedará fijada a esa tensión de 5.65 Voltios. De la misma forma, cuando D_1 satura ($V_{in} < -3.65$ V) la salida tampoco depende de la entrada y quedará fijada a -3.65 Voltios.

Con ayuda del programa de simulación podemos obtener la característica de transferencia realizando un análisis de continua en el margen (-10,10) voltios de la misma forma que se hizo en los ejercicios anteriores. La curva de figura (2.3.5) ha sido obtenida de esta forma.

Para obtener la forma de la tensión de salida podemos usar la característica de transferencia (fig. 2.3.6).

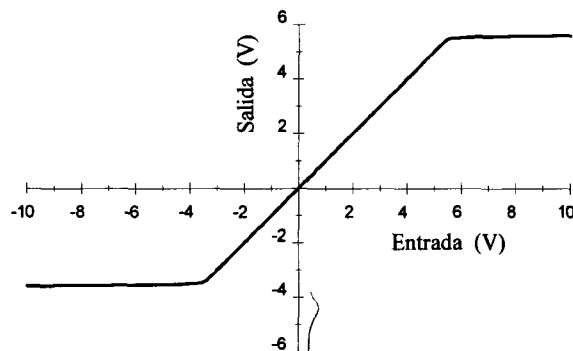


Fig. 2.3.5 Característica de transferencia del circuito recortador a dos niveles

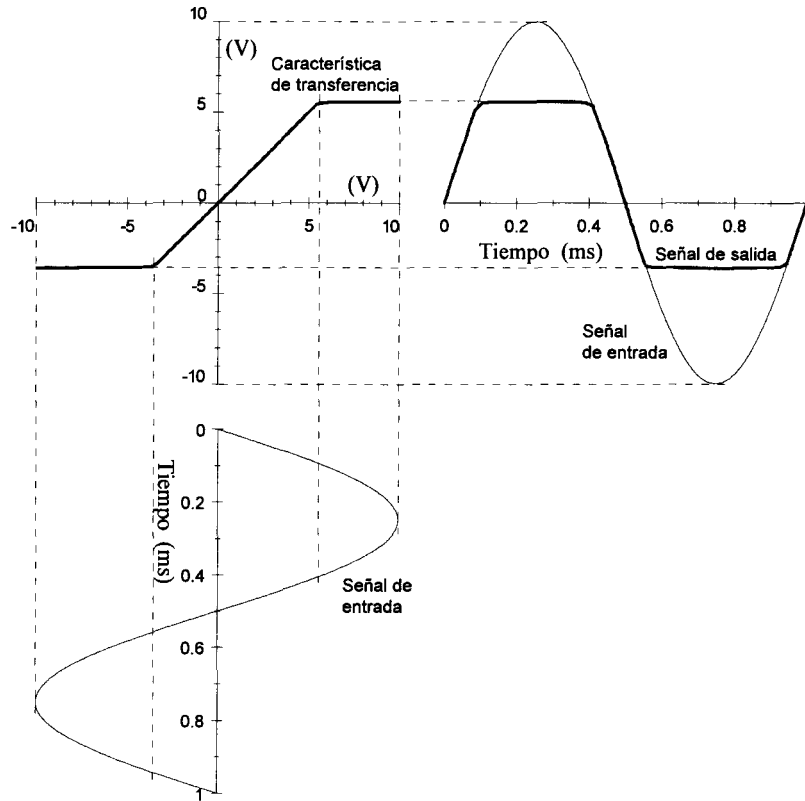


Fig. 2.3.6 Formas de onda de entrada y salida del circuito recortador a dos niveles obtenidas por simulación.

La forma de la señal de salida puede obtenerse por simulación realizando un análisis de transitorio que proporciona el comportamiento del circuito a lo largo del tiempo.

Como puede verse, la salida seguirá a la entrada siempre y cuando no entren en conducción ninguno de los diodos. En el momento que la señal sobrepase el valor de conducción correspondiente a uno cualquiera de ellos, la salida no podrá seguir aumentando, ya que la resistencia a través de las ramas que contienen los diodos será mucho menor que la resistencia R del circuito con lo que toda la caída de tensión se producirá en esta resistencia. Variando los valores de V_1 y/o V_2 podemos establecer los niveles de corte a los valores de tensión que nos interese.



E.2.4 Puente rectificador

Dado el circuito rectificador de la figura (2.4.1), que representa un puente rectificador: Obténgase la forma de onda de la señal de tensión sobre la resistencia R (V_{AB}) cuando excitamos con una señal sinusoidal de 10 Voltios de amplitud. Realícese la simulación del circuito y su montaje en una placa de inserción.

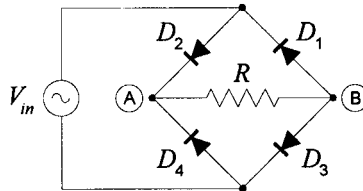


Fig. 2.4.1 Circuito rectificador de onda completa

Solución:

A) Consideremos primero el **semiciclo positivo**:

Obsérvese que para cerrar cualquier malla sobre el circuito, siempre deberemos atravesar dos diodos, bien sea en sentido directo o inverso. También se puede observar que dada la disposición de los diodos sólo una malla puede conducir, ya que el resto de posibles mallas incluirán siempre al menos un diodo en inversa.

La única malla que puede conducir durante el semiciclo positivo aparece en la figura (2.4.2 a) donde se indica también el recorrido de la corriente. En la figura (2.4.2 b) aparece simplificada la misma malla donde se han eliminado los diodos que permanecen cortados.

Por lo tanto, para que por esta malla circule corriente, los diodos deben estar sometidos a una tensión superior a su tensión umbral V_γ . Como hay dos diodos en serie, la tensión de la fuente para que ambos conduzcan debe ser mayor de $2V_\gamma$.

Una vez que entran en saturación, la caída de tensión sobre la resistencia seguirá a la de la fuente sinusoidal con la diferencia de tensión que caiga en ambos diodos que será el doble de la tensión de saturación. Es decir la caída de tensión en la resistencia R será $2V_{sat}$ voltios menor que la de la fuente. Si suponemos $V_{sat} \approx 0.8V$ la tensión de salida será aproximadamente:

$$V_R = V_{AB} = V_{in} - 1.6V$$

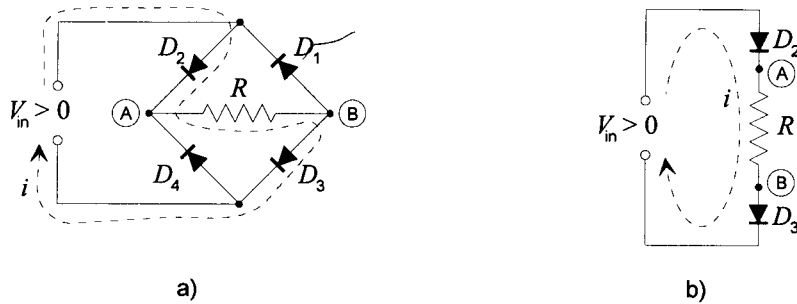


Fig. 2.4.2 Única malla que conduce durante los semiciclos positivos

En la figura (2.4.3) se muestra el comportamiento del circuito durante el semiciclo positivo. Se ha representado la tensión de entrada (V_{in}) y la de salida (V_{AB}). Obsérvese la diferencia entre ambas señales, la salida es menor que la entrada puesto que las leyes de Kirchhoff deben verificarse (elevación de potencial igual a caída de potencial). La diferencia entre ambas señales es justo la caída de tensión en los diodos:

$$V_{in} = iR + 2V_D$$

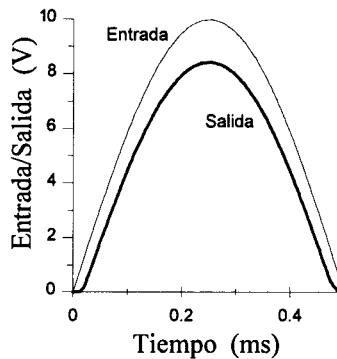


Fig. 2.4.3 Entrada al circuito y tensión en la resistencia durante el semiciclo positivo

B) Consideremos ahora el semiciclo negativo.

Al igual que antes, dada la simetría del circuito, sólo una de las posibles mallas puede conducir corriente (fig. 2.4.4 a). En la figura (2.4.4 b) se ha dibujado dicha malla eliminando como en el caso anterior los diodos cortados.

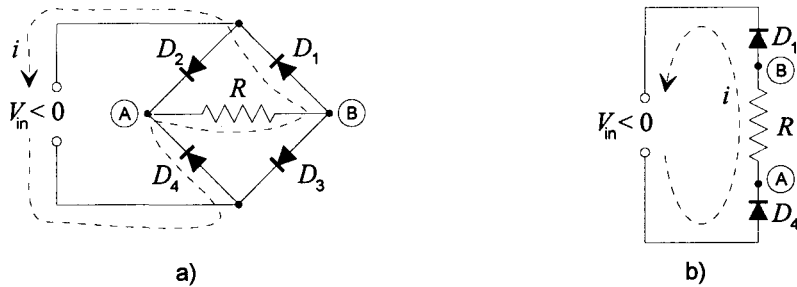


Fig. 2.4.4 Única malla que conduce durante los semiciclos negativos

Obtenemos por tanto una situación análoga a la obtenida para el semiciclo positivo. Sin embargo es importante resaltar que aunque la tensión de entrada es ahora de signo opuesto, la corriente entra en la resistencia por el mismo terminal que antes (nudo A), con lo que la tensión en bornes de la resistencia tendrá el mismo signo que durante el semiciclo positivo. De esta forma hemos conseguido que tensiones negativas de entrada se conviertan en positivas sobre la resistencia (fig. 2.4.5). De ahí el nombre de puente rectificador que recibe este circuito.

Este circuito es de gran utilidad a la hora de transformar corriente alterna en continua, pues basta filtrar para eliminar los altibajos de la señal de salida, ya que esta es siempre positiva.

Para obtener la característica de transferencia debemos obtener la curva $V_{out} = V_{out}(V_{in})$ en un margen de tensiones representativo como puede ser (-10,10) voltios. Como se ha visto con los razonamientos anteriores, no pasará corriente mientras $|V_{in}| < 2V_{\gamma} \approx 1V$. Una vez alcanzado este valor el par de diodos que correspondan comenzarán a conducir y aumentará la tensión en bornes de la resistencia, hasta que entren en saturación. A partir de ese momento, la salida seguirá a la entrada con una diferencia de $2V_{sat} \approx 1.6V$. Como ya se ha comentado, la tensión

$V_{AB} = V_A - V_B$ es siempre positiva, con lo que la característica de transferencia será la mostrada en la figura (2.4.6).

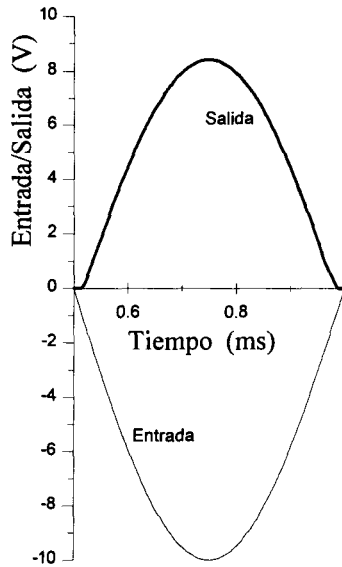


Fig. 2.4.5 Entrada al circuito y tensión en la resistencia durante el semiciclo negativo

Obsérvese que la característica de transferencia se dibuja únicamente en la zona positiva, por lo que sea cual sea la señal de entrada, la salida siempre será positiva.

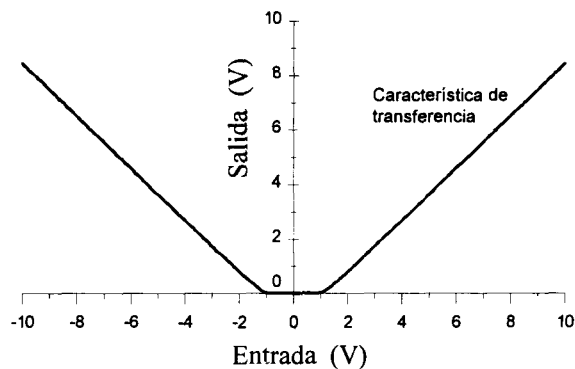


Fig. 2.4.6 Característica de transferencia del puente rectificador obtenida por simulación

Con ayuda de la característica de transferencia podemos obtener cómo será la tensión en bornes de la resistencia para cualquier señal de entrada. En la figura (2.4.7) se muestra cómo realizar esta transformación cuando la entrada es sinusoidal. Hay que señalar que la función que realiza este circuito es muy aproximadamente la función valor absoluto de la señal de entrada:

$$V_R = |V_{in}|$$

La forma de obtener la curva de salida en función de la señal de entrada y de la característica de transferencia se ha explicado ya en casos anteriores.

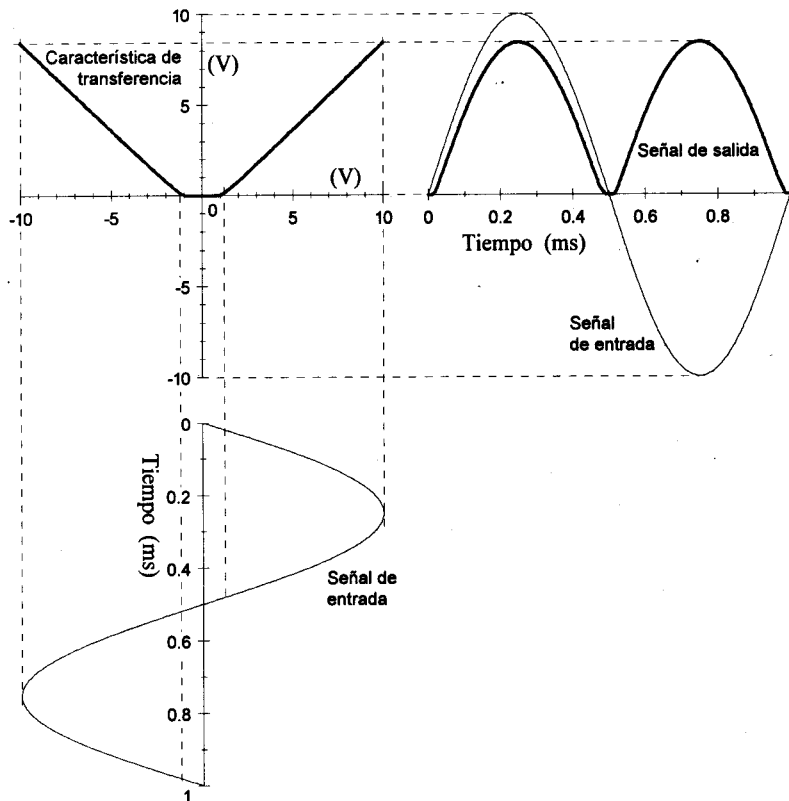


Fig. 2.4.7 Señales de entrada y salida del puente rectificador obtenidas por simulación

□ □ □ □

E.2.5 Obtención de las curvas características de un transistor bipolar

Diseñar una experiencia que permita obtener la característica de entrada de un transistor bipolar y la familia de características de salida en configuración de emisor común. Compruébese sobre el circuito obtenido que la unión Base-Emisor se comporta como un diodo. Obtener las curvas características mencionadas por simulación y de forma experimental para un transistor comercial. Supóngase $V_{CE} = 5V$.

Solución:

La característica de entrada de un transistor bipolar es la curva que nos representa el valor de la corriente de base del transistor en función de la tensión Base-Emisor. Es decir: $I_B = I_B(V_{BE})$.

Tendremos por tanto que emplear un circuito en el que podamos variar la tensión V_{BE} y mediremos la corriente de base I_B para distintos valores de V_{BE} .

Un circuito que nos permita hacer ésto precisa una fuente de tensión continua para polarizar el transistor en zona activa y otra fuente variable que nos permitirá modificar la tensión V_{BE} . En la figura (2.5.1) se muestra el circuito necesario, donde se ha introducido una resistencia R en la malla de base para limitar la corriente.

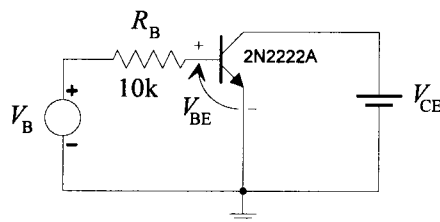


Fig. 2.5.1 Circuito para determinar la característica de entrada de un transistor bipolar

Para obtener la característica de entrada por simulación empleamos el transistor 2N2222 disponible en la versión educativa de PSpice y dos generadores de tensión del tipo VSRC (Fuentes de tensión continua).

Como en ejercicios anteriores, si lo que precisamos es el comportamiento de un circuito en función de la variación de una tensión o una corriente, debemos realizar un

análisis de continua (DC Swept). En el cuadro de diálogo correspondiente a este análisis estableceremos los parámetros que se recogen en la tabla de la figura (2.5.2).

Swept Var. Type:	Voltage Source	Name:	VB
Swept type:	Linear	Start value:	0V
		Stop value:	5V
		Increment:	0.01V

Fig. 2.5.2 Parámetros empleados para obtener la característica de entrada

Los parámetros correspondientes a V_B podemos ignorarlos ya que quedan establecidos al fijar los parámetros del análisis. En cuanto a los de V_{CE} el único que interesa es el que se etiqueta DC y que deberá ser 5V. El resto de parámetros hacen referencia al nombre y al valor de tensión que le asigna el programa durante un análisis de alterna (AC) o de transitorio (tran). Puesto que nosotros sólo vamos a realizar un análisis de continua sólo precisamos establecer el parámetro correspondiente (DC=5V).

Si ahora, tras realizar la simulación representamos la corriente en la base en función de la tensión Base-Emisor obtenemos una curva similar a la obtenida al caracterizar un diodo (fig. 2.5.3).

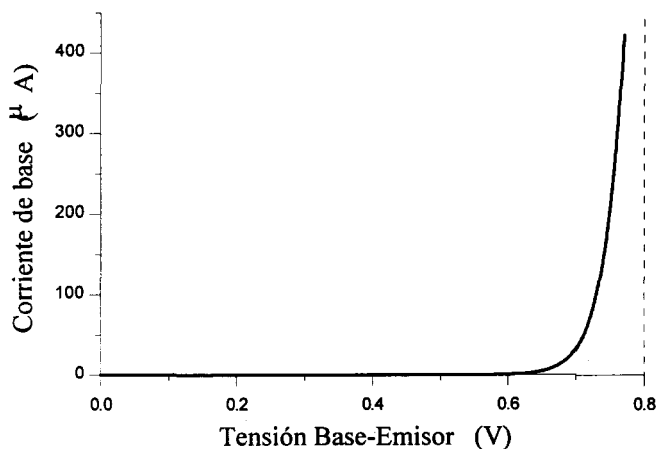


Fig. 2.5.3 Característica de entrada del transistor 2N2222 obtenida por simulación mediante el circuito de la figura (2.5.1) y los parámetros de la tabla de la figura (2.5.2)

La similitud con el comportamiento de un diodo se pone más de manifiesto si cabe, al representar la tensión en la unión Base-Emisor (unión P-N polarizada en sentido directo) frente a la tensión de entrada (fig. 2.5.4) donde se ve que aunque la tensión en la entrada varía entre 0 y 5 Voltios, la tensión en la unión de emisor queda establecida en el valor de saturación tal y como sucedía con un diodo como hemos visto ya en ejercicios anteriores. Para tensiones de entrada bajas (por debajo de la tensión umbral

$V_{Y|BE} \approx 0.6V$) la tensión V_{BE} aumenta con V_B . Una vez alcanzada esta tensión umbral comienza a entrar corriente por la base y a aumentar por tanto la caída de tensión en la resistencia de la base. Cuando esta unión entra en saturación la tensión en la misma queda establecida en el valor de saturación ($\approx 0.8V$ en este caso). Este comportamiento es idéntico al expuesto para un diodo normal.

La unión Colector-Emisor está polarizada en sentido inverso y su funcionamiento se aleja del de un diodo aislado, ya que es ahí donde se produce el efecto amplificador de un transistor. Al ser muy estrecha la región de base, los portadores que inyecta el emisor alcanzan el colector sin tiempo para recombinarse. Como partieron de una unión polarizada en directa (baja tensión) y se recogen en una unión polarizada en inversa (alto valor de caída de tensión) aparece la ganancia en potencia. Por eso un transistor no es igual a dos diodos enfrentados. Ver texto de teoría.

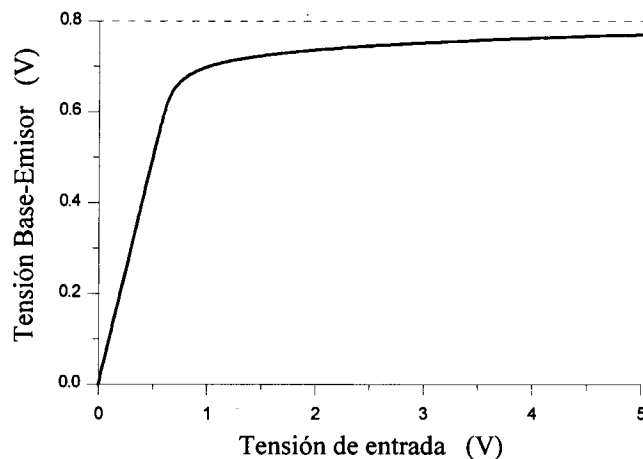


Fig. 2.5.4 Ilustración de la saturación en la unión Base-Emisor

Para obtener la familia de características de salida, debemos obtener la curva que nos proporciona el valor de la intensidad de colector en función de la tensión Colector-Emisor para distintas corrientes de base. Es decir: $I_C = I_C(V_{CE})$

Esto lo podemos hacer sustituyendo el generador de tensión de la base V_B por un generador de corriente I_B . De esta forma podemos inyectar directamente en la base la corriente que deseemos. En la realización experimental, puede que no se disponga de un generador de corriente. En ese caso habrá que seguir empleando el generador de tensión anterior y variarlo hasta que obtengamos la corriente que deseemos y que deberemos medir con ayuda de un amperímetro en serie con la resistencia de la base. Para la obtención de la familia de curvas en simulación resulta más cómodo el empleo de un generador de corriente (ISRC), ya que no podemos elegir libremente la corriente de forma interactiva durante la simulación sino a través de una resistencia. El esquema del circuito se representa en la figura (2.5.5). Para la realización experimental en la que no se disponga de un generador de corriente se empleará el mismo circuito de la figura (2.5.1) que se usó para determinar la característica de entrada.

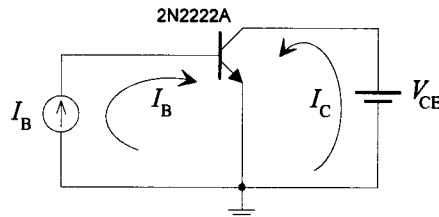


Fig. 2.5.5 Circuito para determinar las características de salida de un transistor bipolar

Al realizar la simulación, debemos variar dos generadores: el que realiza el barrido en la tensión de Colector-Emisor y el que selecciona una u otra curva característica para cada corriente de base. Esto obligaría en principio a repetir un análisis de continua variando V_{CE} para cada I_B , pero el programa de simulación PSpice permite la realización de análisis DC anidados. De esta forma podemos realizar un barrido en un primer parámetro (V_{CE} en este caso) en un margen, incrementar o decrementar otro parámetro (I_B) y volver a barrer el anterior (V_{CE}), y así sucesivamente para distintos valores del segundo parámetro (I_B). Esto se hace activando el barrido anidado (Nested Sweep...) en el cuadro de diálogo del análisis DC.

Los parámetros necesarios para los dos barridos se muestran en la tabla de la figura (2.5.6). La familia obtenida de esta forma se representa en la figura (2.5.7).

Barrido Principal: (Main Sweep)			
Swept Var. Type:	Voltage Source	Name:	VCE
Swept type:	Linear	Start value:	0V
		Stop value:	5V
		Increment:	0.01V
Barrido Anidado: (Nested Sweep)			
Swept Var. Type:	Current Source	Name:	IB
Swept type:	Linear	Start value:	0A
		Stop value:	200E-6A
		Increment:	20E-6A

Fig. 2.5.6 Parámetros introducidos para la obtención de la familia de características de salida

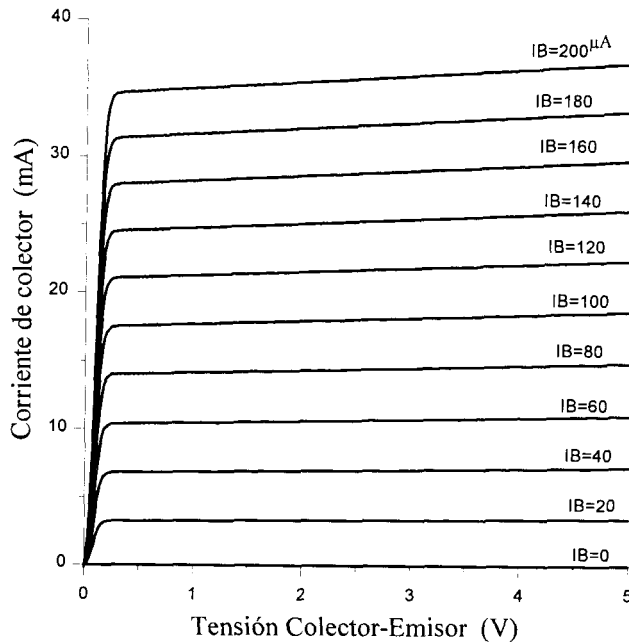


Fig. 2.5.7 Características de salida del transistor 2N2222 obtenidas por simulación

E.2.6 Polarización de un transistor bipolar

Usar las curvas características del problema anterior para polarizar un transistor NPN de forma que trabaje únicamente en zona activa, de acuerdo con el circuito de polarización que se muestra en la figura (2.6.1). Es decir, no entre en corte ni en saturación, cuando se excita con el generador: $V_{in} = 2.5 + 0.5 \sin(\omega t)$ ($\omega = 2\pi f$, $f = 1\text{kHz}$), y se alimenta con una fuente de 5 Voltios. Calcular R_B y R_C de forma que la señal de salida oscile en torno a 2.5 V al igual que la entrada. ¿Qué debemos hacer para que llegue al corte? ¿Y para que entre en saturación?.

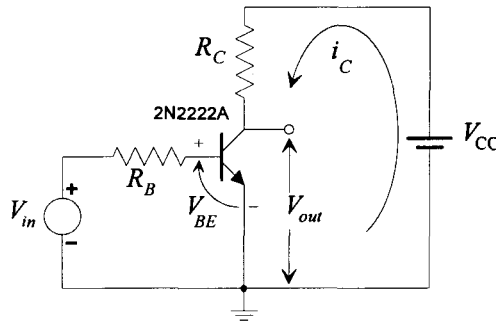


Fig. 2.6.1 Circuito básico de polarización de un transistor NPN

Solución:

Para polarizar el transistor en la zona activa, debemos elegir el punto de trabajo en el punto medio de la zona activa de las características de salida. Debemos tener en cuenta también que aunque la entrada varíe dentro de un cierto margen (entre 2 y 3 V en este caso), el punto de trabajo debe mantenerse dentro de la misma zona activa o de comportamiento lineal.

Lo primero que debemos hacer es trazar sobre la familia de características de salida la recta de carga. Esta recta se obtiene de la malla de salida del transistor (fig. 2.6.1):

$$V_{CC} = i_C R_C + V_{CE}$$

En esta expresión conocemos V_{CC} y se puede observar que cuando el transistor esté cortado tendremos $i_C = 0$ y por lo tanto $V_{CE} = V_{CC}$ con lo que obtenemos un punto de la recta de carga (punto A de la fig. 2.6.2). Necesitamos pues otro punto (B), para poder trazar una recta que pase por ambos y verifique la expresión de la recta de carga. Este

se obtiene a partir del enunciado, ya que si nos piden que la salida oscile en torno al mismo valor que la entrada (2.5 V), debe ser alguno de los puntos pertenecientes a la recta vertical que pasa por $V_{CE}=2.5V$. ¿Cual de todos ellos es el más apropiado?.

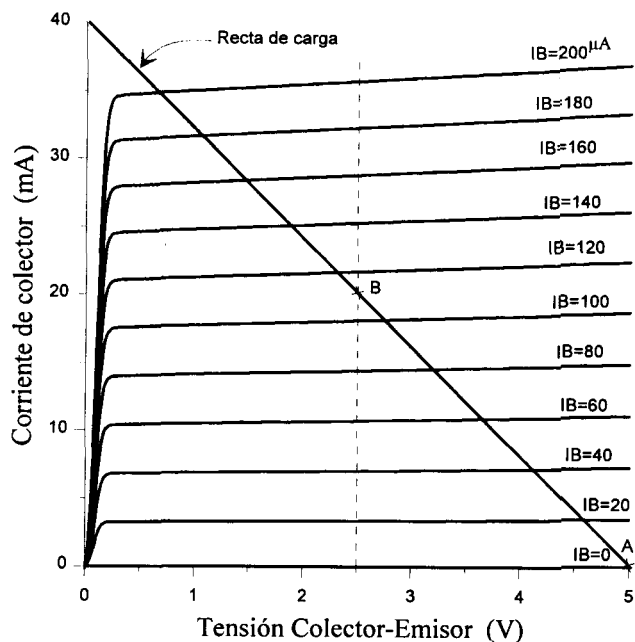


Fig. 2.6.2 Recta de carga y punto de trabajo del transistor

Veamos primero que implica la elección de éste segundo punto.

Al elegir el punto de trabajo estamos determinando la corriente de base del transistor ya que distintos puntos sobre esta recta nos llevan a distintas curvas características de salida. Recuérdese que hay una característica de salida para cada corriente de base. El hecho de escoger un punto determinado, nos va a fijar la curva característica concreta sobre la que va a trabajar el transistor. Podemos escoger cualquiera de ellos teniendo en cuenta que los puntos más bajos estarán cercanos al corte y deben evitarse. Esta libertad de elección nos lleva a diseñar la malla de entrada para que la corriente de base sea la adecuada. Es decir, para que la recta de carga y la curva característica se intersecten sobre el punto de trabajo. Si escogemos $R_C=125\Omega$ obtenemos la recta de

carga de la figura (2.6.2), es decir, como $i_C R_C = V_{CC} - V_{CE} = (5 - 2.5)V = 2.5V$, si escogemos $R_C = 125\Omega$ esto supone una corriente de colector

$$i_C = \frac{2.5V}{125\Omega} = 20mA$$

Sobre la familia de características de salida vemos que el punto de trabajo responde a las siguientes coordenadas:

$$(V_{CE}, I_C, I_B) = (2.5V, 20mA, 110\mu A)$$

Una vez obtenido el punto de trabajo, debemos calcular la resistencia de la base para conseguir una corriente de $110\mu A$. Este valor de la resistencia de base lo obtenemos de la expresión de la malla de entrada: $V_B = V_{BE} + i_B R_B$

En esta expresión todavía desconocemos el valor de V_{BE} . Para obtenerlo acudimos a la característica de entrada obtenida en el problema anterior. En la figura (2.6.3) se repite un detalle de la mencionada característica y se indica el punto de trabajo elegido, de donde se obtiene que si $i_B = 110\mu A \Rightarrow V_{BE} = 0.725V$.

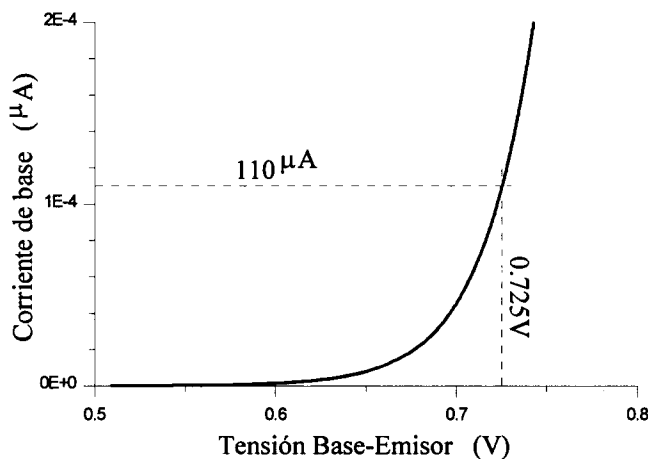


Fig. 2.6.3 Punto de trabajo del transistor representado sobre la característica de entrada

Tendremos por tanto:

$$R_B = \frac{V_B - V_{BE}}{i_B} = \frac{(2.5 - 0.725)V}{110\mu A} = 16.14k\Omega$$

Podríamos haber procedido a la inversa, es decir, elegir el punto de trabajo sobre la característica de entrada con lo que obtenemos la resistencia de la base y fijaríamos la curva característica concreta de salida. Después calculamos la resistencia de colector con ayuda de las características de salida para obtener la recta de carga que debe cortar a la curva característica elegida sobre el punto de trabajo.

Comprobemos ahora que la decisión tomada no saca al transistor de la zona activa. La situación más cercana al corte la obtendremos para los valores más bajos de V_B que en este caso son 2 Voltios. Si el transistor estuviese cortado, la corriente de base sería nula con lo que la tensión en la misma sería de 2 Voltios; bastante por encima de la tensión necesaria para que el dispositivo conduzca, con lo que el transistor no puede estar cortado, al contrario de como habíamos supuesto inicialmente. Supongamos ahora que está saturado: en este caso $V_{BE} \approx 0.8V$ con lo que podemos escribir:

$$V_B = i_B R_B + V_{BE} \approx i_B R_B + 0.8V$$

La situación más cercana a saturación se producirá para los valores más altos de la entrada ($V_B = 3V$). Con lo que podemos obtener la corriente de base que circulará en tal situación:

$$i_B = \frac{(3 - 0.8)V}{16k\Omega} = 137\mu A$$

Si vemos a qué tensión corresponde esta corriente sobre la característica de entrada del transistor se obtiene $V_{BE} < 0.75V$, con lo que el transistor no puede estar saturado.

Para comprobar que realmente está en zona activa (o lineal) podemos también emplear la simulación del circuito obtenido ($R_B = 16.14k\Omega$ y $R_C = 125\Omega$). Para verlo podemos realizar dos tipos de análisis: un análisis de transitorio o un análisis de continua. En el análisis de transitorio, para comprobar que el transistor trabaja en zona lineal, la señal de salida debe mantener la misma forma que la señal de entrada, aunque tenga unos valores distintos. La entrada y la salida deben estar relacionadas de forma lineal, es decir, deben cumplir la ecuación de una recta ($y=kx+h$):

$$V_{out}(V_{in}) = V_C = kV_B + h = kV_{in} + h$$

En la figura (2.6.4) se muestran las dos señales (de entrada y de salida) donde se puede apreciar que son prácticamente idénticas con la salvedad de que el circuito

produce una inversión y una pequeña ganancia. Pero estos dos efectos entran dentro del comportamiento lineal ya que ambos pueden ser representados por la expresión anterior. Basta con una pendiente (k) de signo negativo y mayor que uno en valor absoluto. Es una característica de los transistores en configuración de emisor común producir inversión de la señal, por lo que en estos casos siempre tendremos $k < 0$. Si $|k| > 1$ tendremos ganancia en tensión y por el contrario si $|k| < 1$ habrá atenuación de la señal. Obsérvese también en esta figura, que la salida oscila en torno al mismo valor que la entrada tal y como pedían las especificaciones del problema.

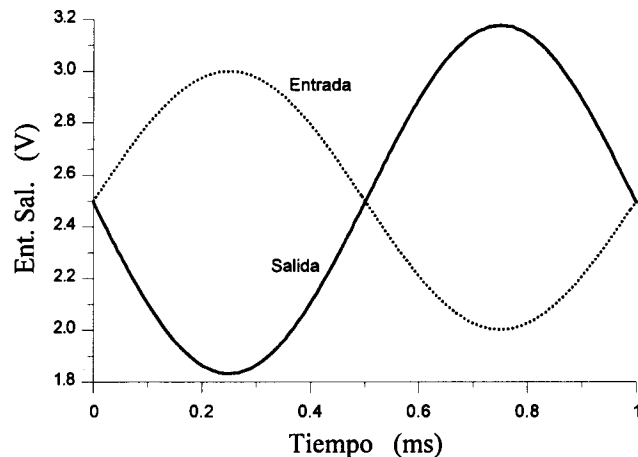


Fig. 2.6.4 Señales de entrada y salida al circuito de la figura (2.6.1)

No obstante, la linealidad es más fácil de comprobar con ayuda del análisis de continua. Con este tipo de análisis podemos obtener directamente la característica de transferencia del circuito que es la curva que nos relaciona la entrada con la salida. Pues bien, en este caso la característica que debemos encontrar debe ser una línea recta. Si no fuese así, el comportamiento no sería lineal y el transistor estaría entrando en corte o en saturación. La figura (2.6.5) muestra la característica de transferencia obtenida por simulación. En esta figura se puede comprobar la absoluta linealidad que muestra el circuito en el margen de tensiones bajo estudio (2 - 3 V). Ahora ya podemos pasar a calcular los coeficientes de la ecuación de la recta que describe este comportamiento y que son la pendiente y la ordenada en el origen (k y h).

Para obtener los parámetros k y h que definen la recta basta con tomar dos puntos sobre la misma. Si escogemos los puntos extremos tendremos aproximadamente:

$$k = \frac{1.8 - 3.2}{3 - 2} = -1.4 \quad \text{y} \quad h = 3.2 - 2 \cdot k = 6$$

Con lo que la expresión de la recta que relaciona la entrada con la salida será:

$$V_{out}(V_{in}) = -1.4 V_{in} + 6 = -1.4 V_B + 6$$

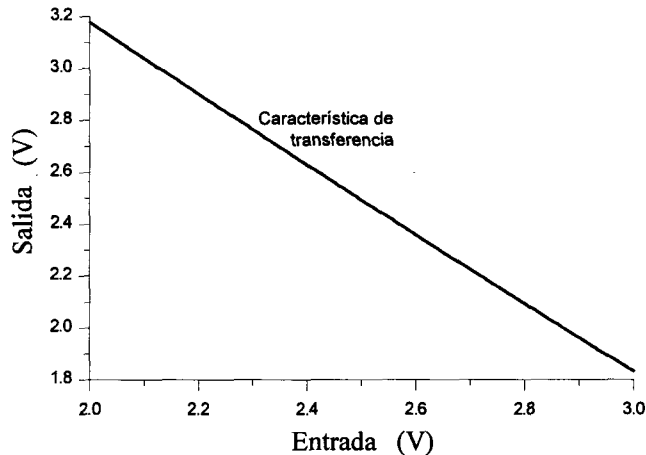


Fig. 2.6.5 Característica de transferencia del circuito de la figura (2.6.1)

Veamos ahora las modificaciones necesarias para que el transistor entre en corte o saturación.

Para que llegue al corte es necesario que la tensión Base-Emisor caiga por debajo de 0.5V. con lo que la corriente de base tenderá a cero. Esto lo podemos conseguir aumentando la resistencia de base R_B . Al aumentar R_B , por una parte disminuirá la corriente de base y por otra la caída de tensión (que debe repartirse entre esta resistencia y la unión B-E del transistor) se producirá fundamentalmente sobre la resistencia R_B , tanto más cuanto mayor sea ésta, lo que producirá por tanto una disminución de la tensión B-E y un acercamiento al corte.

Para llegar a saturación podemos actuar bien sobre R_B o sobre R_C . Si disminuimos R_B , aumentará la corriente de base y la tensión sobre la unión B-E, al contrario de como sucedía en el caso anterior. Si por el contrario actuamos sobre la resistencia de carga, para llegar a saturación se precisa que la tensión C-E se acerque a 0.2V. Es decir debe

aumentar la caída de tensión en la resistencia de colector. Para que aumente esta caída de tensión con una misma corriente basta con aumentar el valor de la resistencia de colector. Recuérdese que el transistor es un generador de corriente controlado por corriente y por tanto la corriente de colector viene fijada por la corriente de base ($i_C = \beta i_B$) mientras el transistor está en zona activa independientemente de la resistencia de colector que tengamos. Según esto parece que la resistencia de colector no tiene ninguna influencia, sin embargo, una variación de ésta resistencia traerá como consecuencia que el transistor entre en saturación para distintos valores de la corriente de base, momento en que se pierde la proporcionalidad entre i_B e i_C . (la expresión: $i_C = \beta i_B$ no es válida en saturación).

□ □ □ □

E.2.7 Circuito seguidor de tensión o en colector común

Dado el circuito de la figura (2.7.1), construir su característica de transferencia. ¿Invierte la señal?. ¿Por qué?. Supóngase $\beta = 250$, $R_E = 1k\Omega$ y $R_B = 10k\Omega$.

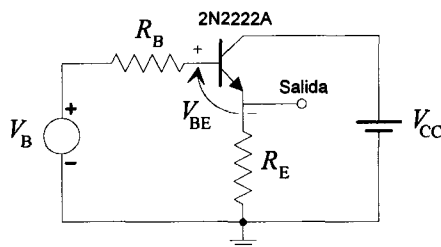


Fig. 2.7.1 Circuito en colector común para el ejercicio E.2.7

Solución:

Para construir la característica de transferencia debemos obtener las tensiones de entrada que separan las tres zonas de trabajo del transistor: corte, activa y saturación.

No obstante realizaremos primero un razonamiento cualitativo:

Cuando la tensión de entrada es nula o negativa, obviamente el transistor está en corte ya que no se alcanza la tensión suficiente para que comience la conducción ($V_{BE} \approx 0.5V$). En este caso, la corriente de entrada a la base es prácticamente nula y también lo será la corriente de colector. Por lo tanto, por la resistencia R_E no pasará corriente y

la tensión de salida será nula, ya que no habrá caída de tensión en la resistencia. Si vamos aumentando la tensión de entrada, llegará un momento en el que se alcance el valor de la tensión de despegue en la unión Base-Emisor del transistor, con lo que dicha unión estará polarizada en sentido directo y comenzará la conducción. En este momento el transistor entra en zona activa. Conforme aumente la tensión Base-Emisor, también aumentará la corriente de base, y como estamos en zona activa la corriente de colector vendrá dada por la conocida expresión: $i_C = \beta i_B$, y la de emisor será: $i_E = i_B + i_C = (1 + \beta)i_B$, por lo que al aumentar la corriente de base aumentará la del emisor y consiguientemente se incrementará la caída de tensión en la resistencia R_E .

Si seguimos incrementando la tensión de entrada, llegará un momento en que se alcance la saturación, a partir del cual, la corriente de colector no seguirá incrementándose aunque sigamos aumentando la tensión de entrada ($i_C = \beta i_B$ deja de ser válida). Lo mismo sucede con la corriente de emisor ya que aunque i_B siga aumentado siempre tenemos $i_C \gg i_B$ o lo que es lo mismo: $i_E \approx i_C$.

Después de este estudio cualitativo que nos da idea del funcionamiento del circuito pasemos a calcular los valores de la tensión de entrada para los que el transistor pasa de una zona a otra.

De la malla de entrada podemos escribir:

$$V_{in} = V_B = V_{BE} + i_B R_B + i_E R_E = V_{BE} + i_B (R_B + (1 + \beta) R_E)$$

Si inicialmente partimos de una tensión nula, la unión Base-Emisor no está polarizada en directa y la corriente de base será nula con lo que se cumplirá que $V_B \approx V_{BE}$ y esto será cierto hasta que se alcance la conducción. Esto se producirá cuando: $V_B > 0.5V$

Por lo tanto, para tensiones de entrada por debajo de este valor el transistor está en corte, y entra en zona activa a partir de los 0.5V.

Veamos ahora cuándo se alcanza la saturación:

Sabemos que la caída de tensión entre el colector y el emisor de un transistor bipolar en saturación es aproximadamente: $V_{CE}|_{sat} \approx 0.2V$ con lo que en condiciones al borde de la saturación podemos escribir la ecuación de la malla de salida de la forma:

$$V_{CC} = V_{CE}|_{sat} + i_E R_E = V_{CE}|_{sat} + i_B(1 + \beta)R_E$$

de donde obtenemos:

$$i_B = \frac{V_{CC} - V_{CE}|_{sat}}{(1 + \beta)R_E} = \frac{(5 - 0.2)V}{251k\Omega} = 19\mu A$$

De la malla de entrada podemos obtener el valor de la tensión de entrada necesario para alcanzar esta corriente, teniendo en cuenta que en saturación podemos suponer:

$V_{BE}|_{sat} \approx 0.8$, tendremos:

$$V_B = V_{BE}|_{sat} + i_B(R_B + (1 + \beta)R_E) \approx 0.8V + 19\mu A \cdot 261k\Omega = 5.76V$$

Como la tensión de salida en estado de corte es nula, y la tensión de salida en saturación es $V_{CC} - V_{CE}|_{sat} \approx V_{CC}$, ya podemos dibujar la característica de transferencia del circuito. En la figura (2.7.2) se muestra la característica de transferencia del circuito obtenida por simulación. Como puede verse concuerda en gran medida con los razonamientos analíticos desarrollados hasta aquí.

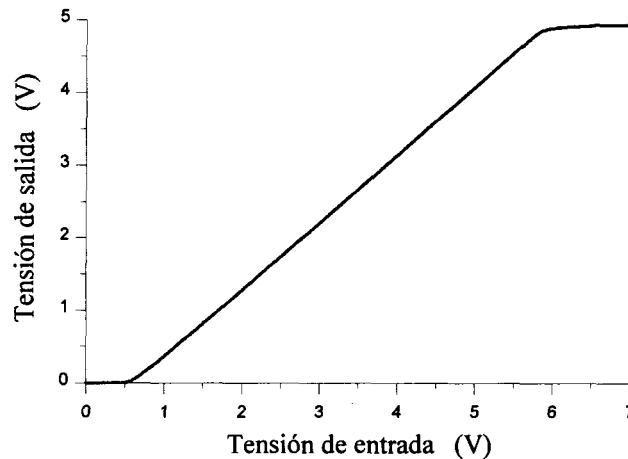


Fig. 2.7.2 Característica de transferencia del circuito de la figura (2.7.1)

Como puede observarse en la característica de transferencia, la tensión de salida no está invertida respecto de la entrada, ya que presenta pendiente positiva. Esto es debido a que en este circuito la salida está tomada en el emisor en lugar de estar tomada en el colector. De esta forma, cuando el transistor comienza a conducir, la corriente en la malla de salida aumenta, y por lo tanto la tensión en la salida también ya que ahora la resistencia está apoyada a tierra en lugar de estarlo a la alimentación. Es decir, al pasar la corriente, el valor de la tensión de salida se aleja del nivel de tierra (aumenta la caída de tensión en la resistencia). Si la resistencia estuviese conectada a la alimentación como en el ejercicio E.2.6, al pasar la corriente, el valor de la tensión de salida se alejará del nivel de alimentación (aumenta la caída en la resistencia), tal y como sucedía en el mencionado ejercicio.

En este circuito tenemos que la salida sigue a la entrada con una cierta diferencia y se conoce con el nombre de seguidor de tensión o configuración en colector común según hagamos referencia a su comportamiento o a su topología de conexión.

Esta diferencia de tensión entre la entrada y la salida es simplemente la caída en la unión Base-Emisor y es aproximadamente 0.7 V mientras el transistor pasa por la zona activa.



E.2.8 Curvas características de un transistor MOS

Obtener por simulación las curvas características de un transistor MOS canal N trabajando en modo de realce de forma similar a la empleada para el transistor bipolar 2N2222A del ejercicio E.2.5. Obtener a partir de estas curvas el valor de la tensión umbral del dispositivo.

Solución:

Para obtener las características de salida pedidas, podemos utilizar un circuito similar al empleado en el ejercicio E.2.5 que se muestra en la figura (2.5.5) para el transistor bipolar, pero es necesario hacer alguna modificación. Esta modificación consiste en sustituir el generador de corriente de la entrada por un generador de tensión. Esto es consecuencia de la alta impedancia de entrada que presentan los transistores de efecto-campo, lo que provoca que la corriente de entrada a la puerta sea prácticamente despreciable. No sin razón se considera a los transistores bipolares como generadores de corriente controlados por corriente, mientras que a los

transistores de efecto-campo se les puede considerar como generadores de corriente controlados por tensión.

Esto también lo podemos concluir si observamos las familias de curvas características que aparecen a lo largo del capítulo 2 del libro de teoría donde se observa que mientras para los transistores bipolares hay una curva característica para cada corriente de base, para los MOS hay una curva característica para cada tensión de puerta.

Una segunda modificación es que ahora no será necesaria la resistencia limitadora que aparecía en la malla de entrada, ya que debido a la propia naturaleza de los transistores MOS, la impedancia de entrada en el terminal de puerta es altísima y consecuentemente la corriente de puerta es siempre despreciable.

Con estas consideraciones podemos dibujar el circuito necesario para obtener las mencionadas curvas características tanto en simulación como en una experiencia de laboratorio con el circuito de la figura (2.8.1).

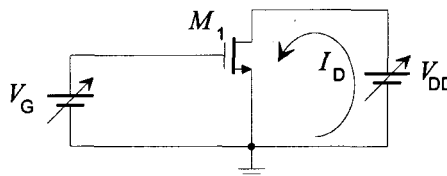


Fig. 2.8.1 Circuito empleado para obtener las curvas características de un transistor MOS de realce de canal N

Una vez introducido el circuito en el programa de simulación establecemos los parámetros necesarios en el cuadro de diálogo correspondiente al barrido principal y al anidado y que se muestran en la tabla de la figura (2.8.2).

Si usamos en la simulación el transistor irf150 que incorpora la biblioteca de componentes del PSpice de evaluación, obtenemos la familia de curvas de la figura (2.8.3). Los valores tan altos de corriente son debidos a que el mencionado dispositivo está especialmente diseñado para aplicaciones de potencia, pero en esta versión reducida de PSpice no se dispone de otro transistor MOS de realce y canal N

de baja señal. No obstante, el comportamiento será similar para los fines didácticos que perseguimos.

Barrido Principal: (Main Sweep)			
Swept Var. Type:	Voltage Source	Name:	VDD
Swept type:	Linear	Start value:	0V
		Stop value:	15V
		Increment:	0.1V
Barrido Anidado: (Nested Sweep)			
Swept Var. Type:	Voltage Source	Name:	VG
Swept type:	Linear	Start value:	0V
		Stop value:	10V
		Increment:	1V

Fig. 2.8.2 Parámetros del análisis de continua para obtener por simulación las curvas características de salida de un transistor MOS de realce y canal N

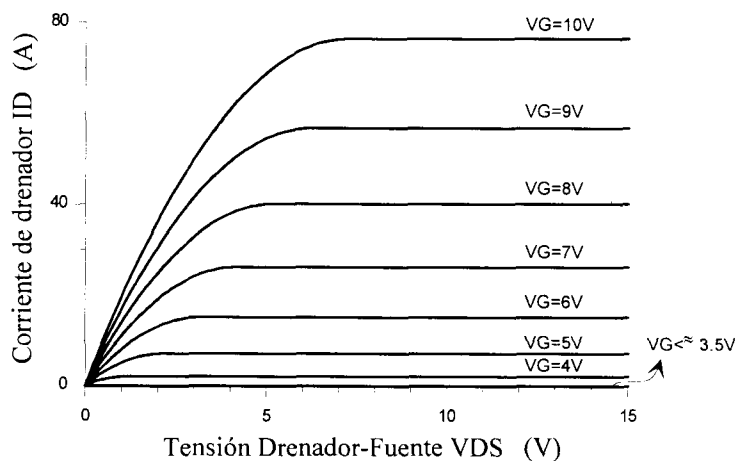


Fig. 2.8.3 Características de salida del transistor irf150. (MOS de realce y canal N)

De la familia de curvas de la figura (2.8.3) se obtiene que la tensión umbral es aproximadamente 3.5V, ya que por debajo de dicho valor la corriente de drenador es despreciable e independiente de la tensión Drenador-Fuente que apliquemos al

transistor. Este es pues el valor de la tensión umbral. Sin embargo aunque estas curvas nos dan una idea aproximada de este valor, podemos obtener un resultado más preciso si usamos la característica de transferencia que vamos a construir a continuación.

La característica de transferencia nos muestra la corriente de drenador en función de la tensión Puerta-Fuente. Podemos obtener una característica de transferencia para cada tensión de alimentación que pongamos en el circuito. Para obtener una familia representativa de estas características realizamos un análisis de continua anidado con los parámetros de la tabla (2.8.4).

Barrido Principal: (Main Sweep)			
Swept Var. Type:	Voltage Source	Name:	VG
Swept type:	Linear	Start value:	0V
		Stop value:	15V
		Increment:	0.1V
Barrido Anidado: (Nested Sweep)			
Swept Var. Type:	Voltage Source	Name:	VDD
Swept type:	Linear	Start value:	0V
		Stop value:	10V
		Increment:	2V

Fig. 2.8.4 Parámetros del análisis de continua para obtener por simulación la familia de características de transferencia de un transistor MOS de realce y canal N

Con estos parámetros, tras realizar la simulación obtenemos la familia de curvas de la figura (2.8.5). Nuevamente podemos comprobar que sea cual sea la tensión de alimentación VDD, la corriente de drenador es despreciable mientras la tensión de puerta no supere un cierto valor (Tensión umbral), que en este caso se puede comprobar que está establecido en unos 3.5V.

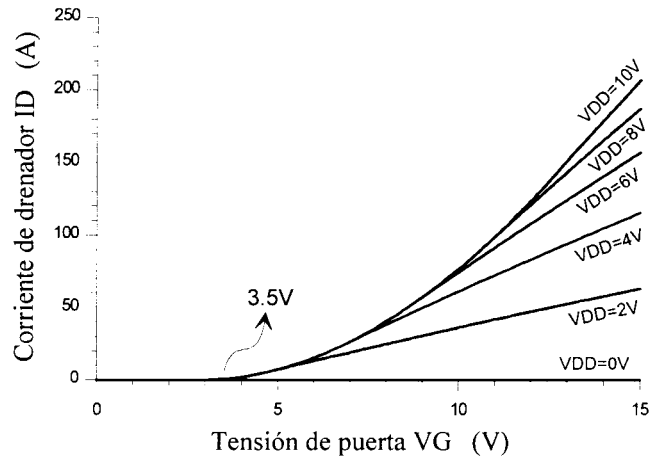


Fig. 2.8.5 Familia de curvas de transferencia del transistor irf150

TEMA 3

Familias lógicas (I): TTL

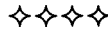
PROPÓSITO

El propósito de este capítulo es el estudio a un nivel elemental de la familia lógica TTL ("Transistor-Transistor-Logic"). Hay dos partes distinguibles en toda puerta lógica:

- 1.- Los elementos de circuito encargados de sintetizar al operador correspondiente (AND, OR, NOT).*
- 2.- El resto de los elementos de circuito encargados de modificar los niveles lógicos, aumentar el abanico de salida y la velocidad y disminuir el consumo.*

En el desarrollo de los ejercicios de este capítulo haremos énfasis en la primera parte (generación de los operadores AND, OR y NOT) siguiendo dos caminos complementarios. Por un lado usaremos las técnicas analíticas convencionales y las ecuaciones en las mallas de entrada y salida para calcular los valores de tensión y corriente y las curvas de transferencia en inversores. Por otro lado, usaremos la simulación con PSpice para obtener las mismas características a partir de la relación entre señales variables a la entrada que superan los límites de corte y saturación y, por consiguiente, permiten que el circuito muestre su comportamiento en todo el rango dinámico.

La complejidad de los circuitos comerciales en las series Schottky de bajo consumo hace difícil plantear y resolver problemas a nivel analítico y sin superar las limitaciones del simulador usado. Sin embargo, en el último problema de este tema hemos propuesto el análisis de la puerta NAND básica (AS00), descomponiendo el circuito en sus bloques fundamentales y siguiendo el camino de la señal desde la etapa de entrada hasta la configuración "totem-pole" de salida para los dos grupos de valores que caracterizan a la puerta NAND (11 y 00,01,10).



EJERCICIOS RESUELTOS

E.3.1 Inversor simple

El circuito de la figura es un sencillo inversor realizado con un transistor bipolar NPN con ganancia en corriente $\beta_F = 100$, tensión de despegue $V_{BE}|_{on} = 0.5 \text{ volts}$ y $V_{CE}|_{sat} = 0.2 \text{ volts}$. Construir su característica de transferencia, $V_C = f(V_B)$, distinguir las regiones de corte, transición y saturación. ¿Qué rango de valores debe tomar la entrada, V_B , para que el inversor recorra toda la característica de transferencia?. Es decir, ¿cuál debe ser el valor de V_B ("0") y de V_B ("1") para asegurar la conmutación?.

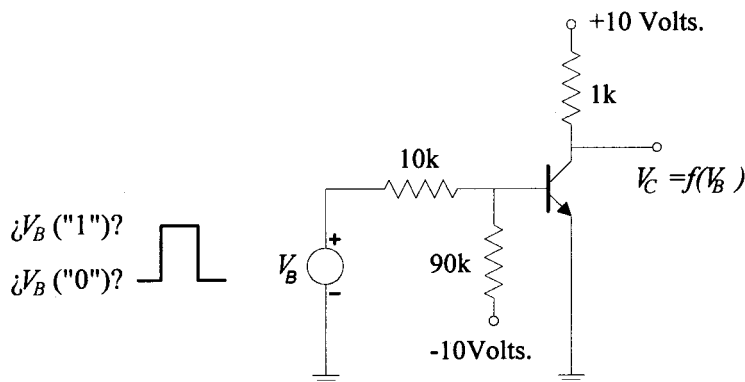


Fig. 3.1.1 Inversor en tecnología bipolar con alimentación simétrica

Solución:

El conocimiento teórico necesario para la solución de este problema se encuentra en los apartados 2.5.3, 2.6 y 3.2 del texto de teoría.

Son datos del problema la ganancia en corriente ($\beta_F = 100$) y los valores de las tensiones en la unión de emisor cuando el transistor empieza a conducir ($V_{BE} = 0.5\text{V}$) y entre colector y emisor cuando el transistor está en zona de saturación ($V_{CE} = 0.2\text{V}$). Aunque no aparece de forma explícita en el enunciado del problema, también sabemos que la unión de emisor entra en saturación para valores $V_{BE}|_{sat} = 0.8\text{V}$. Tenemos así marcadas las tres regiones de funcionamiento: corte, zona activa y saturación.

Para construir la característica de transferencia $V_{CE} = f(V_{BE})$ en los terminales del transistor, vamos recorriendo el eje de abscisas aumentando la V_{BE} desde $V_{BE} = 0$ hasta $V_{BE} > V_{BE}|_{sat}$ y vamos calculando los valores correspondientes de V_{CE} . Como sabemos de la teoría deberemos encontrar una curva de la forma de la mostrada en la figura (3.1.3).

En la figura (3.1.2) se repite el circuito del enunciado detallando la notación empleada para las tensiones y corrientes más relevantes.

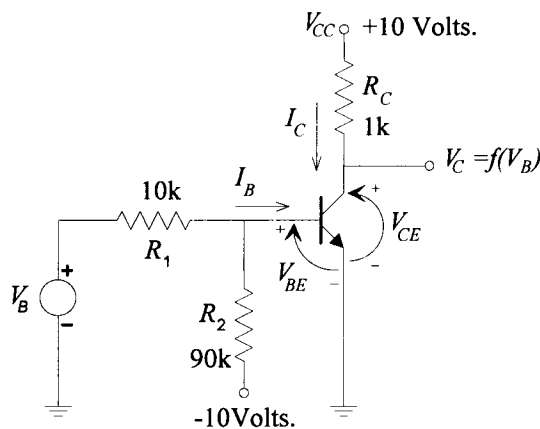


Fig. 3.1.2 Inversor del ejercicio E.3.1 especificando las corrientes y tensiones relevantes

Mientras que V_{BE} es menor que $V_{BE}|_{on} = 0.5$, el transistor no conduce. Si no conduce, su corriente de colector es cero ($I_C = 0$) y no cae nada de tensión en la resistencia de colector ($I_C R_C = 0$), por consiguiente la tensión en el colector (V_{CE}), es la misma que la de la fuente de alimentación: ($V_C = V_{CC} - I_C R_C = 10 - 0 = 10V$).

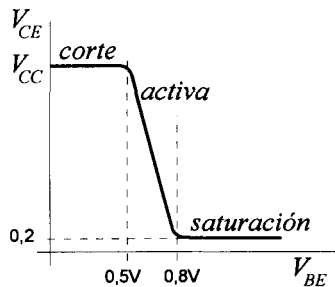


Fig. 3.1.3 Aspecto general de la característica de transferencia que relaciona la tensión base_emisor (entrada) con la de colector-emisor (salida)

Cuando V_{BE} alcanza los 0.5 Voltios, el transistor entra en zona activa y se comporta como un amplificador lineal con una corriente de colector ($I_C = \beta I_B$) distinta de cero. Esta corriente provoca una caída de tensión en la resistencia de colector ($I_C R_C > 0$) y la tensión de colector va disminuyendo ($V_{CE} = 10 - I_C R_C$) desde el valor de corte ($V_{CE} = 10V$) hasta llegar al valor de saturación ($V_{CE}|_{sat} = 0.2V$).

Si seguimos aumentando la tensión V_{BE} entramos en saturación. Es decir, en una región en la que aunque aumente la corriente de base (I_B), la corriente de colector (I_C) ya no puede aumentar ya que ha alcanzado su valor máximo limitado por la fuente de alimentación y por la resistencia de colector (R_C):

$$I_C|_{sat} = \frac{10 - V_{CE}|_{sat}}{R_C} \approx \frac{10 - 0.2V}{1000\Omega} = 10mA$$

En las características de salida ($I_C = f(V_{CE})$), vemos lo que ha ocurrido al pasar de corte a saturación (fig. 3.1.4). Nos hemos desplazado sobre la recta de carga aumentando I_B , lo que nos ha hecho saltar de una curva característica a la siguiente.

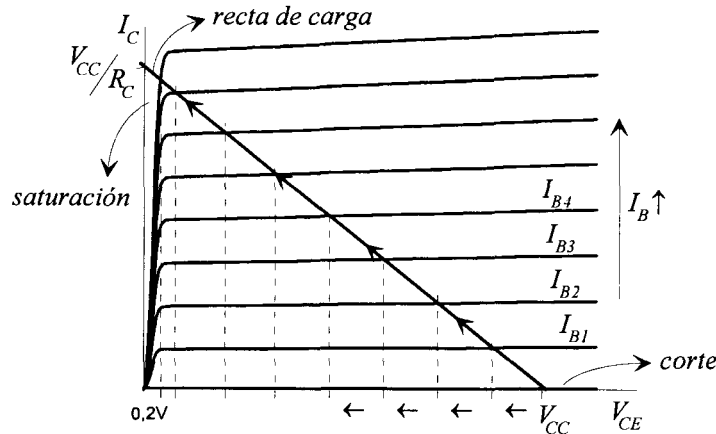


Fig. 3.1.4 Ilustración sobre las características de salida del paso de corte a saturación

Para terminar con el análisis cualitativo del comportamiento de este inversor hemos realizado su simulación mediante PSpice. Usamos como señal de entrada una onda sinusoidal ($V_{BE} = 5 \sin(\omega t)$, $\omega = 2\pi f$, $f = 1\text{kHz}$) y obtenemos la señal de salida viendo los puntos en los que se produce la conmutación. En la figura (3.1.5) se muestran las señales de entrada (sinusoidal) y de salida. En esta figura podemos observar que la conmutación ocurre para $V_B \approx 2.35\text{ Voltios}$.

En la simulación se ha empleado el transistor 2N2222A que proporciona el programa PSpice en su versión de educación, pero modificando el valor del parámetro β_F al valor del enunciado ($\beta_F = 100$). Para acercarnos más al comportamiento de un transistor ideal hacemos que los parámetros ISE e IKF sean iguales a cero. Estos parámetros están relacionados con β_F pero la explicación detallada de su significado excede el nivel de este primer curso de electrónica digital.

Se han realizado dos tipos de análisis, el de transitorio (.tran) que se muestra en la figura (3.1.5) y el de continuo (.DC) en el que se ha elegido como fuente independiente el generador V_B (figura 3.1.6). De esta forma podemos obtener de

forma sencilla la característica de transferencia del circuito, tal y como se muestra en la figura (3.1.7).

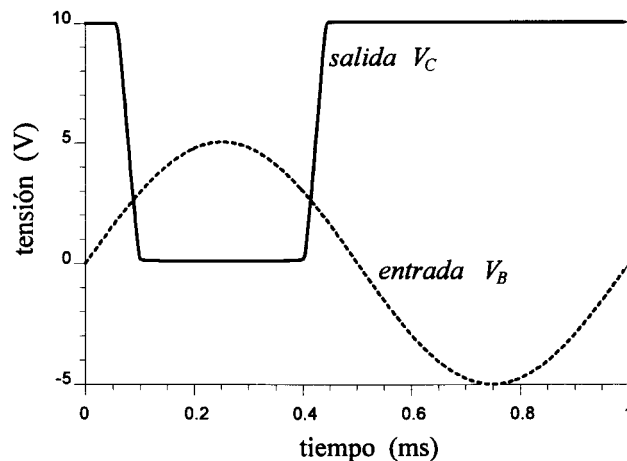


Fig. 3.1.5 Simulación mediante PSpice del circuito del ejercicio E.3.1

Veamos ahora el estudio analítico. Para ello resolvemos las mallas de entrada y salida. Por comodidad vamos a dibujar de nuevo el circuito cerrando las mallas con las fuentes de alimentación. Ver figura (3.1.6).

Para dibujar la curva de transferencia, basta con obtener las tensiones de entrada para las que cambia la pendiente de dicha curva. Esto sucede cuando el transistor pasa de una zona a otra. Las tres zonas de trabajo del transistor son:

A) Zona de Corte

El transistor no conduce ($I_C = 0$)

B) Zona Activa

La corriente de colector es proporcional a la de la base, $I_C = \beta I_B$

C) Zona de Saturación

El transistor está en su máximo nivel de conducción y la corriente de colector solo depende de la tensión de alimentación y de las resistencias limitadoras que estén presentes en la malla de colector.

Por lo tanto, para obtener la característica de transferencia basta con obtener las tensiones de entrada para las que el transistor pasa de una zona a otra.

A) **Estado de corte:** ($V_{BE}|_{corte} < 0.5V$, $I_B = 0$, $I_C = 0$).

Como $I_B=0 \Rightarrow I_1=I_2=i$ y resolviendo la malla de entrada obtenemos:

$$V_B + V_{CC} = i(R_1 + R_2)$$

Con lo que obtenemos la expresión de V_B en función de i :

$$V_B = (R_1 + R_2)i - V_{CC} = (10^5 i - 10)\text{Volt.}$$

La tensión de entrada al transistor es: $V_{BE} = -V_{CC} + I_2 R_2$

Si el transistor está al corte, $V_{BE} < 0.5V$. Si suponemos que $V_{BE} = 0.5V$ es la frontera, (es decir que para un valor de $V_{BE} = 0.5 - \epsilon$ el transistor está al corte y para un valor de $V_{BE} = 0.5 + \epsilon$ está en conducción), podemos realizar los cálculos para $V_{BE} = 0.5V$ aunque entendiendo que el valor obtenido será un punto singular. Así obtenemos el punto en el que el transistor abandona la zona de corte y comienza a entrar en la zona activa:

$$V_{BE} = -V_{CC} + I_2 R_2 \quad \Rightarrow \quad i = I_2 = \frac{V_{CC} + V_{BE}}{R_2} = \frac{10 + 0.5}{9 \cdot 10^4} = 116.7 \mu A$$

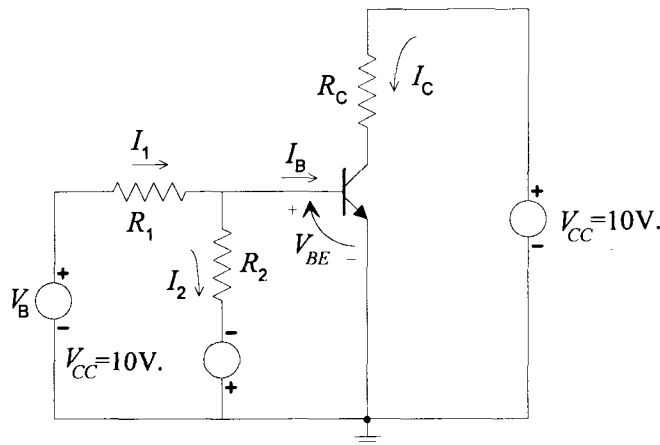


Fig. 3.1.6 Repetición del circuito del enunciado con las mallas cerradas

Sustituyendo este valor de i en la expresión de V_B , obtenemos la tensión de entrada al circuito:

$$V_B = -10 + 10^5 \cdot 0.1167 \cdot 10^{-3} = 1.67\text{V}$$

Como para garantizar el corte V_{BE} debe ser $\leq 0.5\text{V} \Rightarrow V_B \leq 1.67\text{V}$ para asegurar que la entrada está en estado bajo. Es decir: $V_B("0") \leq 1.67\text{V}$.

Pasamos ahora a estudiar la situación en estado de saturación.

B) Saturación: ($V_{CE}|_{sat} = 0.2\text{V}$, $V_{BE}|_{sat} = 0.8\text{V}$)

La ecuación de la malla de salida es:

$$V_{CC} - V_{CE}|_{sat} = I_C|_{sat} R_C \Rightarrow I_C|_{sat} = \frac{V_{CC} - V_{CE}|_{sat}}{R_C} = \frac{10 - 0.2}{10^3} = 9.8\text{mA}$$

Cuando el transistor está en saturación: $I_C < \beta I_B$ pero en la frontera entre conducción y saturación aún se verifica que $I_C = \beta I_B$ por tanto, la corriente de base cuando el transistor está en la frontera entre la zona activa y la zona de saturación será:

$$I_B = \frac{I_C}{\beta} = \frac{9.8\text{mA}}{100} = 0.098\text{mA} = 98\mu\text{A}$$

Ahora no falta mas que obtener la tensión de entrada que produce esta corriente de base. Puesto que ahora existe una corriente de base distinta de cero, el transistor conduce, las corrientes I_1 e I_2 no son iguales y por tanto en la malla de entrada se verifica (por Kirchoff):

$$I_1 - I_2 = I_B = 98\mu\text{A} \quad (3.1.1)$$

$$V_B + V_{CC} = I_1 R_1 + I_2 R_2 \quad (3.1.2)$$

A la entrada del transistor se sigue verificando la ecuación $V_{BE} = -V_{CC} + I_2 R_2$ pero ahora el valor de V_{BE} es el correspondiente a saturación (0.8V), con lo que ahora:

$$V_{BE}|_{sat} = -V_{CC} + I_2 R_2 \Rightarrow I_2 = \frac{V_{BE}|_{sat} + V_{CC}}{R_2} = 120 \mu A$$

sustituyendo este valor en la expresión del nudo de entrada (3.1.1) y en la de la malla de entrada (3.1.2) obtenemos:

$$I_1 = I_B + I_2 = 218 \mu A$$

$$V_B = R_1 I_1 + R_2 I_2 - V_{CC} = 10^4 \cdot 218 \cdot 10^{-6} + 90 \cdot 10^3 \cdot 120 \cdot 10^{-6} - 10 = 2.98 V$$

Luego para que esté saturado se debe cumplir que: $V_B \geq 2.98 V$

Si recordamos el resultado obtenido en estado de corte tendremos las dos condiciones pedidas:

$$V_B("0") \leq 1.67 V \quad \text{y} \quad V_B("1") \geq 2.98 V$$

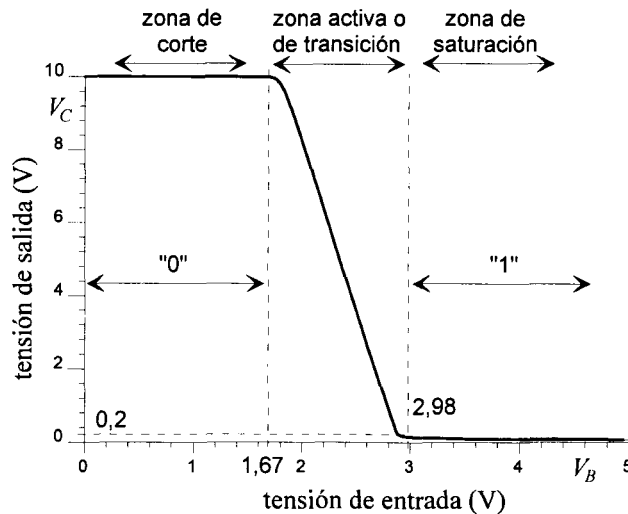


Fig. 3.1.7 Curva de transferencia obtenida por simulación

La curva de transferencia es la que aparece en la figura (3.1.7). Esta gráfica ha sido obtenida, como ya se adelantó, empleando el análisis de continua del programa de simulación. Si se emplean los cursores de que dispone el módulo de presentación gráfica del PSpice, se puede comprobar que los valores no son exactamente iguales,

aunque las pequeñas diferencias no son apreciables sobre la gráfica. Estas pequeñas diferencias son consecuencia de que en el problema estamos trabajando con un modelo de transistor excesivamente idealizado, mientras que el programa de simulación emplea modelos notablemente más complejos, para aproximarse lo más posible al transistor real. No obstante el modelo ideal empleado es suficiente para un estudio cualitativo del comportamiento del circuito, como puede comprobarse con la similitud de los valores obtenidos en uno u otro caso.

□ □ □ □

E.3.2 Inversor simple con alimentación única

El circuito de la figura muestra un inversor polarizado con una sólo fuente de 5 volts. La ganancia en corriente para continua es $\beta_F \geq 80$ y $V_{CE}|_{sat} = 0.2$ volts. ¿Cuál debe ser el valor de R_B para garantizar la saturación sabiendo que $R_C = 1k\Omega$ y que $V_{BE}|_{sat} = 0.8$ volts?

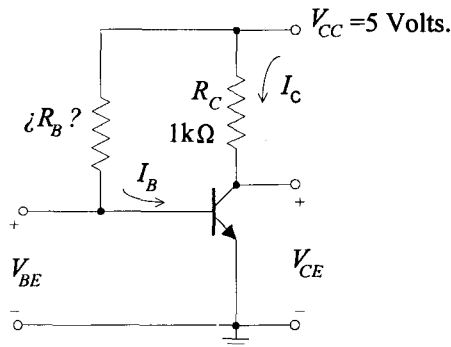


Fig. 3.2.1 Inversor en tecnología bipolar empleando una sola fuente de alimentación

Solución:

Este circuito es el ejemplo más sencillo de inversor que usa solo una fuente. Su solución es análoga a la del problema anterior pero ahora queremos hacer énfasis en el paso de la zona activa a la saturación viendo como la igualdad ($I_C = \beta I_B$) se convierte en desigualdad que garantiza la saturación.

Para facilitar el análisis vamos a desdoblar la fuente de alimentación y redibujar el circuito haciendo visibles las mallas de entrada y de salida como se muestra en la figura (3.2.2).

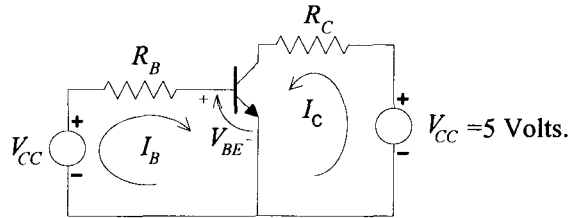


Fig. 3.2.2 Inversor mostrando las mallas de entrada y salida

Veamos primero sobre las características de salida de un transistor bipolar ($I_C = f(V_{CE})|_{I_B = cte}$) qué supone el hecho de que el transistor esté trabajando en zona activa y pase a zona de saturación. De la familia de curvas que aparece en la figura (3.1.4) elegimos una que se muestra en la figura (3.2.3).

Si recorremos la curva de derecha a izquierda vemos que entre los puntos A y B el transistor se comporta de forma casi lineal. Esto corresponde a su funcionamiento en zona activa directa en la que se verifica que: $I_C = \beta I_B$.

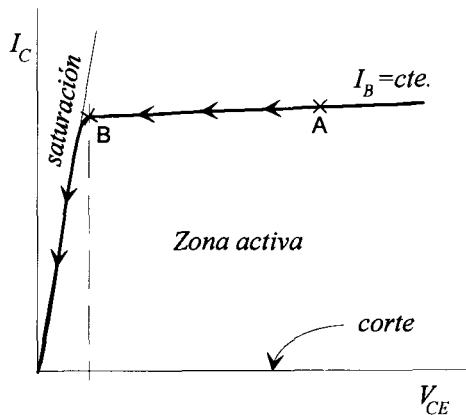


Fig. 3.2.3 Detalle del paso de zona activa a saturación ilustrado sobre la característica de salida

A partir del punto B, el transistor entra en la zona de saturación y como podemos observar, la I_C disminuye para el mismo valor de I_B de forma que ahora no se verifica la igualdad anterior sino que $I_C < \beta I_B$.

Si pasamos ahora a analizar el circuito vemos que en la malla de entrada se verifica que:

$$V_{CC} = I_B R_B + V_{BE}$$

y en la de salida: $V_{CC} = I_C R_C + V_{CE}$

En saturación, estas ecuaciones son las mismas solo que ahora los valores serán los de saturación. De esta forma, despejando las corrientes I_B e I_C tenemos:

$$I_B|_{sat} = \frac{V_{CC} - V_{BE}|_{sat}}{R_B} \qquad I_C|_{sat} = \frac{V_{CC} - V_{CE}|_{sat}}{R_C}$$

Según hemos visto en las curvas características, en saturación se debe cumplir que:

$$I_C|_{sat} \leq \beta I_B|_{sat}$$

Es decir:
$$\frac{V_{CC} - V_{CE}|_{sat}}{R_C} < \beta \frac{V_{CC} - V_{BE}|_{sat}}{R_B}$$

o bien:
$$R_B < \beta R_C \frac{V_{CC} - V_{BE}|_{sat}}{V_{CC} - V_{CE}|_{sat}}$$

que es la condición que debe cumplirse para que el transistor esté en saturación.

Como:

$$\begin{aligned} V_{BE}|_{sat} &\approx 0.8\text{V} & V_{CC} &= 5\text{V} \\ V_{CE}|_{sat} &\approx 0.2\text{V} & R_C &= 1\text{k}\Omega \\ \beta &\geq 80 \end{aligned}$$

sustituyendo valores tendremos:
$$R_B < 80 \cdot 10^3 \frac{5 - 0.8}{5 - 0.2} = 70\text{k}\Omega$$

Una forma más sencilla de calcular R_B es considerar que $V_{BE}|_{sat}$ y $V_{CE}|_{sat}$ son despreciables frente a V_{CC} de forma que la condición que debe verificarse entre R_C y

R_B es: $R_B < \beta R_C$. Si sustituimos valores obtenemos: $R_B < 80\text{k}\Omega$, Este es un cálculo mucho más rápido pero aproximado ya que se han despreciado $V_{BE}|_{sat}$ y $V_{CE}|_{sat}$.

□ □ □ □

E.3.3 Puertas DTL

En DTL la lógica AND y OR la realizan los diodos. ¿Qué función realizan los sencillos circuitos de las figuras (3.3.1 a) y (3.3.1 b)? ¿Cómo podrías realizar, usando sólo diodos y resistencias, la función de la figura (3.3.1 c)? En los tres casos elegir un valor para la alimentación, V_{CC} , y para los niveles lógicos de las variables X , Y y Z .

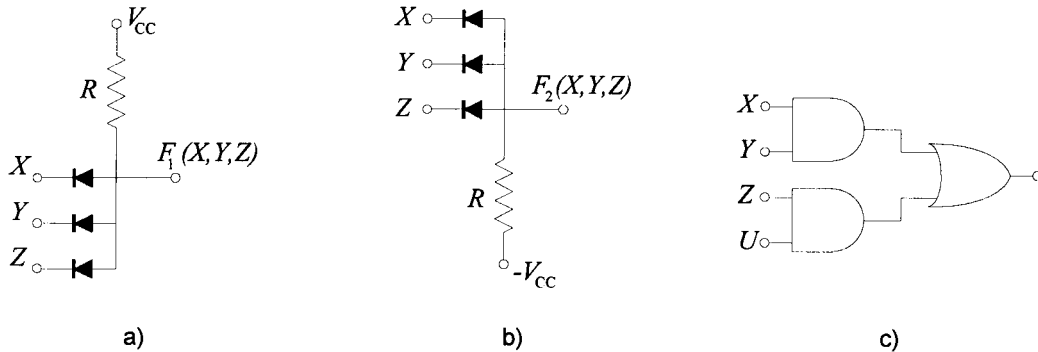


Fig. 3.3.1 Esquemas circuitales para el ejercicio E.3.3

Solución:

- A) La clave de la lógica de diodos está en el carácter rectificador de los mismos. Si analizamos el circuito simplificado de la figura (3.3.2) observamos que cuando un diodo está polarizado en sentido inverso ($X \geq V_{CC} - V_\gamma$) no conduce, con lo que no hay caída de tensión en la resistencia de polarización (R), y a la salida aparece la tensión de la fuente: ($F(X) = V_{CC}$).

En cambio, cuando está polarizado en directo $X < V_{CC} - V_\gamma$, (siendo V_γ la tensión de despegue del diodo) por ejemplo $X=0\text{V}$, el diodo conduce y la tensión de salida es muy pequeña, sólo la caída en el diodo. Dicho de otro modo, casi toda la tensión cae

en la resistencia R y $F \approx V_D = 0.7V$ (cero lógico). Cuando el diodo conduce la tensión de salida será $F \approx X + V_D$. Si como en este ejemplo $X=0V \Rightarrow F \approx V_D = 0.7V$. V_D indica la tensión sobre el diodo mientras que V_γ indica la tensión de despegue del mismo.

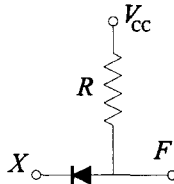


Fig. 3.3.2 Simplificación del circuito incluyendo un solo diodo

Ya sabemos como se comporta un diodo solo (si $X="1" \Rightarrow F="1"$; Si $X="0" \Rightarrow F="0"$). Veamos ahora que sucede al unir dos diodos. Es evidente por simple inspección del circuito que basta con que una de las entradas esté en baja ($X="0"$ ó $Y="0"$ ó $Z="0"$), para que el diodo correspondiente conduzca y fije la tensión del nodo de salida $F(X,Y,Z)$ al valor bajo. Por consiguiente, la función es la AND (para la lógica positiva, en la que $V("1")$ es mayor que $V("0")$). Lo mismo ocurriría al considerar las tres entradas. Por tanto, la función que realiza el circuito es: $F = XYZ$

- B)** El circuito de este apartado realiza de nuevo la función AND. Los diodos sólo conducirán para tensiones de entrada (X,Y,Z) que sean negativas y en módulo mayor que $V_{CC} + V_\gamma$ ($|X| > |-V_{CC} - 0.5|$ si consideramos $V_\gamma=0.5V$). Para $X=Y=Z=-V_{CC}$ los diodos no conducen y $F_2(X,Y,Z) = -V_{CC}$.

Cuando una o más de las entradas es mayor que $V_{CC} + V_\gamma$ y negativa, el diodo correspondiente conduce y fija la salida al valor de la entrada incrementado en V_γ ($X+V_\gamma$ por ejemplo), de forma que la función global es la AND para lógica positiva. Si tomamos $V_{CC} = 5V$, el otro nivel lógico podría ser -10 voltios. Es decir $V("1")=-5$ Volt. y $V("0")=-10$ Volt. Aunque tengamos ambas tensiones negativas estamos trabajando con lógica positiva, pues $V("1") > V("0")$.

- C) Veamos ahora que pasaría en este circuito si le damos la vuelta a los diodos de la figura (3.3.1 b). Al hacerlo obtenemos el circuito de la figura (3.3.3).

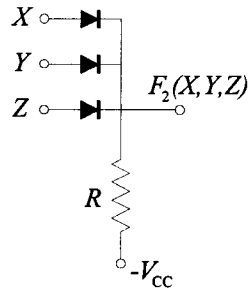


Fig. 3.3.3 Función OR con lógica positiva implementada con diodos

En este caso, si $X = Y = Z = -V_{CC}$ (todas en baja), no conduce ninguno de los tres, y por lo tanto no pasa corriente por R y $F_2(X, Y, Z) = -V_{CC}$. Lo mismo sucedería para cualquier tensión de entrada $< -V_{CC}$. Basta sin embargo que en una de las entradas (X por ejemplo) haya una tensión superior a $-V_{CC}$ en el valor de la tensión de despegue ($-V_{CC} + V_\gamma =$ entrada en alta), para que la rama en cuestión conduzca y fije la tensión del nodo en $F_2(X, Y, Z) = V_X - 0.7V$, por lo que la función global es ahora la OR para lógica positiva.

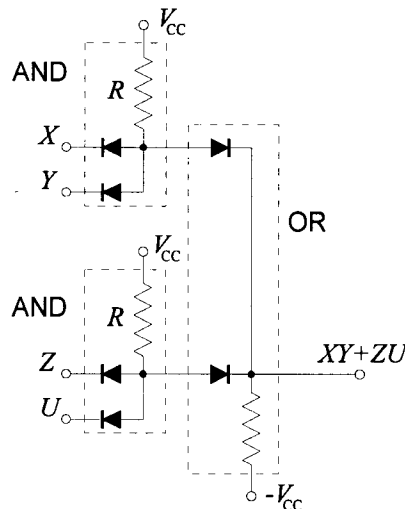


Fig. 3.3.4 Implementación con diodos y resistencias de la función del apartado c)

Por último, mezclando ahora la parte a) y la segunda versión de la parte b) es inmediato obtener con diodos y resistencias el circuito que sintetiza la función $XY+ZU$ del apartado c). Así, el circuito completo es el que se muestra en la figura (3.3.4).

D) Pasamos ahora a elegir los niveles de tensión de entrada y alimentación.

En todos los casos debemos manejar tensiones tales que hagan que los diodos pasen de corte a saturación. En el primer caso (apartado a) una buena elección para la alimentación son por ejemplo 5 voltios que es un valor típico en electrónica digital. Para garantizar la conmutación, basta con que $V("0") < V_Y$ y $V("1") > V_Y$. Por ejemplo: $V("0")=0V$ y $V("1")=5V$.

En el segundo caso podemos coger $-V_{CC} = -5V$ y por lo tanto: $V("0")=-5V$ y $V("1")=0V$ aunque también puede ser igualmente válido: $-V_{CC} = 0V$ y $V("0")=0V$ y $V("1")=5V$. Esta última elección es también válida para la puerta OR del apartado c). En este último apartado elegimos los niveles de entrada y alimentación iguales a los del apartado a) por la similitud de la topología de la etapa de entrada (puerta AND) con la del primer apartado. Para la alimentación y las entradas de la puerta OR no podemos escoger $-V_{CC} = -5V$, $V("0")=-5V$ y $V("1")=0V$ ya que en este caso la entrada de las puertas OR (salida de las puertas AND) estará comprendida en el intervalo $(0.5, 5)V$ con lo que los diodos de esta segunda etapa (puerta OR) siempre estarán polarizados en directa. Debemos elegir por tanto otras tensiones de trabajo. Las comentadas anteriormente como segunda posibilidad para el apartado b) son perfectamente válidas en este caso. En la tabla de la figura (3.3.5) se resumen todos estos valores.

	caso a)	caso b)	caso c)
V_{CC}	5 V	◆	5 V
$-V_{CC}$	◆	-5 V ó 0V	0 V
$V("0")$	0 V	-5 V ó 0V	0 V
$V("1")$	5 V	0 V ó 5 V	5 V

Fig. 3.3.5 Tabla con el resumen de las tensiones elegidas para los niveles lógicos en los tres casos

Hay que señalar que aunque en los tres casos hemos elegido los niveles de entrada iguales a los de alimentación y tierra (nivel de referencia), no tiene por qué ser necesariamente así. Ejemplos que demuestran esto los veremos en el siguiente tema dedicado a las puertas ECL.

□ □ □ □

E.3.4 Puerta NAND en tecnología HTL

El circuito de la figura muestra una puerta HTL (High-Threshold-Logic) que se usa en aplicaciones industriales por su alta inmunidad al ruido. Se trata de una modificación de DTL en la que el diodo intermedio ha sido sustituido por un zener de 7 volts. Analizar el circuito, obtener su característica de transferencia y estimar los márgenes de ruido en el nivel "0" y en el "1".

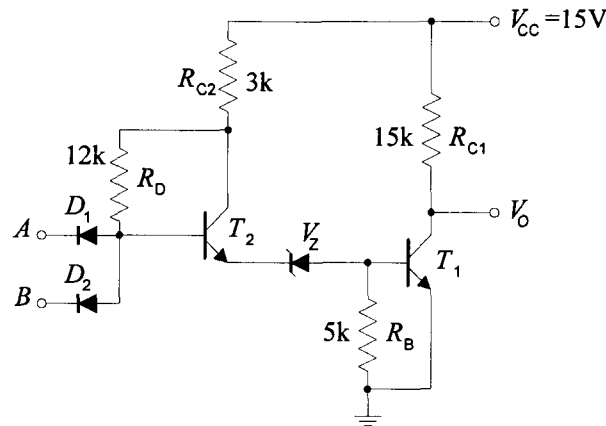


Fig. 3.4.1 Puerta en tecnología HTL

Solución:

El propósito de este problema es doble. Por un lado pretende contribuir a la comprensión de las puertas DTL que son la base de la familia TTL. Por otro lado intenta cubrir un hueco en la teoría explicando los aspectos fundamentales de la lógica de alto umbral que se usa en entornos industriales por su alta inmunidad al ruido. Esta inmunidad se consigue aumentando el valor de la fuente de alimentación de 5 a 15 voltios y usando un diodo zener de 7 voltios polarizado en inversa para

trasladar la zona de transición de la característica de transferencia hacia valores más altos de la tensión de entrada.

Veamos primero un análisis rápido del esquema a modo de acercamiento:

La lógica la realizan los diodos de entrada D_1 y D_2 y corresponde a una puerta AND como vimos en el problema E.3.3. El transistor T_2 actúa como un seguidor de tensión (configuración de Colector Común, entra la señal por Base y se toma la salida en el Emisor) y T_1 actúa como inversor ya que está en configuración de emisor común (la señal entra por Base y salida por Colector). Por lo tanto, el circuito corresponde a la función NAND. El diodo zener polarizado en inversa no conduce hasta que la tensión en sus extremos supera los siete voltios. Entonces conduce con una resistencia dinámica muy baja, de forma que su efecto en el circuito es el de una pila de 7 voltios en serie con una pequeña resistencia. Esto hace que la tensión en el emisor de T_2 debe superar en 7 voltios al valor de tensión necesaria en la base de T_1 para que este transistor de salida entre en conducción.

Para captar el funcionamiento cualitativo antes de obtener analíticamente los puntos clave de la característica de transferencia, presentamos el resultado de la simulación (fig. 3.4.2) usando como entradas dos señales sinusoidales:

$$\begin{aligned} A &= 15 \sin(\omega_A t) & \omega_A &= 2\pi f_A, f_A = 1\text{kHz} \\ B &= 15 \sin(\omega_B t) & \omega_B &= 2\pi f_B, f_B = 2\text{kHz} \end{aligned}$$

para conseguir que a lo largo del tiempo aparezcan en la entrada las cuatro configuraciones lógicas (00, 01, 10 y 11). Obsérvese que (11) significa $V_A > 7.5\text{V}$ y $V_B > 7.5\text{V}$, y (10) está presente cuando $V_A > 7.5\text{V}$ y $V_B < 7.5\text{V}$, etc. La onda rectangular de respuesta ilustra claramente el comportamiento NAND.

Para realizar la simulación se ha empleado el diodo zener D1N750 que incorpora la versión de educación de PSpice pero cambiando el valor de la tensión de ruptura (Bv) de 4,7 a 7,0 Voltios. Con objeto de hacer más abrupta la ruptura y acercarnos más al comportamiento del diodo zener ideal que consideraremos en el tratamiento analítico, se hizo IBVL=0, con lo que se agudiza el "codo" de la curva del diodo zener.

La figura (3.4.5) muestra la característica de transferencia obtenida con ayuda del análisis de transitorio del programa de simulación.

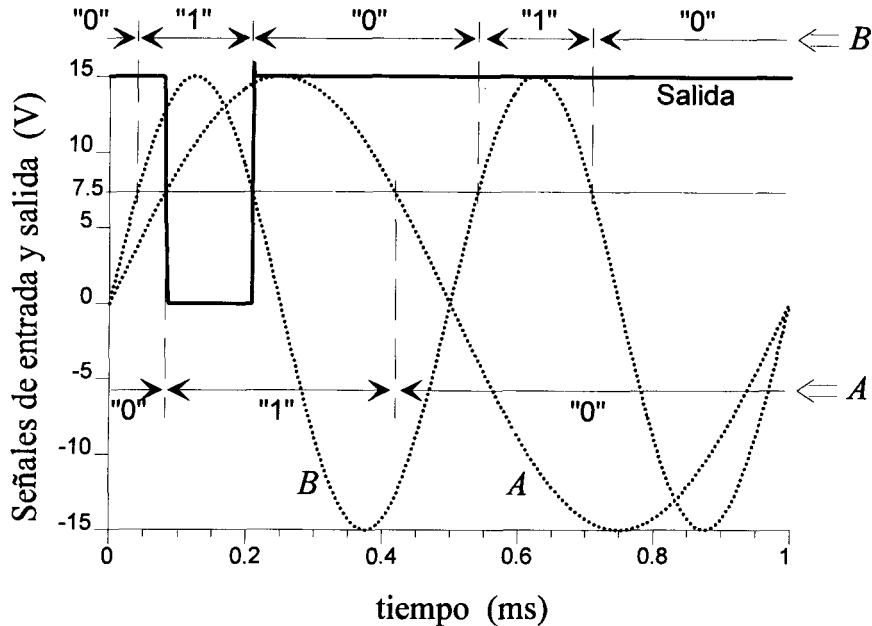


Fig. 3.4.2 Resultado de la simulación de la puerta NAND en tecnología HTL

Las líneas discontinuas representan las dos señales de entrada A y B . La frecuencia de B es doble que la de A , con esto conseguimos obtener todas las combinaciones posibles a la entrada: "00", "01", "10" y "11". La curva continua representa la salida, que muestra claramente el comportamiento como puerta NAND. Se han indicado también las zonas en las que las señales valen "0" o "1". Estos cambios tienen efecto aproximadamente, cuando las señales de entrada cruzan la línea de 7,5 Voltios.

Veámoslo ahora analíticamente. Como en toda puerta NAND, mientras alguna de las entradas está en baja (00, 01 y 10), la salida permanece en alta y cuando todas las entradas están en alta (11), la salida pasa a baja. Los niveles lógicos son:

$$V("0") = V_{CE}|_{sat} = 0.2V$$

$$V("1") = V_{CC} = 15V$$

A) Configuraciones 00, 01 y 10:

Si una de las entradas está en baja ($V_i = 0.2V$) el diodo correspondiente conduce y fija la tensión en la base de T_2 a $V_{B2} = 0.2 + 0.7 = 0.9V$ como muestra la figura (3.4.3 a) en la que sólo hemos representado los transistores y uno de los diodos de entrada. Para que T_1 conduzca necesita en su base una tensión superior o igual a $0.5V$. Como en el zener caen $7V$, en el emisor de T_2 serían necesarios $7 + 0.5 = 7.5V$. Como T_2 es

también un transistor NPN, para que conduzca, necesita que su base sea al menos 0.5 voltios más positiva que el emisor. Es decir, necesitaríamos $7.5+0.5=8$ Voltios. Como sólo tenemos 0.9, es claro que T_2 está al corte y T_1 también. El circuito que nos queda es el de la figura (3.4.3 b), en el que T_1 y T_2 por estar al corte, no conducen presentando alta impedancia ($Z \gg$). Por R_{C1} prácticamente no circula corriente y por lo tanto: $V_O \approx V_{CC} = 15V$.

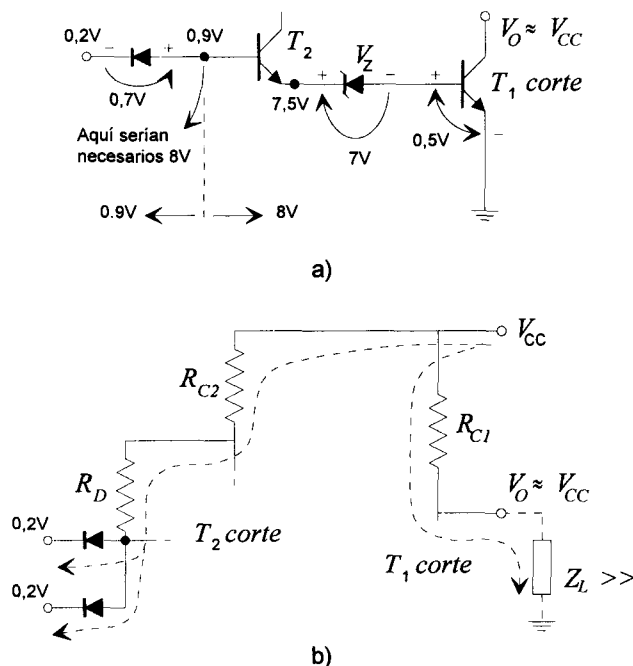


Fig. 3.4.3 Esquema simplificado para el estudio de los estados 00, 01 y 10

B) Configuración de entrada 11:

Supongamos ahora que a la entrada tenemos la configuración 11 y que T_1 está cortado. En este caso, la salida del circuito está en alta. Para que suceda esto, la corriente de base de T_1 (corriente de emisor de T_2) debe ser muy pequeña. Como la ganancia en corriente de un transistor bipolar es muy grande, si la corriente de emisor de T_2 es muy pequeña su corriente de base será prácticamente despreciable, con lo que T_2 también estará cortado. Según esto (T_1 y T_2 cortados) tendremos $V_{BE1} < 0.5V$ y $V_{BE2} < 0.5V$. Por otra parte si ambos están cortados y las entradas están en alta (\approx

15V), la base de T_2 estará a 15 Voltios, lo cual es imposible ya que en el diodo zener no pueden caer más de 7 voltios y las tensiones Base-Emisor de los dos transistores no superan los 0.5 V. Por lo tanto el transistor de salida no puede estar cortado. Tenemos por tanto un comportamiento NAND. Es decir, el transistor inversor de salida T_1 , debe estar en saturación $V_{CE1} = V_{CE1}|_{sat} \approx 0.2 \text{ V}$.

Si $V_A = V_B = 15 \text{ V}$, tanto el diodo D_1 como D_2 están polarizados en inversa, no conducen y presentan alta impedancia, por lo que se pueden eliminar del circuito (fig. 3.4.4). Si miramos ahora desde la salida hacia la entrada, la tensión en el emisor de T_2 será:

$$V_{E2} = V_{BE1} + V_Z = 0.8 + 7 = 7.8 \text{ V}$$

puesto que suponemos que T_1 está saturado y por tanto: $V_{BE1}|_{sat} \approx 0.8 \text{ V}$.

Como la base de T_2 está conectada a la alimentación (15V) a través de $R_B = 12 \text{ k}\Omega$ y $R_C = 3 \text{ k}\Omega$, su tensión será suficiente para que T_2 conduzca. Al conducir nos asegura un valor de 0.7 voltios entre base y emisor con lo que:

$$V_{B2} = 7.8 + 0.7 = 8.5 \text{ V}$$

El circuito que nos queda en este caso es el de la figura (3.4.4).

Para calcular la característica de transferencia tendremos que calcular el valor de V_i (tensión de entrada) que empieza a sacar a T_1 del corte y el siguiente valor de V_i que hace entrar a T_1 en saturación. La conducción de T_2 empieza cuando su V_{BE2} es mayor que 0.5V. Es decir, cuando la V_i en su subida pasa por:

$$V_i = V_{BE1} + V_{zener} + V_{BE2} - V_{D1}|_{sat} \approx V_{BE1} + 7 + 0.5 - 0.8 = 6.7 + V_{BE1}$$

donde $V_{D1}|_{sat}$ es la tensión de saturación del diodo de entrada, que en este caso estará conduciendo ya que estamos viendo el paso de corte a conducción, paso de 0 a 1 de la puerta como consecuencia de pasar de una de las configuraciones 00, 01, 10 a la configuración 11.

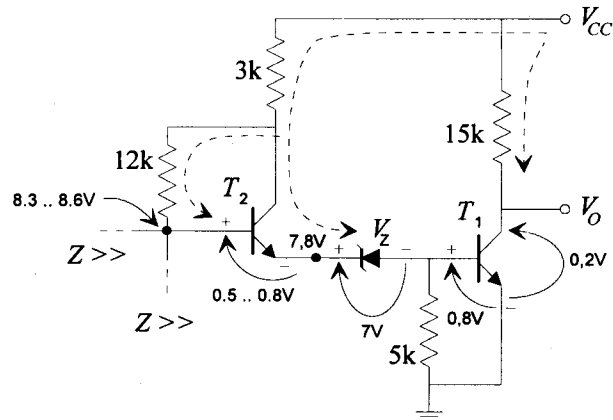


Fig. 3.4.4 Esquema simplificado para el estudio del estado 11

El valor de V_{BE1} va a encontrarse siempre entre 0.5 y 0.8. Para que empiece a conducir, $V_{BE1} \geq 0.5V$, luego en el inicio de la transición tendremos:

$$V_i = 6.7 + 0.5 = 7.2V$$

La transición termina cuando T_1 entra en saturación ($V_{BE1} = 0.8V$) y esto ocurre para un valor de V_i en la entrada de: $V_i = 6.7 + 0.8 = 7.5V$

La figura (3.4.5) muestra los resultados de la simulación en un entorno de la zona de transición, ilustrando los puntos de interés. Sobre la misma gráfica obtenida por simulación se ha superpuesto una interpolación aproximada a partir de los resultados obtenidos analíticamente. Obsérvese que las diferencias fundamentales aparecen en la zona de transición (entre 7,2 y 7,5 Voltios), que es precisamente la que descartamos en un primer curso de electrónica digital. No hay que olvidar que los valores calculados analíticamente son los puntos en los que la curva característica presenta los "codos", siendo el resto de puntos interpolados de forma aproximada, ya que no se ha realizado un estudio detallado de esas zonas.

Los márgenes de ruido en "0" y "1" son muy altos. Recordemos que se definen como la diferencia en tensión, medida en el eje de las V_i (entradas), entre el punto de funcionamiento y el de ganancia -1 más próximo (Ganancia en tensión A_v)

$$\text{con } A_v = \frac{\Delta V_o}{\Delta V_i} = -1 = \tan \varphi \quad \Rightarrow \quad \varphi = -45^\circ$$

Así $NM_0 = 7.2 - 0.2 = 7V$ y $NM_1 = 15 - 7.5 = 6.5V$. En realidad, ambos números son algo menores debido a la dispersión de las curvas características y a la influencia de las impedancias de salida en ambos estados sobre la corriente de colector. La figura (3.4.6) recoge los aspectos más relevantes para el cálculo de los márgenes de ruido.

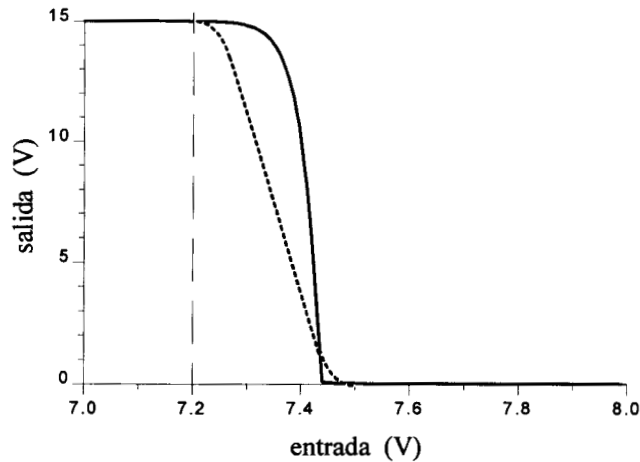


Fig. 3.4.5 Característica de transferencia obtenida por simulación (línea continua) y calculada analíticamente (línea discontinua)

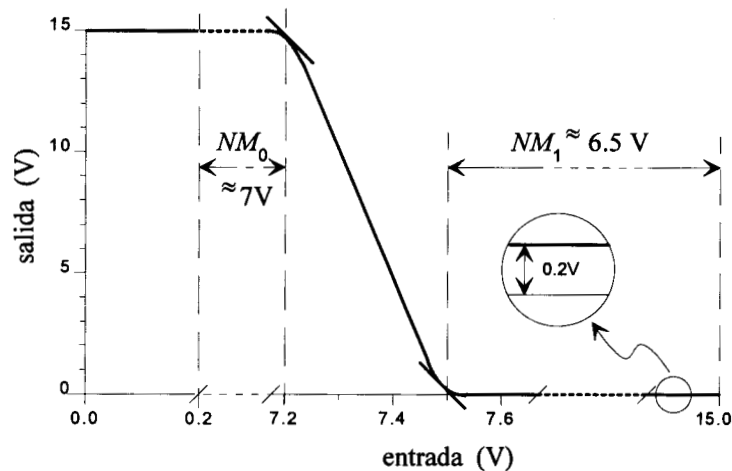


Fig. 3.4.6 Representación gráfica de los márgenes de ruido de la puerta HTL

□ □ □ □

E.3.5 Análisis de una puerta NAND en tecnología AS

El circuito de la figura (3.5.1) muestra el esquema de un puerta NAND en TTL Advanced Schottky (AS00). Seguir el camino de la señal desde la entrada hasta la salida para la configuración (00) y cualquiera de las otras (01, por ejemplo), comparando el análisis con el seguido en el tema para la puerta NAND TTL básica, resumido en las figuras 3.7, 3.8. y 3.9 del texto de teoría.

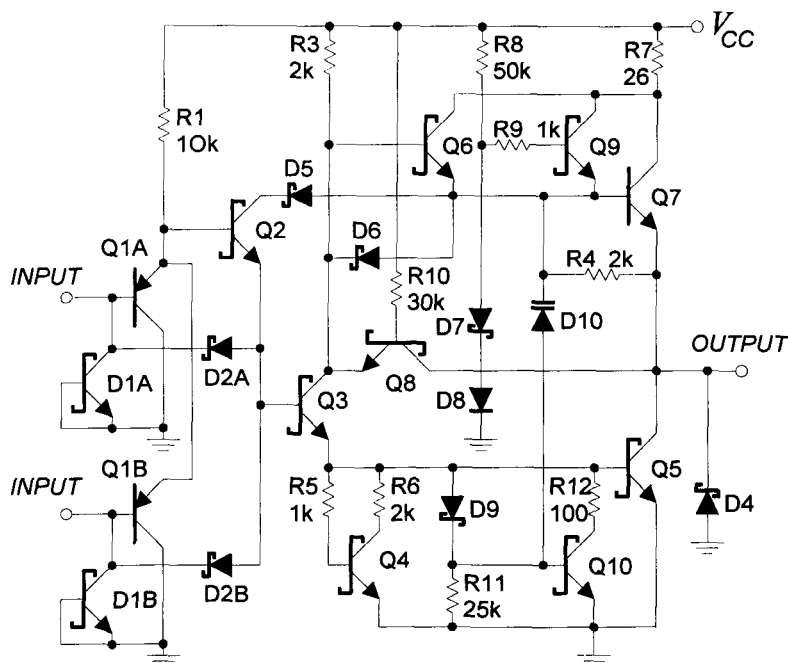


Fig. 3.5.1 Puerta NAND en tecnología TTL-Schottky

Solución:

El estudio del circuito resultará mucho más sencillo si lo descomponemos en sus partes fundamentales.

Veamos primero como funciona la etapa de entrada que, como es usual, es la que realiza la función lógica de las señales de entrada que en este caso será la función AND. Esta etapa está formada por los transistores Q_{1A} , Q_{1B} , D_{1A} y D_{1B} , como se muestra en la figura (3.5.2) en la que hemos considerado esta parte del circuito, así como los diodos D_{2A} , D_{2B} y los transistores Q_2 y Q_3 que conectan con ella.

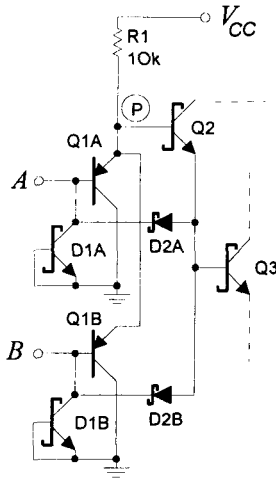


Fig. 3.5.2 Etapa de entrada de la puerta NAND Schotky

Vamos a suponer que los valores de las tensiones correspondientes al "0" y al "1" lógicos son $0.2V$ y V_{CC} respectivamente.

Los transistores Q_{1A} y Q_{1B} (NPN) están conectados como diodos (el de la unión Colector-Base), ya que sus uniones Base-Emisor están cortocircuitadas. Como la tensión de la señal de entrada va a tener los valores $0.2V$ ó V_{CC} , es decir, siempre positivas, estos diodos en condiciones normales de funcionamiento estarán polarizados en inversa, no conducen y presentan alta impedancia a la entrada del circuito. Su función es la de impedir que al circuito le entren señales negativas ya que en ese caso pasarán a estar polarizados en directa, conducirán y derivarán la señal a tierra, impidiendo que lleguen a los transistores de entrada.

La función lógica la realizan los transistores Q_{1A} y Q_{1B} (PNP). Veámoslo:

- 1.- **Supongamos que las dos entradas A y B están a "1"** ($V_A = V_B = V_{CC}$).
En este caso las uniones B-E de los transistores de entrada Q_{1A} y Q_{1B} , están polarizadas en inversa, los dos están al corte, presentando alta impedancia, de forma que en la base de Q_2 (punto P) aparece una tensión alta, que lo llevará a conducción. (A este punto volveremos más adelante).
- 2.- **Supongamos que una entrada está a "0" y la otra a "1"** (por ejemplo $A="0"$, $B="1"$ lo que supone $V_A=0.2V$ y $V_B=V_{CC}$). En este caso la unión B-E de Q_{1A} está polarizada en directa mientras que la unión C-E lo está en inversa, por tanto dicho transistor está polarizado en la zona activa directa por lo que estará en conducción. Sin embargo al ser $V_B=V_{CC}$, la unión B-E de Q_{1B} está en inversa y dicho transistor está al corte, presentando alta impedancia.

Como ambos están unidos al punto P, al estar uno conduciendo (presentar baja impedancia) y el otro estar al corte (alta impedancia) el que fija la tensión es el que conduce de forma que la tensión del punto P será:

$$V_P = V_A + V_{BE}|_{Q_{1A}} \approx 0.2 + 0.7 = 0.9V$$

Lo mismo ocurrirá para la configuración (1,0), solo que el transistor que conduce es Q_{1B} , pero la tensión V_P será la misma.

- 3.- **Sea ahora la configuración de entrada "00".** Ahora los dos transistores conducen y el efecto es el mismo que en las configuraciones (0,1) y (1,0). Así podemos resumir el funcionamiento de la etapa de entrada en la tabla de la figura (3.5.3) en la que observamos que en el punto P aparece la función AND de A y B .

A	B	Q_{1A}	Q_{1B}	$V_P \equiv V_B(Q_2)$
0 ($V_A \approx 0.2V$)	0 ($V_B \approx 0.2V$)	Conducción	Conducción	$\approx 0.9V \rightarrow "0"$
0 ($V_A \approx 0.2V$)	1 ($V_B \approx V_{CC}$)	Conducción	Corte	$\approx 0.9V \rightarrow "0"$
1 ($V_A \approx V_{CC}$)	0 ($V_B \approx 0.2V$)	Corte	Conducción	$\approx 0.9V \rightarrow "0"$
1 ($V_A \approx V_{CC}$)	1 ($V_B \approx V_{CC}$)	Corte	Corte	$\approx V_{CC} \rightarrow "1"$

Fig. 3.5.3 Tabla de verdad de la etapa de entrada de la puerta Schottky.
Como se puede ver la etapa de entrada realiza la función AND

Sigamos analizando el circuito estudiando el siguiente módulo funcional en el recorrido de la entrada hacia la salida. Pasamos ahora a analizar el funcionamiento del transistor Q_2 y de los diodos D_{2A} y D_{2B} que están conectados a las entradas. Si nos quedamos con esta parte del circuito, como se muestra en la figura (3.5.4) vemos que cuando Q_{1A} y Q_{1B} no conducen (entrada 1,1), la tensión en la base de Q_2 tiene un valor alto que hace que este transistor conduzca mientras que los diodos D_{2A} y D_{2B} están polarizados en inversa y por lo tanto no conducen.

Sin embargo, las configuraciones de entrada (00, 01 y 10) hacen que la tensión en la base de Q_2 sea $V_B|_{Q_2} \approx 0.9V$, pero como al menos uno de los diodos D_{2A} o D_{2B} está polarizado en directa, se impide que Q_2 conduzca ya que resolviendo la malla formada por las uniones B-E de Q_{1A} y/o Q_{1B} y Q_2 y los diodos D_{2A} y/o D_{2B} vemos que se verifica que: $V_{EB}|_{Q_{1A}} = V|_{D_{2A}} + V_{BE}|_{Q_2}$

Para que Q_2 conduzca deberá ser $V_{BE}|_{Q_{1A}} = 2V_\gamma = 1V$ y el valor máximo que puede alcanzar es $0.8V$ que se alcanza cuando el transistor Q_{1A} está en saturación.

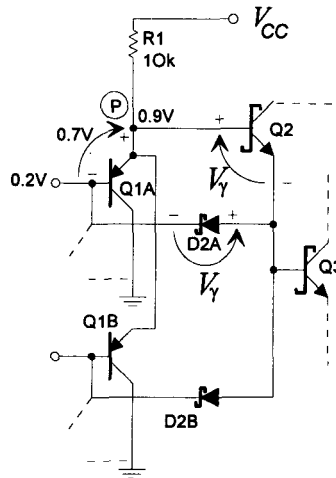


Fig. 3.5.4 Estudio del comportamiento de Q2 y Q3

En resumen, ante las configuraciones 00,01 y 10, el transistor Q_2 no conduce mientras que ante la configuración 11, si lo hace puesto que en este caso los diodos D_{2A} y D_{2B} están polarizados en inversa.

- 4.- Veamos ahora que ocurre con el resto del circuito cuando Q_2 está al corte.

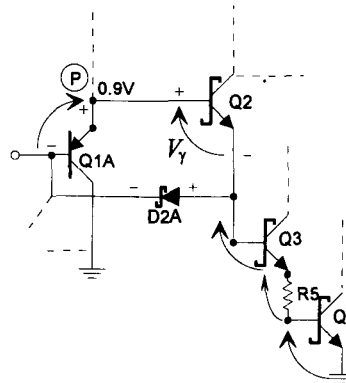


Fig. 3.5.5 Estudio del comportamiento con Q2 en corte

En este caso Q_3 y Q_4 tampoco conducen puesto que para que lo hagan la tensión en la base de Q_3 debe ser al menos el doble de la tensión de despegue de cada uno de ellos más la caída de tensión en R_5 ya que de la malla que va de la base de Q_3 a tierra obtenemos:

$$V_B|_{Q_3} = V_{BE}|_{Q_3} + i_{R_5} R_5 + V_{BE}|_{Q_4}$$

y como ya se ha visto Q_2 está cortado para las combinaciones de entrada 00, 01 y 10 y en estos casos la tensión en la base de Q_3 obtenida de la malla de entrada será:

$$V_B|_{Q_3} = V_{in}|_{"0"} + V_\gamma \approx 0.2V + V_\gamma$$

siendo V_γ la tensión correspondiente al diodo D_{2A} y/o D_{2B} que para estas configuraciones conducen. Obviamente esta tensión es insuficiente para hacer conducir Q_3 y Q_4 .

Como consecuencia de todo esto, los diodos D_5 y D_6 tampoco conducen, así como los transistores Q_5 y Q_{10} .

Como la etapa de salida es del tipo "totem pole" si Q_5 está al corte, Q_7 estará saturado y a la inversa. Así la etapa de salida que interviene ahora es la de la figura (3.5.6).

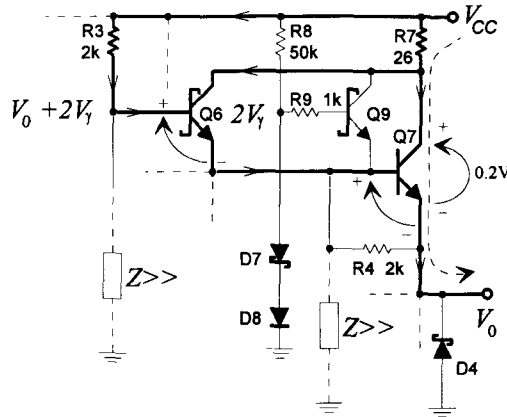


Fig. 3.5.6 Etapa de salida del tipo "totem pole" de la puerta Schottky

Realmente los transistores que tienen interés son Q_6 y Q_7 , que forman una configuración Darlington. Así la tensión a la salida tendrá un valor alto próximo a V_{CC} ya que para el transistor Q_7 su tensión Colector-Emisor es 0.2V que corresponde al estado de saturación, es decir:

$$V_0 = V_{CC} - I_{C|_{sat}} R_7 - V_{CE|_{sat}} = V_{CC} - I_{C|_{sat}} R_7 - 0.2$$

Obsérvese que se ha despreciado la corriente que deriva hacia Q_6 puesto que:

$$I_C|_{Q_6} \approx I_E|_{Q_6} = I_B|_{Q_7} \ll I_C|_{Q_7} (\text{saturación})$$

En este circuito queda por ver la función que realizan Q_9 y R_4 .

Antes de que Q_7 entre en conducción, lo hace Q_6 que a través de R_4 entrega corriente a la carga. Al iniciarse la conmutación el nivel de corriente es bajo y la caída que produce en R_4 también es baja. Cuando esta caída de tensión supera la tensión de despegue de la unión B-E el transistor Q_7 pasa a conducción y posteriormente a saturación, funcionando entonces la pareja $Q_6 - Q_7$.

- 5.- Estudiemos ahora el resto del circuito para el caso en que Q_2 conduce (fig. 3.5.7). Ahora Q_5 estará en saturación y los transistores Q_2 , Q_3 y Q_8 conducen.

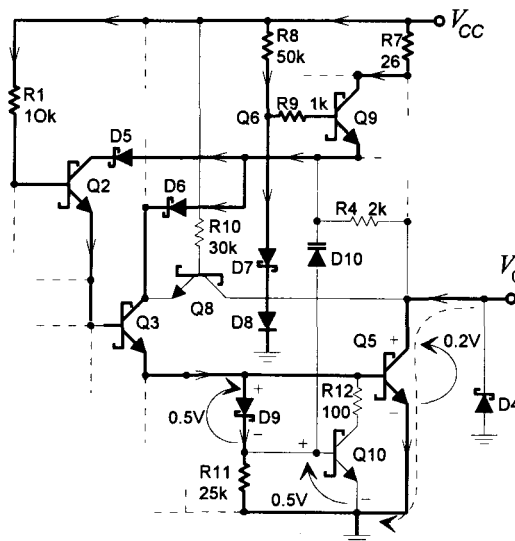


Fig. 3.5.7 Tensiones y corrientes principales para el apartado 5.-

TEMA 4

Familias lógicas (II): ECL, MOS y CMOS

PROPÓSITO

Al llegar aquí hemos visto el modelo lógico soporte de la Electrónica Digital, las bases físicas de los dispositivos semiconductores trabajando en zona activa y entre corte y saturación, y un primer capítulo de familias lógicas basado esencialmente en la lógica transistor-transistor (TTL). Ahora vamos a repetir la metodología usada en TTL para las otras familias, la bipolar no saturada (ECL) y las de efecto campo (MOS y CMOS). El propósito es darle la oportunidad al alumno para que muestre y refuerce su grado de comprensión del funcionamiento de los circuitos básicos (AND, OR, puertas de transmisión, etc.) en distintas tecnologías.

De nuevo haremos uso del programa de simulación PSpice (versión reducida) para simular los distintos circuitos y comprobar sus comportamientos estáticos y/o dinámicos, la evolución temporal de sus salidas para señales de entrada en función del tiempo y las características de transferencia. El uso intencional de la versión de evaluación de un simulador tiene ventajas pero también algunos inconvenientes. Esencialmente, la limitación del número máximo de transistores que pueden incluirse en un circuito y la poca variedad en la selección de dispositivos, que no siempre son los más adecuados para su uso en conmutación. Sin embargo, el carácter pedagógico de este texto y el nivel de los estudios para los que está pensado hacen que estas limitaciones no sean relevantes. Las ventajas de usar un simulador de fácil adquisición son sin embargo evidentes.

Aconsejamos al alumno que se proponga y resuelva problemas análogos usando los "trucos" que encontrará en este tema, tales como sustituir etapas excitadoras previas por generadores de tensión variables entre los niveles lógicos "0" y "1" para evitar la exigencia de cuatro o seis transistores adicionales.



EJERCICIOS RESUELTOS

E.4.1 Análisis y simulación de un inversor en tecnología ECL

Con ayuda de las figuras y los comentarios referentes a la puerta NOR de la familia ECL del texto base, podemos diseñar como sería un inversor en esta tecnología (fig. 4.1.1). Realizar la simulación del circuito y obtener su característica de transferencia para comprobar que realmente se comporta como un inversor. Determinar con ayuda del simulador la función de los transistores T_3 y T_4 . ¿Por qué son necesarios?. ¿En que región trabajan?, ¿por qué?. Compárense las salidas inversoras y no inversoras con las tensiones en los nudos 1 y 2. ¿Cuál es la ventaja de disponer de salida inversora y no inversora?

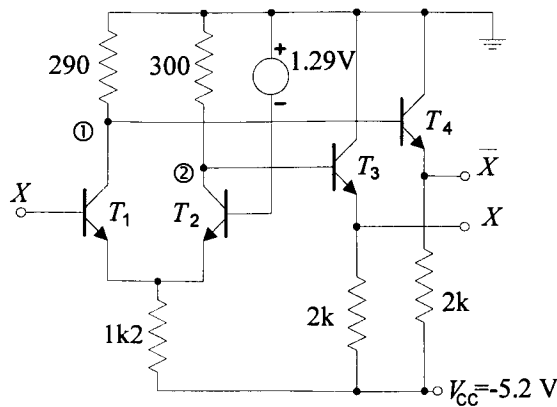


Fig. 4.1.1 Circuito propuesto como inversor en tecnología ECL

Solución:

Antes de realizar la simulación veamos primero el comportamiento cualitativo del circuito:

Obsérvese que la base del transistor T_2 está fija y es igual a $V_{ref} = -1.29V$. Como se ve en la figura (4.1.1) la etapa de entrada está constituida por un par diferencial. De esta forma, si el valor de la tensión de entrada es menor que este valor de referencia T_1 estará cortado y T_2 en conducción. Al sobrepasar la entrada el valor de la tensión de referencia, T_1 pasa a conducción y T_2 a corte con lo que el inversor conmuta.

Para obtener la característica de transferencia tenemos que estudiar el comportamiento del circuito en un margen de tensiones representativo. Como la entrada de todo dispositivo digital debe estar preparada para conectarse directamente a la salida de otros dispositivos de la misma familia, el margen de tensiones de entrada debe coincidir con el de salida. Como se vió en teoría, la familia ECL trabaja con señales negativas en un margen que se encuentra centrado en la mencionada tensión de referencia, ya que es alrededor de esta tensión donde se produce la conmutación.

Según esto, para obtener la característica de transferencia con ayuda de la simulación empleamos los parámetros de la tabla de la figura (4.1.2) donde V_{in} representa al generador conectado a la entrada.

Swept Var. Type:	Voltage Source	Name:	Vin
Swept type:	Linear	Start value:	-1.8V
		Stop value:	-0.8V
		Increment:	0.02V

Fig. 4.1.2 Parámetros empleados para obtener la característica de transferencia por simulación

En la figura (4.1.3) aparecen las características de transferencia de las salidas inversora y no inversora del circuito del enunciado, donde se puede comprobar la simetría que existe entre ambas. También se puede observar que la conmutación se produce cuando la tensión de entrada se acerca a la tensión de referencia y que los valores de tensión de salida son suficientes para recorrer completamente el margen de entrada de otra puerta de la misma familia. La mencionada simetría entre la característica inversora y la no inversora es consecuencia de la propia naturaleza de la etapa de entrada del circuito basada en un par diferencial.

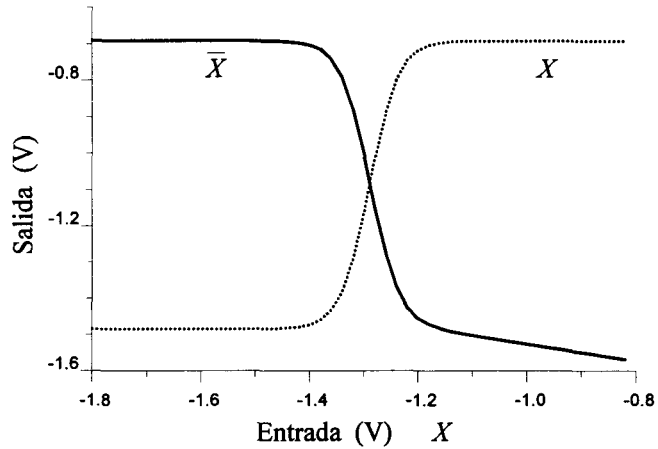


Fig. 4.1.3 Características de transferencia de la salida inversora y no inversora del circuito inversor ECL

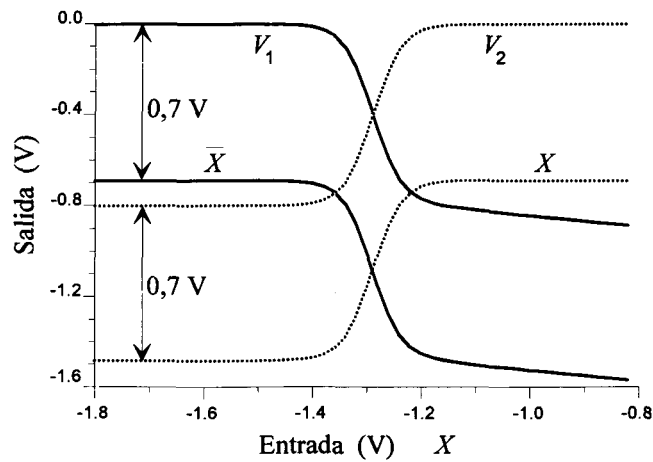


Fig. 4.1.4 Características de transferencia y tensiones en los nudos 1 y 2 para mostrar el efecto de los transistores T_3 y T_4

Las tensiones en los colectores de los transistores T_1 y T_2 (nudos 1 y 2) se muestran en la figura (4.1.4). En esta última figura se han superpuesto las características de transferencia para que se pueda observar claramente que la función de los transistores T_3 y T_4 es desplazar los niveles de tensión con objeto de que los niveles de salida garanticen el recorrido a lo largo de todo el margen de entrada como sucede si queremos obtener una puerta compatible con ella misma y el resto de la familia. Se

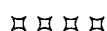
consigue también disminuir la impedancia de salida, con lo que aumenta la velocidad de conmutación.

La diferencia de tensión entre los dos pares de curvas es de 0.7V, como se indica en la figura, debido a que entre la salida inversora (no inversora) y el nudo 1 (2), únicamente encontramos la unión Base-Emisor del transistor T_3 (T_4) que está permanentemente polarizado en directa con lo que la caída de tensión en estas uniones será de 0.7 Voltios aproximadamente.

Vamos a comprobar que estos dos transistores (T_3 y T_4) trabajan en zona activa. Tomemos por ejemplo T_3 , ya que debido a la simetría del circuito, el comportamiento de T_4 será prácticamente idéntico: T_3 no puede estar cortado ya que su base está conectada al colector del transistor de entrada que aparece en serie con un divisor de tensión en el que la resistencia inferior es bastante mayor que la superior y además está la tensión C-E del mencionado transistor que en el peor de los casos sería la de saturación (0.2V). Es decir: $V_{BE}|_{T_3} > 0.5V$. Si estuviese saturado, tendríamos

$V_{CE3}|_{sat} \approx 0.2V$ y por otra parte $V_{BE3}|_{sat} \approx 0.8V$. Es decir, la base debería estar a una tensión mayor que el colector, pero esto es imposible ya que el colector de T_3 está conectado directamente a la línea de tierra que es el punto de mayor potencial del circuito, con lo que este transistor y análogamente T_4 no pueden saturarse nunca. Esta es una de las características de la familia ECL, por lo que también se la conoce con el nombre de lógica no saturada. Esta característica permite conseguir una velocidad de conmutación mayor ya que al no haber saturación, la carga acumulada en las zonas de transición de los transistores es mucho menor y se extrae más rápidamente.

En tecnología ECL normalmente se dispone de la salida inversora y no inversora ya que evita la intervención de otra puerta adicional. Esta característica de conseguir una salida complementaria en ECL es realmente simple, basta con añadir un transistor y una resistencia, como puede observarse en la figura (4.1.1). No obstante hay una ventaja adicional mucho más importante y es que la generación de las dos salidas se produce simultáneamente sin añadir ningún retardo gracias a la naturaleza del par diferencial de entrada. Si obtuviésemos la inversión con un circuito inversor externo estaríamos introduciendo un retardo innecesario.



E.4.2 Análisis y simulación de la puerta NOR en tecnología ECL

La figura adjunta muestra el esquema mínimo de una puerta NOR en ECL, en el que además se ha separado el amplificador diferencial de entrada (T_1 , T_2 , T_3) de los dos transistores seguidores de emisor (T_4 y T_5) usados para desplazar los niveles de tensión y modificar las impedancias de salida.

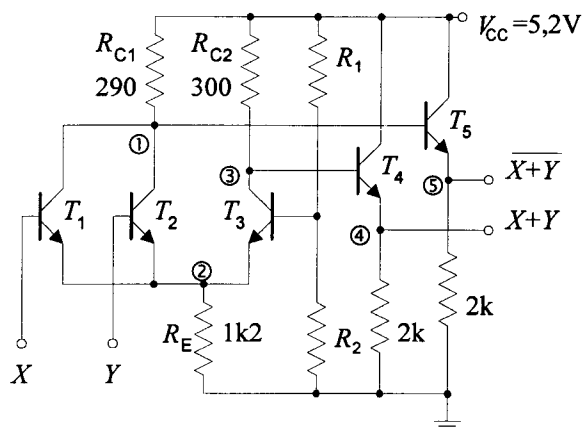


Fig. 4.2.1 Puerta OR-NOR en tecnología ECL

- Analizar primero el par diferencial y comprobar cualitativamente que en los puntos 1 y 3 aparecen las funciones NOR y OR de las entradas (X , Y).
- Calcular R_1 y R_2 para que el valor de la tensión de referencia sea 1'2volts.
- Analizar el comportamiento de T_4 y T_5 . ¿Invierten la señal?. ¿Cuál es la diferencia entre el potencial en 3 y en 4?. ¿Por qué?.
- Sabiendo que $V_{CC} = 5.2V$ y $V_{ref} = V_{CC} - 1.2V$, estimar los valores de las tensiones en los puntos 1, 2, 3, 4 y 5 cuando entra $X="1"$, $Y="0"$ y cuando entra $X=Y="0"$. ¿Qué valores consideras razonables para $V("0")$ y $V("1")$ sabiendo que $V_{ref} = 5.2V - 1.2V$ y que $V_{BE}|_{on} = 0.7V$, $V_{CE}|_{sat} = 0.2V$ y $V_{BE}|_{off} \leq 0.5V$.

Solución:

- Las resistencias R_1 y R_2 forman un divisor de tensión, de tal forma que en su punto medio tendremos una tensión proporcional a la alimentación y que vendrá fijada por la relación que exista entre ambas. Para que el divisor sea efectivo, es decir mantenga una tensión que únicamente dependa de la alimentación y de la relación entre R_1 y R_2 , la corriente que pasa a través de las dos resistencias debe ser la misma.

Esto obliga a suponer que la corriente de la base de T_3 sea despreciable frente a la que atraviesa ambas resistencias. Pero esto no es un problema ya que sabemos que la corriente de entrada en la base de un transistor es siempre pequeña y además podemos elegir las resistencias lo suficientemente pequeñas como para que siempre se cumpla la citada suposición.

Según este comentario previo, la corriente de base de T_3 es pequeña ($I_{B3} \ll I_{R2}$) $\Rightarrow I_{R1} \approx I_{R2}$ con lo que tenemos:

$$V_{ref} = V_{CC} \frac{R_2}{R_1 + R_2}$$

Que es la tensión en el punto medio de un divisor de tensión. Esta tensión V_{ref} es por tanto fija, ya que sólo depende de la alimentación V_{CC} y de la relación entre R_1 y R_2 . Como consecuencia de esto, la polarización de T_3 es también fija.

Tomemos ahora una de las entradas del par diferencial. De la malla que contiene las dos uniones Base-Emisor del par diferencial de entrada obtenemos:

$$V_{in} = V_{BE1} - V_{BE3} + V_{ref}$$

siendo V_{in} la tensión en la entrada X (igualmente se podría haber cogido la entrada Y ya que son equivalentes)

Del capítulo 2 del texto base tenemos que

$$V_{BE1} = \frac{KT}{q} \ln \frac{I_{C1}}{\alpha_{F1} I_{ES1}}$$

$$V_{BE3} = \frac{KT}{q} \ln \frac{I_{C3}}{\alpha_{F3} I_{ES3}}$$

Si, como debe ser, los transistores que forman el par diferencial son iguales, $\alpha_{F1} = \alpha_{F3}$ y $I_{ES1} = I_{ES3}$. Combinando estas expresiones tendremos:

$$V_{in} = \frac{KT}{q} \left(\ln \frac{I_{C1}}{\alpha_F I_{ES}} - \ln \frac{I_{C3}}{\alpha_F I_{ES}} \right) + V_{ref}$$

$$V_{in} = \frac{KT}{q} \ln \frac{I_{C1}}{I_{C3}} + V_{ref}$$

$$\ln \frac{I_{C1}}{I_{C3}} = \frac{(V_{in} - V_{ref})}{KT/q} \Rightarrow \frac{I_{C1}}{I_{C3}} = e^{\left(\frac{V_{in} - V_{ref}}{KT/q} \right)}$$

Como $I_{E1} \approx I_{C1}$ y $I_{E3} \approx I_{C3}$ tendremos que $I_E = I_{C1} + I_{C3}$. De estas últimas expresiones podemos obtener:

$$I_{C1} = \frac{I_E}{1 + e^{-\frac{(V_{in} - V_{ref})}{V_T}}} \quad \text{y} \quad I_{C3} = \frac{I_E}{1 + e^{\frac{(V_{in} - V_{ref})}{V_T}}}$$

donde $V_T = \frac{KT}{q}$ y I_E la corriente a través de la resistencia R_E .

En estas expresiones se puede ver que si V_{in} se aleja ligeramente de V_{ref} la corriente de uno de los transistores crecerá exponencialmente, mientras que la del otro decrecerá a la misma velocidad. De esta forma un transistor pasa rápidamente a corte y el otro conduce fuertemente pero sin llegar a la saturación. Si la diferencia entre V_{in} y V_{ref} es de signo contrario al anterior, el comportamiento de los dos transistores se invierte y el que antes iba al corte ahora irá a conducción y el otro hará lo contrario. Según esto, pequeñas variaciones de la entrada en torno a la tensión de referencia V_{ref} provocará el vuelco del par diferencial en un sentido o en otro.

Como este razonamiento se puede aplicar a cualquier entrada, bastará que una se aleje de V_{ref} para volcar el par diferencial.

Por otra parte, si cuando uno de los transistores de entrada está en corte el otro conduce y al revés, en los colectores de ambos transistores tenemos señales

complementarias. Si, como ya hemos explicado, para que el par diferencial vuelque basta con hacer conducir cualquier transistor de entrada, tendremos una función OR en el colector de T_3 y como consecuencia de la propia naturaleza del par diferencial tendremos la función NOR en los colectores de los transistores de entrada T_1 y T_2 .

- B)** Para que V_{ref} sea 4 Voltios debemos elegir R_1 y R_2 de forma que:

$$V_{ref} = V_{CC} \frac{R_2}{R_1 + R_2} = 4V \quad \Rightarrow \quad \frac{R_2}{R_1 + R_2} = \frac{V_{ref}}{V_{CC}}$$

de donde obtenemos:
$$R_1 = R_2 \left(\frac{V_{CC}}{V_{ref}} - 1 \right) = 0.3 R_2$$

Cualquier par de resistencias que cumplan la expresión anterior será válido. Para que esto se cumpla y la tensión V_{ref} se mantenga constante, la corriente que deriva hacia la base de T_3 debe ser despreciable frente a la que pase a través de R_1 y R_2 . Por lo tanto, R_1 y R_2 deben ser lo suficientemente pequeñas para que esto sea cierto. Así por ejemplo podemos escoger $R_1 = 300\Omega$ y $R_2 = 1 K\Omega$.

- C)** La función de estos dos transistores (T_4 y T_5) ya se estudió en el ejercicio anterior (E.4.1) y es la de conseguir un desplazamiento de los niveles de tensión sin invertir la señal. Ambos transistores aparecen en el circuito en configuración de colector común o seguidor de tensión que también se vió en el ejercicio E.2.7, por lo que no insistiremos en ello.

- D.1)** Caso $X="1"$, $Y="0"$:

En este caso, la entrada X está en alta lo que hace que T_1 entre en conducción y T_3 vaya al corte, tal y como se explicó en la primera parte de la solución de este problema. La tensión en 1 será:

$$V_1 = V_{CE1} + i_E R_E$$

Para calcular $i_E \approx i_{E1}$ planteamos la ecuación de la malla de alimentación:

$$V_{CC} = i_{C1}(R_{C1} + R_E) + V_{CE1} \quad \Rightarrow \quad i_{C1} \approx i_E = \frac{V_{CC} - V_{CE1}}{R_{C1} + R_E}$$

Donde se ha tenido en cuenta que si $Y="0"$ el transistor T_2 estará cortado y por lo tanto la corriente de colector de T_1 será igual a la de la resistencia R_{C1} . Por otra parte i_{B1} es muy pequeña con lo que $i_{C1} \approx i_{E1}$. Si tenemos en cuenta que la etapa de entrada es un par diferencial, si T_1 conduce T_3 estará cortado, con lo cual toda la corriente que pase por la resistencia R_E (i_E) será debida a T_1 y por lo tanto $i_E \approx i_{E1}$.

Sustituyendo en V_1 :

$$V_1 = V_{CE1} + (V_{CC} - V_{CE1}) \frac{R_E}{R_{C1} + R_E}$$

Sustituyendo valores:

$$V_1 = V_{CE1} + 4.188V - 0.8054V_{CE1} = 4.188V + 0.1946V_{CE1}$$

Como T_1 estará cercano a la saturación $V_{CE1} \approx 0.2V$ con lo que $V_1 \approx 4.227V$.

No obstante en la familia ECL, como ya se ha comentado, los transistores no llegan a saturación con lo que la tensión Colector-Emisor y consiguientemente la tensión V_1 es ligeramente mayor. Dejamos como ejercicio que el lector compruebe este hecho mediante la simulación.

La tensión en 2 será: $V_2 = i_E R_E = V_1 - V_{CE1} < 4.027V$

La tensión en 3 será aproximadamente V_{CC} ya que T_3 está en corte.

La tensión en 4 será 0.7 V menor que la tensión en 3 tal y como se explicó en el apartado anterior con lo que:

$$V_4 \approx 5.2 - 0.7 = 4.5V$$

La tensión en 5 será por la misma razón 0.7 V menor que la del nudo 1:

$$V_5 \approx 4.227 - 0.7 = 3.527V$$

D.2) Caso $X="0"$, $Y="0"$

En este caso ni T_1 ni T_2 conducen (están cortados) por lo que dada la naturaleza del par diferencial T_3 estará cercano a saturación.

Si T_1 y T_2 están cortados $\Rightarrow V_1 = V_2 \approx V_{CC} = 5.2 \text{ V}$

Si T_3 está cercano a saturación $\Rightarrow V_3 = 4.2 \text{ V}$ (como se vió en el apartado d.1 para el nudo 1)

Por los mismos motivos que en el caso anterior:

$$V_4 \approx V_3 - 0.7 = 3.5 \text{ V}$$

$$V_5 \approx V_{CC} - 0.7 = 4.5 \text{ V}$$

Por una parte, los valores razonables para $V("0")$ y $V("1")$ deben estar alrededor del valor de referencia V_{ref} , ya que es en torno a este valor donde se produce el volcado del par diferencial. Es decir debemos tener:

$$V("0") = V_{ref} - \Delta V$$

$$V("1") = V_{ref} + \Delta V$$

donde ΔV debe ser un valor de tensión lo suficientemente grande como para que el par diferencial vuelque.

Por otra parte, los valores para $V("0")$ y $V("1")$ deben estar comprendidos dentro del margen de la salida de la misma puerta (por compatibilidad de la familia). Esto nos impone un límite máximo para el valor de ΔV .

Según esto:

$$3.5\text{V} < V("0") = V_{ref} - \Delta V < V("1") = V_{ref} + \Delta V < 4.5\text{V}$$

Si elegimos $V \approx 0.3\text{V}$ tendremos:

$$V("0") = 3.7\text{V}$$

$$V("1") = 4.3\text{V}$$

Estos valores provocarán el volcado del par diferencial y además están dentro del margen de tensiones que puede proporcionar la salida (3.5V , 4.5V) con lo que son perfectamente válidos. Al realizar la simulación de esta puerta, de la misma forma

que se hizo en el problema anterior, se comprueba que los razonamientos realizados se cumplen con bastante aproximación.

Si se realiza el montaje experimental de esta puerta con transistores se pueden encontrar algunas dificultades derivadas del hecho de que los transistores del par diferencial deben ser tremendamente iguales. Esta igualdad sólo es posible conseguirla si los transistores han sido fabricados simultáneamente sobre un mismo circuito integrado.

□ □ □ □

E.4.3 Estudio de los circuitos de acoplo entre ECL y TTL

Explicar el funcionamiento de los circuitos de acoplo entre ECL y TTL que se muestran en la figura (4.3.1). Resolver el divisor de tensión de la figura (4.3.1 a) (con $R_1=180\Omega$, $R_2=270\Omega$ y $R_3=820\Omega$) usado para atenuar las salidas TTL hasta los niveles que requiere ECL. En la explicación del funcionamiento del circuito (4.3.1 b) conviene darse cuenta que los transistores usados en el par diferencial son PNP.

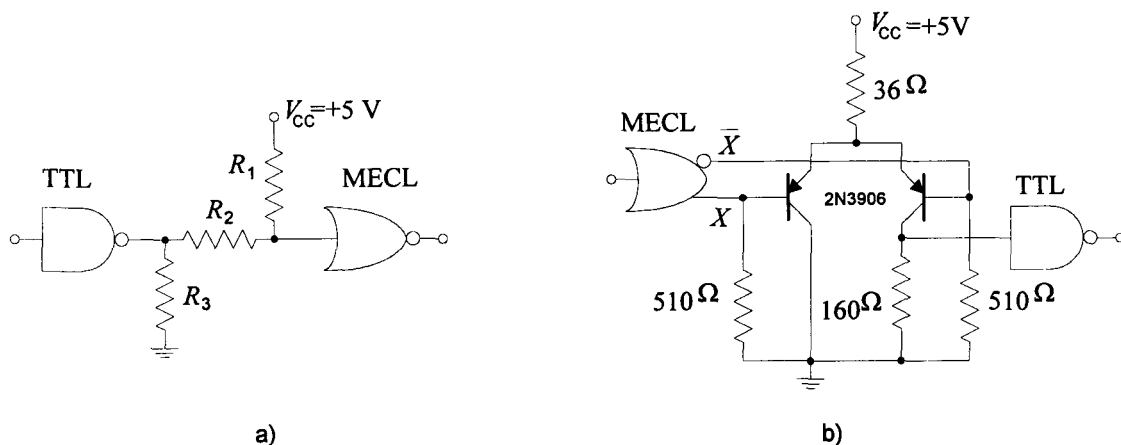


Fig. 4.3.1 Etapas adaptadoras entre las familias TTL y ECL.
Esta última con alimentación positiva.

Solución:

- A) El circuito de la figura (4.3.1 a) emplea únicamente un divisor de tensión para adaptar los niveles de tensión entre TTL y ECL con alimentación positiva.

Debemos considerar los dos estados TTL: el estado bajo y el estado alto.

En estado bajo la tensión de salida de una puerta TTL viene fijada por el transistor e salida T_1 en saturación $V_{out}(TTL) \approx 0.2V$ (ver figura 4.3.2). En estado alto, si suponemos una salida Totem-pole como la de la figura (4.3.2) tendremos T_1 cortado y T_2 y el diodo D en saturación con lo que la salida en estado alto será aproximadamente:

$$V_{out}|_{TTL} = V_{CC} - V_{T_2}|_{sat} - V_D \approx 5 - 0.2 - 0.8 \approx 4V$$

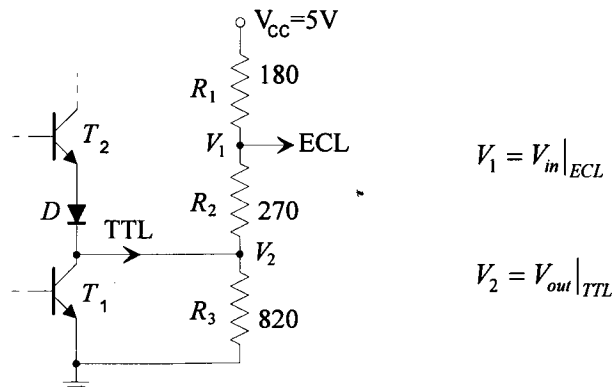


Fig. 4.3.2 Etapa adaptadora entre una salida TTL y la entrada de una puerta ECL

Como la impedancia de entrada de una puerta es muy alta, podemos despreciar la corriente que entra en la puerta ECL con lo que podemos escribir

$$V_1 = \frac{R_2}{R_1 + R_2}(V_{CC} - V_2) + V_2$$

En estado bajo, $V_2 \approx 0.2\text{V} \Rightarrow V_1 = 3.08\text{V}$

En estado alto, $V_2 \approx 4V \Rightarrow V_1 = 4.6V$

Como se ve, estos dos valores recorren completamente los valores de entrada de una puerta ECL con alimentación positiva como se vió en el problema anterior.

Podemos comprobar estos resultados por medio de la simulación. Como puerta ECL escogemos el inversor del problema E.4.1 y como puerta TTL empleamos una fuente de tensión que recorrerá los valores de 0.2 a 4 Voltios, ya que nos genera el rango completo de salida de la familia TTL. No podemos elegir una puerta TTL completa

ya que sobrepasaríamos la capacidad de la versión de evaluación si intentamos simular un circuito con tantos componentes simultáneamente.

No obstante, podemos ver que la sustitución es buena para nuestros propósitos si por otra parte empleamos una puerta TTL para atacar al divisor de tensión. En la figura (4.3.3) aparece un inversor TTL junto con la etapa adaptadora a la salida.

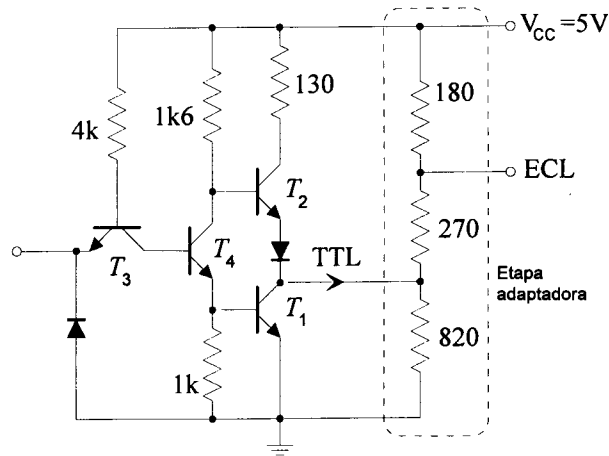


Fig. 4.3.3 Esquema del circuito empleado para comprobar el funcionamiento de la etapa adaptadora.

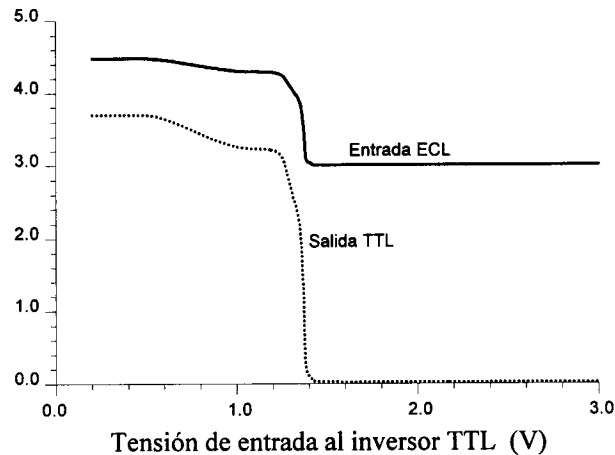


Fig. 4.3.4 Entrada y salida de la etapa adaptadora entre una puerta TTL real y una entrada ECL

En la figura (4.3.4) se puede ver la salida de la puerta TTL y la entrada a la ECL después de pasar a través de la etapa adaptadora, donde se puede comprobar que los valores proporcionados por la etapa adaptadora son correctos para recorrer toda la característica de transferencia y asegurar la conmutación de la puerta.

Pasamos ahora a comprobar que con la salida de la etapa adaptadora podemos conseguir que una puerta ECL conmute. Para realizar esto en simulación empleamos, como ya se comentó, el inversor ECL del ejercicio E.4.1 conectando a la entrada la etapa adaptadora que es excitada a su vez, por un generador de tensión que barre los mismos valores que recorrería una puerta TTL real.

En la figura (4.3.5) se muestra el esquema del circuito empleado y en la figura (4.3.6) aparecen las características de transferencia tanto de la etapa adaptadora (red de acoplo) como del inversor empleado.

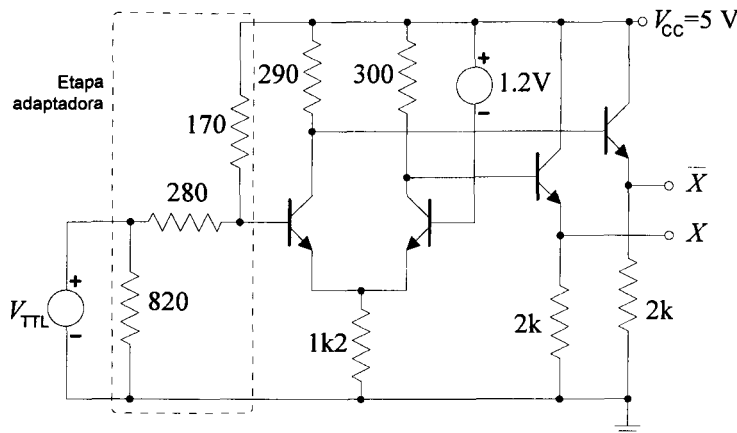


Fig. 4.3.5 Esquema empleado para comprobar la conmutación de la puerta ECL cuando es excitada por una salida TTL a través de la red de acoplo de la figura (4.3.1 a)

En esta figura (4.3.6) se puede comprobar que el comportamiento de la etapa adaptadora es puramente lineal, como cabría esperar, ya que está formada únicamente por resistencias que son elementos pasivos perfectamente lineales. Si observamos esta última figura junto con la obtenida anteriormente con el inversor TTL (fig. 4.3.4) vemos que cuando conmute la puerta TTL también lo hará la ECL con lo que se consigue el objetivo de adaptar ambos niveles. También se puede comprobar que las tensiones de entrada a la puerta ECL (proporcionadas por la etapa adaptadora) se mantienen aproximadamente en el mismo margen que las salidas de una puerta ECL

por lo que se evitan posibles daños a la puerta. Hay que tener en cuenta que no basta con que la salida de la etapa adaptadora recorra el margen de conmutación de la puerta que se conecta a su salida, también debe limitarse a ese mismo margen como protección de la misma.

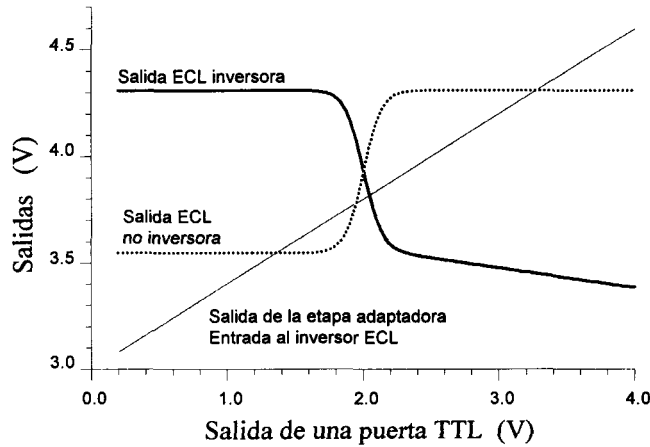


Fig. 4.3.6 Características de transferencia de la etapa de acople y del inversor ECL

- B)** Veamos ahora la etapa adaptadora de la figura (4.3.1 b). Consideremos primero que la salida no inversora de la puerta ECL está en estado alto. De la figura (4.3.6) del apartado anterior, o repitiendo el desarrollo del problema E.4.2 pero con alimentación $V_{CC}=+5V$ obtenemos las tensiones en las salidas inversora y no inversora:

$$V_X \approx 4.3V \text{ y } V_{\bar{X}} \approx 3.5V$$

que corresponden con una salida en estado alto y la otra en estado bajo, o viceversa. La etapa adaptadora es nuevamente un par diferencial y aunque esta vez está formada con transistores PNP, su comportamiento será idéntico.

Como a las entradas de este par diferencial (fig. 4.3.7) aplicamos tensiones muy diferentes, el par volcará quedando T_1 en corte y T_2 en saturación. En la malla de la base de T_2 podemos poner:

$$V_{CC} = i_E R_E + V_{EB2}|_{sat} + V_{\bar{X}}$$

de donde:

$$i_C \approx i_E = \frac{V_{CC} - V_{EB2}|_{sat} - V_{\bar{X}}}{R_E} = 19.5 \text{ mA}$$

y por tanto:

$$V_{sal} = i_C R_C = 3.11 \text{ V}$$

Esta tensión es lo suficientemente alta como para que una puerta TTL entienda que hay un "1" a la entrada.

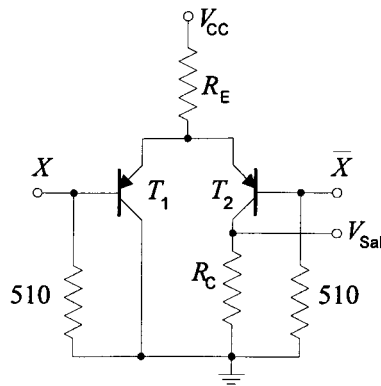


Fig. 4.3.7 Etapa adaptadora entre una salida ECL y la entrada a una puerta TTL

Si suponemos ahora que la salida no inversora está en estado bajo, la situación de T_1 y T_2 se invierte, con lo que T_1 estará saturado y T_2 en corte. Si T_2 está cortado no cae tensión en R_C y la salida será $V_{sal} \approx 0 \text{ V}$. Esta tensión es perfectamente válida como estado bajo para cualquier puerta TTL. Con todo esto, ya podemos construir la característica de transferencia. En la figura (4.3.8) se muestra la puerta ECL junto con la etapa adaptadora y en la figura (4.3.9) la característica de transferencia obtenida por simulación. En esta última podemos observar que la salida de la etapa adaptadora es prácticamente idéntica a la salida de una puerta TTL como la que se muestra en la figura (4.3.4) con la salvedad de que en ésta última figura, la salida pasa de "1" a "0" y en la de la figura (4.3.9) es al revés.

Para simular el par diferencial PNP se han empleado los transistores Q2N3906 de la biblioteca del PSpice de evaluación.

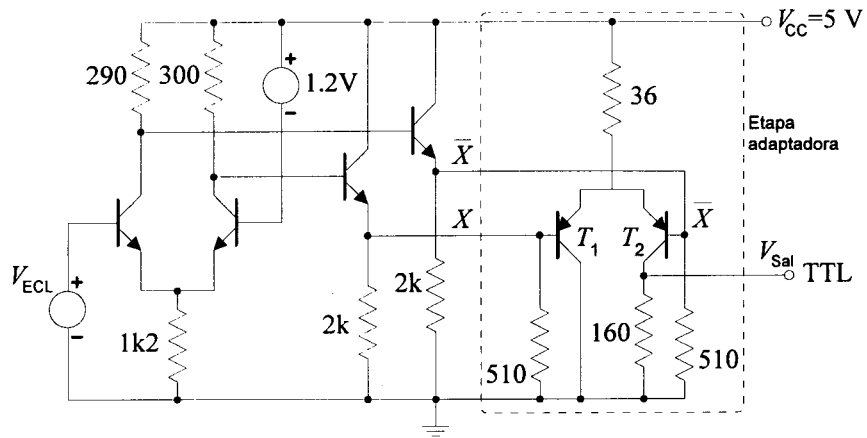


Fig. 4.3.8 Esquema de un inversor ECL atacando a la etapa adaptadora de la figura (4.3.1 b)

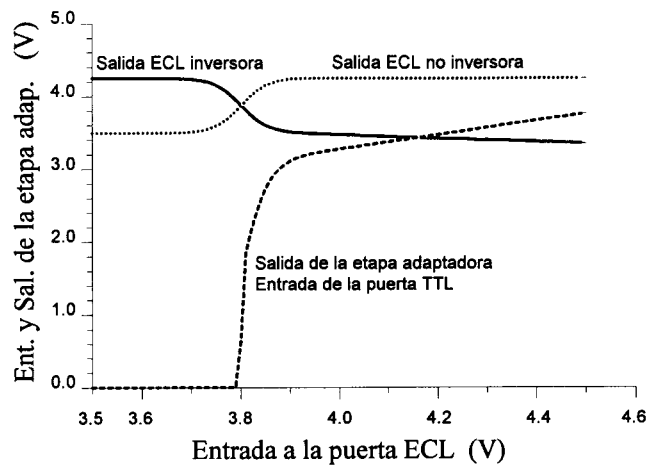


Fig. 4.3.9 Característica de transferencia del circuito de la figura (4.3.8)

□ □ □ □

E.4.4 Análisis detallado de un disparador Schmitt en tecnología ECL

Dado el circuito de la figura dibujar la característica de transferencia cuando la entrada pasa de estado bajo a estado alto. Vuélvase a calcular ahora pero suponiendo que la entrada pasa de estado alto a estado bajo. Discútanse los resultados obtenidos. ¿Para qué tipo de aplicaciones puede resultar práctica esta puerta?. Obténgase la característica de transferencia por simulación. Supónganse $V("0") = 3.5$ y $V("1") = 4.5$.

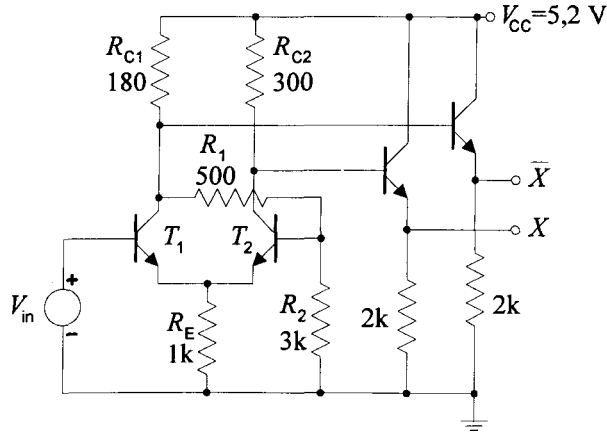


Fig. 4.4.1 Esquema de un disparador Schmitt en tecnología ECL

Solución:

Supongamos T_1 cortado cuando la entrada está en estado bajo $V_{B1} = 3.5V$. En este caso la tensión en el colector del transistor T_1 será $V_{C1} \approx V_{CC}$ y por lo tanto:

$$V_{ref} = V_{B2} = V_{C1} \frac{R_2}{R_1 + R_2} \approx V_{CC} \frac{R_2}{R_{C1} + R_1 + R_2} = 0.815 V_{CC} = 4.238V$$

Como la diferencia de tensiones entre V_{B1} y V_{B2} es significativa, el par estará desequilibrado y T_1 estará en corte y T_2 en zona activa cercano a saturación.

Esto lo podemos confirmar viendo la tensión V_{BE1} :

$$\begin{aligned} V_{BE1} &= V_{B1} - V_E = V_{B1} - (V_{ref} - V_{BE2}) \\ V_{BE1} &= 3.5 - (4.24 - 0.65) = -0.09 < 0.5 \end{aligned}$$

Como $V_{BE1} < 0.5$, T_1 estará cortado tal y como habíamos supuesto. Para que T_1 comience a conducir será necesario que $V_{BE1} > 0.5$ con lo que V_{B1} debe aumentar en $0.09 + 0.5 = 0.59\text{V}$. Es decir, para que T_1 conduzca se debe cumplir que:

$$V_{B1} > 3.5 + 0.59 = 4.09\text{V}$$

Esto nos da el punto de conmutación cuando pasamos de estado bajo a estado alto.

Supongamos ahora una entrada alta $V_{B1} \approx 4.5\text{V}$ y que T_2 está cortado y T_1 en zona activa cercano a saturación. Para comprobarlo, calculamos las tensiones V_{C1} y V_{ref} y las corrientes a través del divisor de tensión. De la malla de alimentación obtenemos:

$$V_{CC} = i_{RC1}R_{C1} + i_1R_1 + i_2R_2$$

Como $i_{B2} = 0 \Rightarrow i_1 = i_2 = i$
tendremos: $V_{CC} = i_{RC1}R_{C1} + i(R_1 + R_2)$

En la malla de la base de T_1 tenemos, suponiendo que están en zona activa:

$$V_{B1} = V_{BE1} + (i_{C1} + i_{C2})R_E$$

con $i_{E1} \approx i_{C1}$ e $i_{E2} \approx i_{C2}$ ya que las corrientes de base son siempre mucho menores.

Si T_2 está cortado entonces $i_{C2} \approx 0$, tendremos: $i_E = i_{E1} + i_{E2} \approx i_{C1} + i_{C2} = i_{C1}$

y por lo tanto: $V_{B1} = V_{BE1} + i_E R_E$

con lo que obtenemos: $i_E = \frac{V_{B1} - V_{BE1}}{R_E} = \frac{4.5 - 0.65}{1000} = 3.85\text{mA}$

donde se ha supuesto que T_1 está en zona activa, ya que en la lógica ECL los transistores no se saturan ($V_{BE1}|_{act} \approx 0.65\text{V}$).

En el nudo del colector de T_1 se debe cumplir (fig. 4.4.2):

$$i_{RC1} = i_E + i \Rightarrow i = i_{RC1} - i_E$$

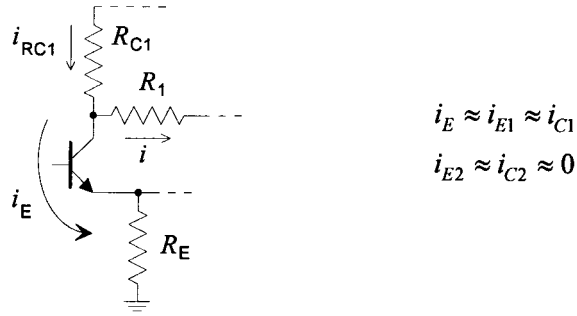


Fig. 4.4.2 Detalle del transistor de entrada que pone de manifiesto el reparto de corrientes en el nudo de colector del mismo

Sustituyendo en la malla de alimentación obtenemos i_{RC1} :

$$V_{CC} = i_{RC1} R_{C1} + i(R_1 + R_2)$$

$$V_{CC} = i_{RC1} R_{C1} + (i_{RC1} - i_E)(R_1 + R_2) = i_{RC1} R_{C1} + i_{RC1}(R_1 + R_2) - i_E(R_1 + R_2)$$

$$V_{CC} = i_{RC1}(R_{C1} + R_1 + R_2) - i_E(R_1 + R_2)$$

$$i_{RC1} = \frac{V_{CC} + i_E(R_1 + R_2)}{R_{C1} + R_1 + R_2} = \frac{5.2 + 3.85 \cdot 10^{-3}(3500)}{3680} = 5.07 \text{ mA}$$

Por lo tanto:

$$V_{C1} = V_{CC} - i_{RC1} R_{C1} = 4.29 \text{ V}$$

$$i = i_{RC1} - i_E = 1.22 \text{ mA}$$

$$V_{ref} = i R_2 = 3.66 \text{ V}$$

$$V_E = i_E R_E = 3.85 \text{ V}$$

La tensión V_{BE2} será:

$$V_{BE2} = V_{B2} - V_E = V_{ref} - V_E = -0.19$$

Como $V_{BE2} = -0.19 \text{ V} < 0.5 \text{ V}$ tenemos que T_2 debe estar cortado, tal como se supuso inicialmente. Todos estos valores se pueden comprobar en la simulación como se verá más adelante.

Ahora vamos a ver la tensión V_{B1} necesaria para que la puerta conmute.

Hay que darse cuenta que ahora V_{ref} es variable ya que depende del estado de T_1 . En los problemas anteriores se ha visto que V_{ref} era fija ya que se obtenía a partir de la alimentación, pero ahora está unida al colector de T_1 . De la malla que contiene las bases de los dos transistores obtenemos:

$$V_E = V_{B1} - V_{BE1} = V_{B2} - V_{BE2} = V_{ref} - V_{BE2} = V_{C1} \frac{R_2}{R_1 + R_2} - V_{BE2}$$

La tensión en el colector de T_1 será: $V_{C1} = V_{CC} - i_{RC1} R_{C1}$

con
$$i_{RC1} = i_E + i = \frac{V_{B1} - V_{BE1}}{R_E} + \frac{V_{C1}}{R_1 + R_2}$$

de donde se obtiene:

$$V_{C1} = V_{CC} - R_{C1} \left[\frac{V_{B1} - V_{BE1}}{R_E} + \frac{V_{C1}}{R_1 + R_2} \right]$$

Despejando V_{C1}

$$V_{C1} = \frac{V_{CC} R_E (R_1 + R_2) - R_{C1} (R_1 + R_2) (V_{B1} - V_{BE1})}{R_E (R_1 + R_2 + R_{C1})}$$

Esto puede simplificarse a: $V_{C1} = A - B(V_{B1} - V_{BE1})$

donde:
$$A = \frac{V_{CC} (R_1 + R_2)}{R_1 + R_2 + R_{C1}} = 4.946 \text{ V}$$

y
$$B = \frac{R_{C1} (R_1 + R_2)}{R_E (R_1 + R_2 + R_{C1})} = \frac{0.63 \cdot 10^6}{3.68 \cdot 10^6} = 0.17$$

Sustituyendo en la expresión de $V_E = V_{B1} - V_{BE1}$ tendremos:

$$V_E = (V_{B1} - V_{BE1}) = [A - B(V_{B1} - V_{BE1})] \frac{R_2}{R_1 + R_2} - V_{BE2}$$

de donde despejando obtenemos:

$$(V_{B1} - V_{BE1}) = \frac{AR_2 - V_{BE2}(R_1 + R_2)}{R_1 + R_2(1 + B)}$$

$$V_{B1} = \frac{AR_2 - V_{BE2}(R_1 + R_2)}{R_1 + R_2(1 + B)} + V_{BE1} = 3.26\text{V} + V_{BE1}$$

Para que T_2 salga del corte se necesita $V_{BE2} > 0.5$ y por otra parte T_1 pasará por la zona activa hacia el corte, es decir: $V_{BE1} < 0.65$. Según esto, la conmutación se producirá cuando:

$$V_{B1} < 3.26 + 0.65 = 3.9\text{V}$$

En el momento en que $V_{B1} < 3.9$, T_2 saldrá del corte, y comenzará a conducir haciendo que T_1 vaya rápidamente al corte al volcar el par diferencial. Obsérvese que la tensión necesaria para pasar de estado bajo a estado alto era $V_{B1} > 4.09\text{V}$ y sin embargo para pasar de estado alto a bajo se precisa que $V_{B1} < 3.9$.

Esto es consecuencia de no tener una tensión de referencia (V_{ref}) fija. Ya se indicó que V_{ref} dependía del estado de T_1 ya que se toma de su colector y la tensión en este punto es distinta si la entrada está en estado alto o bajo. Tendremos por tanto dos curvas de transferencia distintas según que V_{B1} sea creciente ($V("0") \rightarrow V("1")$) o decreciente ($V("1") \rightarrow V("0")$).

Para realizar la simulación podemos emplear como siempre un análisis de continua, pero en este caso sólo podemos obtener una de las dos características pues este tipo de análisis sólo permite incrementar la fuente de barrido en un sentido (bien sea creciente o decreciente). Sin embargo, podemos obtenerlas juntas si procedemos del siguiente modo:

- 1.- Consideremos una excitación producida por un pulso triangular y realicemos un análisis de transitorio. En la figura (4.4.3) aparecen la señal de excitación y la salida no inversora de la puerta.

En la gráfica de transitorio ya se puede ver que la conmutación de estado bajo a estado alto se produce a distinta tensión que la inversora, pero se puede ver mejor en la característica de transferencia.

- 2.- Para obtener ahora la característica de transferencia a partir del análisis de transitorio basta con recordar que la característica de transferencia es la curva $V_{salida} = V_{salida}(V_{entrada})$. Pues bien, se puede hacer uso de la flexibilidad del programa de presentación gráfica del PSpice y cambiar el eje de abscisas de forma que podamos representar cualquier variable en función de la que especifiquemos como eje X en esta opción (opción X Variable del menú Axis). De esta forma podemos visualizar cualquier variable (tensión, corriente, fase, potencia, etc.) en función de cualquier otra. Al establecer como variable X la señal de entrada obtenemos una gráfica de la salida en función de la entrada. En la figura (4.4.4) aparece el resultado obtenido.

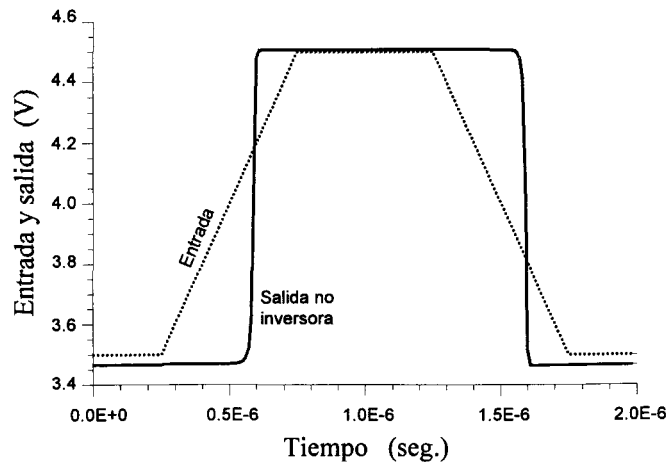


Fig. 4.4.3 Salida del disparador Schmitt de la figura (4.4.1) cuando se excita a la entrada con un pulso

Este efecto se conoce con el nombre de histéresis y resulta especialmente interesante cuando la señal de entrada contiene ruido. También pueden emplearse para reconstruir la forma de una señal que se ha deteriorado al pasar a través de un canal de comunicaciones con características capacitivas. Las puertas que presentan esta doble característica de transferencia reciben el nombre de disparador Schmitt y están

disponibles en todas las tecnologías. Sin embargo, hay que señalar que aumentan la inmunidad al ruido a costa de aumentar también el retardo.

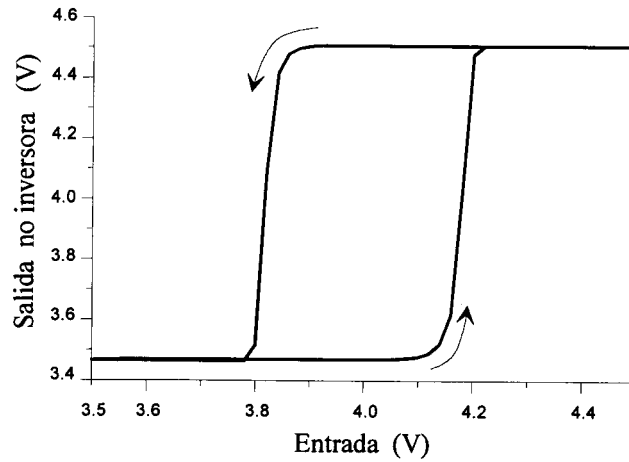


Fig. 4.4.4 Característica de transferencia del disparador Schmitt

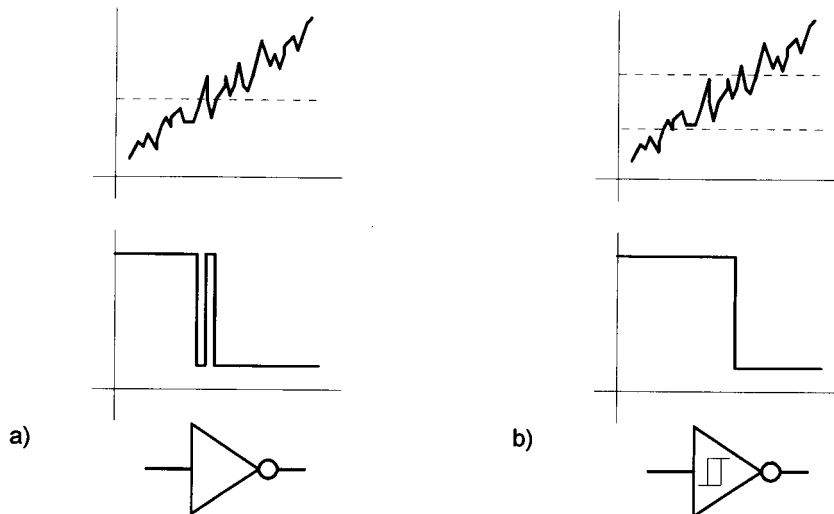


Fig. 4.4.5 Comportamiento de un inversor convencional a) y de un inversor Schmitt b) frente a una entrada ruidosa. También se muestran los símbolos que representan a ambos tipos de inversores como elementos de circuito

En la figura (4.4.5) se muestra una señal ruidosa alrededor del nivel de referencia. En la parte central, aparece la salida que se obtiene con un inversor convencional (izquierda) y con un inversor Schmitt (derecha). En esta parte de la figura se puede ver que el inversor convencional sigue los cambios de la entrada y conmuta cada vez que la entrada cruza dicho nivel, introduciendo pulsos no deseados. Esto no sucede en el caso del inversor Schmitt por presentar un nivel de referencia distinto cuando la entrada pasa de alta a baja a cuando lo hace de baja a alta.

□ □ □ □

E.4.5 Aplicación de las reglas de transformación para puertas CMOS

La figura 4.14 del texto de teoría muestra las reglas de transformación para puertas CMOS NAND y NOR. Aplicarlas ahora proponiendo las soluciones complementarias a las de la siguiente figura:

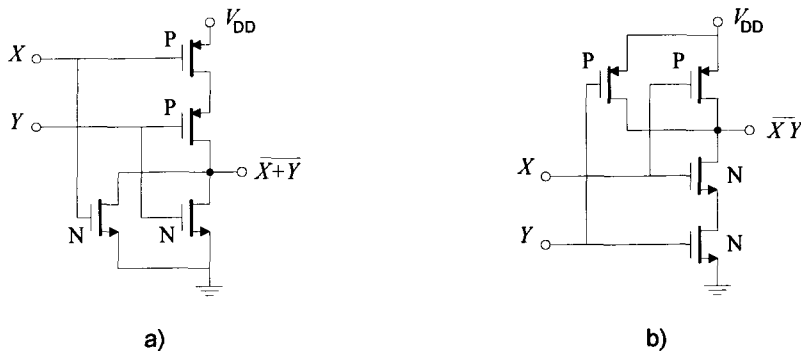


Fig. 4.5.1 a) Puerta NOR en tecnología CMOS b) Puerta NAND en tecnología CMOS

Solución:

Para simplificar las gráficas, sustituimos el símbolo de cada transistor por una línea y una letra que hace referencia al tipo de MOS (canal P o N). De esta forma, para el circuito de la figura (4.5.1 a) obtenemos el esquema de la figura (4.5.2 a). Si cambiamos el tipo de los transistores obtenemos la figura (4.5.2 b). El siguiente paso es invertir el esquema (fig. 4.5.2 c). Por último no queda mas que restablecer las conexiones y sustituir los símbolos de los transistores correspondientes, con lo que obtenemos el esquema de la figura (4.5.2 d) que corresponde al de una puerta NAND en tecnología CMOS.

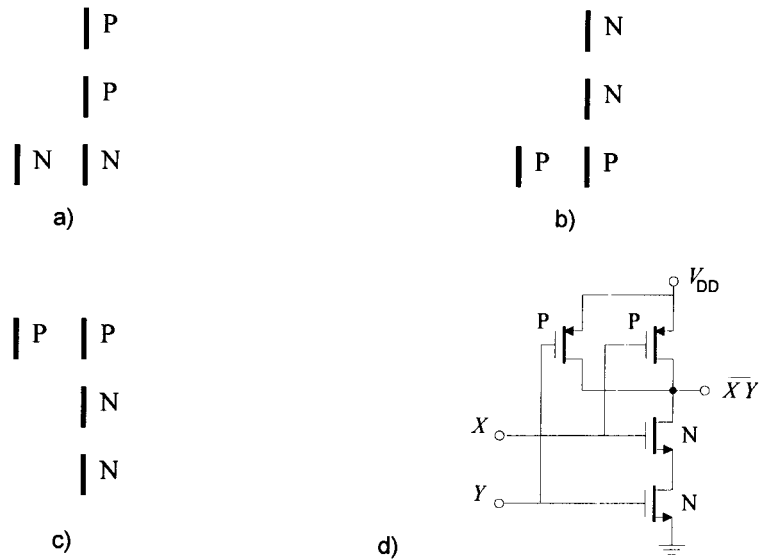


Fig. 4.5.2 Aplicación de las reglas de transformación al esquema de la figura (4.5.1 a)

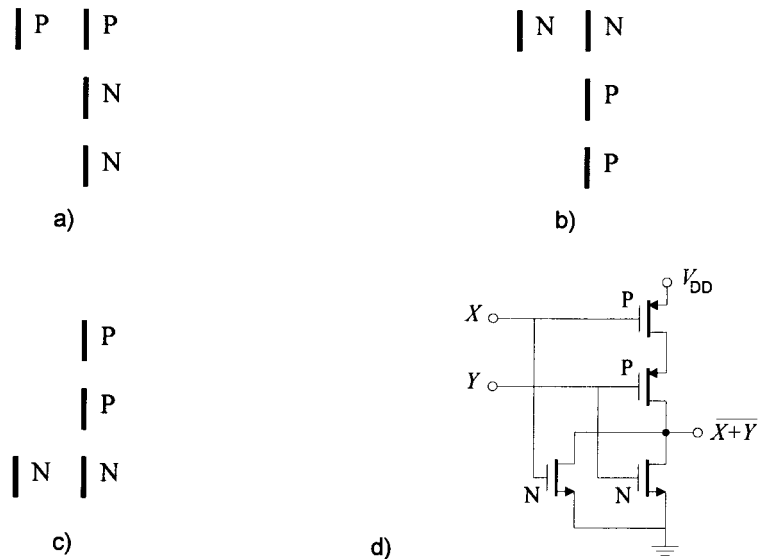


Fig. 4.5.3 Aplicación de las reglas de transformación al esquema de la figura (4.5.1 b)

Obsérvese que en estas figuras, la alimentación y la tierra no han sufrido modificación. Por eso no aparecen en las figuras intermedias (4.5.2 a,b,c). Realmente

cuando se describe el método de transformación en el libro de teoría se establece que hay que cambiar la alimentación por la tierra y viceversa. Sin embargo, como también se habla de invertir el circuito, dada la posición relativa de la alimentación y la tierra, el efecto de intercambiarlas es el mismo que el de darles la vuelta cambiándolas de sitio, por lo que es como si se quedasen de la misma forma que estaban inicialmente. Hay que tener cuidado sin embargo en restablecer las conexiones de forma adecuada, ya que lo que si hay que seguir manteniendo es que lo que inicialmente estuviese conectado a la alimentación al final deberá estarlo a tierra y a la inversa.

Si hacemos lo mismo, pero partiendo del esquema de la puerta NAND de la figura (4.5.1) obtenemos en la figura (4.5.3 d) el esquema de la puerta NOR.

□ □ □ □

E.4.6 Estudio de la característica de transferencia del inversor CMOS

La figura (4.6.1) muestra las características de transferencia del inversor CMOS. Comprueba que las comprendes contestando a las siguientes cuestiones:

- ¿Cuál es el significado físico de las tensiones V'_{TP} y V_{TN} ?
- En la característica hay marcadas cinco regiones que corresponden a distintas configuraciones en los estados de los transistores T_P y T_N (corte, saturación, triodo). Haz una tabla mostrando la configuración correspondiente a cada una de esas regiones. Usa como apoyo las figuras 4.12.a y 4.11 del libro de teoría.

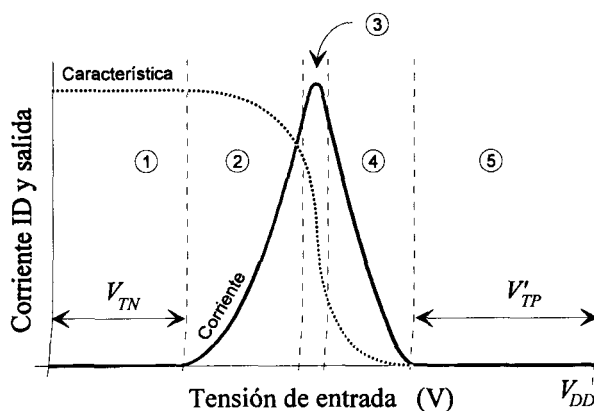


Fig. 4.6.1 Característica de transferencia (línea discontinua) y corriente en un inversor CMOS (línea continua)

Solución:

A) V_{TN} y V_{TP} son las tensiones umbrales de un transistor MOS de realce de canal N y de canal P respectivamente. Si $V_G > V_{TN}$ se crea el canal de inversión en el MOS de acumulación de canal N y comienza a pasar corriente. Si $V_G < V_{TN}$ no hay canal y por consiguiente la corriente es nula. En un MOS de canal P se produce una situación análoga pero ahora las tensiones están cambiadas de signo. En la figura se muestra la tensión V_{TP} medida desde la tensión de alimentación. Sea $V_{TP} = V_{DD} - V'_{TP}$. Si $V_G > V_{TP}$ no hay canal y la corriente es nula, con lo que la conducción se producirá cuando $V_G < V_{DD} - V'_{TP} = V_{TP}$, que es la situación análoga a la de V_{TN} pero cambiando el valor de la tensión de alimentación por el nivel de tierra ($V_G > 0 + V_{TN}$). Si $V_G < V_{TP}$ comienza a crearse el canal de inversión y la corriente aumenta. Hay que señalar que estas tensiones umbrales (V_{TN} , V_{TP}), son características del dispositivo, mientras que V_{TP} depende también de la alimentación.

B) En la zona 1:

$$V_{GS}|_N < V_{TN} \Rightarrow T_N \text{ cortado} \Rightarrow V_{DS}|_N \approx V_{DD}$$

El transistor T_P está en conducción ya que $V_{GS}|_P < V_{TP}$ y puesto que casi toda la tensión cae en el MOS de canal N , entonces $V_{DS}|_P \approx 0 \Rightarrow T_P$ en zona óhmica.

En la zona 2:

$V_{GS}|_N > V_{TN}$, con lo que T_N empieza a conducir y como $V_{DS}|_N \approx V_{DD}$ entonces T_N está en saturación. Al empezar a conducir la tensión $V_{DS}|_N$ disminuye y $V_{DS}|_P$ aumenta. Por tanto, T_N se acercará a zona óhmica y T_P se acerca a saturación.

En la zona 3:

Los dos transistores están en conducción, y además $V_{DS}|_N$ y $V_{DS}|_P$ se acercan hasta cruzarse con lo que:

$$V_{DS}|_N \approx V_{DS}|_P \approx \frac{V_{DD}}{2}$$

Como los dos conducen y están sometidos a una tensión drenador-fuente igual a $\frac{V_{DD}}{2}$ ambos están en saturación.

Zona	Transistor T_N	Transistor T_P
1	$V_{GS} _N < V_{TN} \Rightarrow T_N$ cortado, $I_D \approx 0$ $V_{DS} _N \approx V_{DD}$	$V_{GS} _P < V_{TP} \Rightarrow T_P$ en conducción $V_{DS} _P \approx 0 \Rightarrow T_P$ en zona óhmica
2	$V_{GS} _N \geq V_{TN}$ \Downarrow T_N empieza a conducir $V_{DS} _N \approx V_{DD} \Rightarrow$ saturación $V_{DS} _N \downarrow$	T_P sigue en zona óhmica acercándose a la saturación ya que $V_{DS} _P \uparrow$
3	$V_{GS} _N > V_{TN} \Rightarrow T_N$ conduce $V_{DS} _N \approx V_{DS} _P = \frac{V_{DD}}{2}$ Los dos en saturación $V_{DS} _N \downarrow$	$V_{GS} _P < V_{TP} \Rightarrow T_P$ conduce $V_{DS} _N \approx V_{DS} _P = \frac{V_{DD}}{2}$ Los dos en saturación $V_{DS} _P \uparrow$
4	T_N entra en la zona óhmica debido a que $V_{DS} _N \rightarrow 0$	$V_{GS} _P \geq V_{TP}$ T_P sigue saturado acercándose al corte ya que $V_{GS} _P \rightarrow V_{TP}$
5	$V_{GS} _N > V_{TN} \Rightarrow T_N$ conduce $V_{DS} _N \approx 0 \Rightarrow$ zona óhmica	$V_{GS} _P > V_{TP} \Rightarrow T_P$ cortado, $I_D \approx 0$ $V_{DS} _P \approx V_{DD}$

Fig. 4.6.2 Tabla resumen de los valores de las tensiones en los transistores T_N y T_P , junto con sus tendencias (\uparrow, \downarrow) en las distintas zonas.

En la zona 4:

La tensión $V_{DS}|_N$ sigue decreciendo y $V_{DS}|_P$ aumentando con lo que T_N entra en zona óhmica y T_P está en saturación pero acercándose al corte ya que $V_{GS}|_P$ se acerca a V_{TP} . En el límite con la zona 5, $V_{GS}|_P = V_{TP}$

En la zona 5:

$V_{GS}|_P > V_{TP}$ por tanto T_P estará cortado y entonces $V_{DS}|_P \approx V_{DD}$. Como $V_{DS}|_P \approx V_{DD}$ tendremos: $V_{DS}|_N \approx 0$ con lo que T_N está en zona óhmica.

En la tabla de la figura (4.6.2) se resume el estado de los transistores T_N y T_P en las cinco zonas de acuerdo con los comentarios que hemos realizado.

□ □ □ □

E.4.7 Utilización del integrado 4007UB para conseguir distintas operaciones lógicas

El circuito integrado 4007UB de la figura (4.7.1) contiene tres transistores canal P y tres de canal N trabajando en modo de realce y con sus terminales accesibles desde el exterior para poder configurar al circuito en la realización de distintas funciones.

¿Cómo deberían realizarse las conexiones externas para obtener:

- a) *Tres inversores independientes.*
- b) *Una puerta NOR de 3 entradas.*
- c) *Una puerta NAND de 3 entradas.*
- d) *Una puerta de transmisión bidireccional*
- e) *Un inversor de tres estados con la siguiente tabla de control:*

ENTRADA	HABILITACIÓN / INHIBICIÓN	SALIDA
1	0	0
0	0	1
X	1	abierta

